

RL78/I1C (512 KB)

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者 このマニュアルはRL78/I1C (512 KB) の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

- ・ 80ピン： R5F10NMLDFB
- ・ 100ピン： R5F10NPLDFB

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/I1C (512 KB) のマニュアルは、このマニュアルとソフトウェア編 (RL78ファミリ共通) の2冊に分かれています。

RL78/I1C (512 KB) ユーザーズマニュアル ハードウェア編	RL78ファミリ ユーザーズマニュアル ソフトウェア編
<ul style="list-style-type: none">●端子機能●内部ブロック機能●割り込み●その他の内蔵周辺機能●電気的特性	<ul style="list-style-type: none">●CPU機能●命令セット●命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

→目次に従って読んでください。

レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

RL78/I1C (512 KB) マイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015J) を参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数 $\cdots\text{xxx}$ または xxxB 10進数 $\cdots\text{xxx}$ 16進数 $\cdots\text{xxx}\text{H}$

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和 文	英 文
RL78/I1C (512 KB) ユーザーズマニュアル ハードウェア編	このマニュアル	R01UH0889E
RL78ファミリ ユーザーズマニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料 (ユーザーズマニュアル)

資料名	資料番号	
	和 文	英 文
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	R20UT4025J	R20UT4025E
E1, E20エミュレータ ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 Liteエミュレータ ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	R20UT4066J	R20UT4066E
ルネサスフラッシュ開発ツールキット ユーザーズマニュアル	R20UT0508J	R20UT0508E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章 概 説.....	1
1.1 特 徴	1
1.2 型名一覧	4
1.3 端子接続図 (Top View)	5
1.3.1 80ピン製品	5
1.3.2 100ピン製品	6
1.4 端子名称	7
1.5 ブロック図.....	8
1.5.1 80ピン製品	8
1.5.2 100ピン製品	9
1.6 機能概要	10
第2章 端子機能.....	13
2.1 ポート機能.....	13
2.1.1 80ピン製品	14
2.1.2 100ピン製品	17
2.2 ポート以外の機能	21
2.2.1 製品別の搭載機能	21
2.2.2 機能説明	23
2.3 未使用端子の処理	26
2.4 端子ブロック図.....	28
第3章 CPUアーキテクチャ	45
3.1 メモリ空間.....	45
3.1.1 内部プログラム・メモリ空間	53
3.1.2 ミラー領域.....	57
3.1.3 内部データ・メモリ空間	59
3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域	59
3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	59
3.1.6 データ・メモリ・アドレッシング	60
3.2 プロセッサ・レジスタ	61
3.2.1 制御レジスタ	61
3.2.2 汎用レジスタ	64

3.2.3	ES, CSレジスタ	65
3.2.4	特殊機能レジスタ (SFR : Special Function Register)	66
3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	71
3.3	命令アドレスのアドレッシング	88
3.3.1	レラティブ・アドレッシング	88
3.3.2	イミディエト・アドレッシング	88
3.3.3	テーブル・インダイレクト・アドレッシング	89
3.3.4	レジスタ・ダイレクト・アドレッシング	89
3.4	処理データ・アドレスに対するアドレッシング	90
3.4.1	インプライド・アドレッシング	90
3.4.2	レジスタ・アドレッシング	90
3.4.3	ダイレクト・アドレッシング	91
3.4.4	ショート・ダイレクト・アドレッシング	92
3.4.5	SFRアドレッシング	93
3.4.6	レジスタ・インダイレクト・アドレッシング	94
3.4.7	ベースト・アドレッシング	95
3.4.8	ベースト・インデクスト・アドレッシング	98
3.4.9	スタック・アドレッシング	99
第4章	ポート機能	102
4.1	ポートの機能	102
4.2	ポートの構成	102
4.2.1	ポート0	103
4.2.2	ポート1	103
4.2.3	ポート2	104
4.2.4	ポート3	104
4.2.5	ポート4	105
4.2.6	ポート5	105
4.2.7	ポート6	105
4.2.8	ポート7	105
4.2.9	ポート8	106
4.2.10	ポート9	106
4.2.11	ポート12	106
4.2.12	ポート13	106
4.2.13	ポート15	107
4.3	ポート機能を制御するレジスタ	108
4.3.1	ポート・モード・レジスタ (PMxx)	112
4.3.2	ポート・レジスタ (Pxx)	113

4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	114
4.3.4	ポート入力モード・レジスタ (PIMxx)	115
4.3.5	ポート出力モード・レジスタ (POMxx)	116
4.3.6	ポート・モード・コントロール・レジスタ (PMCxx)	117
4.3.7	周辺I/Oリダイレクション・レジスタ (PIOR0)	118
4.3.8	LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6)	120
4.3.9	LCD入力切り替え制御レジスタ (ISCLCD)	125
4.4	ポート機能の動作	126
4.4.1	入出力ポートへの書き込み	126
4.4.2	入出力ポートからの読み出し	126
4.4.3	入出力ポートでの演算	126
4.4.4	入出力バッファによる異電位 (1.8 V系, 2.5 V系, 3 V系) 対応	127
4.5	兼用機能使用時のレジスタの設定	129
4.5.1	兼用機能使用時の基本的な考え方	129
4.5.2	出力機能を使用しない兼用機能のレジスタ設定	130
4.5.3	使用するポート機能および兼用機能のレジスタ設定例	132
4.5.4	SEGxx端子またはCOMx端子兼用ポートの動作	144
4.5.5	VL3, CAPL, CAPH端子兼用ポートの動作	145
4.6	ポート機能使用時の注意事項	147
4.6.1	ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項	147
4.6.2	端子設定に関する注意事項	148
4.6.3	P150-P152に関する注意事項	148
第5章 オペレーション・ステート・コントロール		150
5.1	オペレーション・ステート・コントロールの構成	150
5.2	オペレーション・ステート・コントロールを制御するレジスタ	152
5.2.1	フラッシュ動作モード選択レジスタ (FLMODE)	152
5.2.2	フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)	154
5.2.3	レギュレータ・モード制御レジスタ (PMMC)	154
5.3	フラッシュ動作モードの初期設定	155
5.4	フラッシュ動作モードの遷移	156
5.5	フラッシュ動作モードの詳細	157
5.5.1	HS (高速メイン) モードの詳細	157
5.5.2	LS (低速メイン) モードの詳細	158
5.5.3	LP (低電力メイン) モードの詳細	159
5.5.4	LV (低電圧メイン) モードの詳細	160

第6章 クロック発生回路	161
6.1 クロック発生回路の機能	161
6.2 クロック発生回路の構成	164
6.3 クロック発生回路を制御するレジスタ	167
6.3.1 クロック動作モード制御レジスタ (CMC)	167
6.3.2 システム・クロック制御レジスタ (CKC)	169
6.3.3 クロック動作ステータス制御レジスタ (CSC)	171
6.3.4 サブ・クロック動作モード制御レジスタ (SCMC)	173
6.3.5 サブ・クロック動作ステータス制御レジスタ (SCSC)	175
6.3.6 発振安定時間カウンタ状態レジスタ (OSTC)	175
6.3.7 発振安定時間選択レジスタ (OSTS)	177
6.3.8 サブシステム・クロック選択レジスタ (CKSEL)	179
6.3.9 周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2)	180
6.3.10 サブシステム・クロック供給オプション制御レジスタ (OSMC)	187
6.3.11 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	189
6.3.12 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)	190
6.3.13 周波数測定回路クロック選択レジスタ (FMCKS)	191
6.3.14 PLL制御レジスタ (DSCCTL)	192
6.3.15 メイン・クロック制御レジスタ (MCKC)	193
6.3.16 ペリフェラル・クロックコントロールレジスタ (PCKC)	194
6.4 システム・クロック発振回路	195
6.4.1 X1発振回路	195
6.4.2 XT1発振回路	195
6.4.3 高速オンチップ・オシレータ	199
6.4.4 中速オンチップ・オシレータ	199
6.4.5 低速オンチップ・オシレータ	199
6.4.6 PLL (Phase Locked Loop)	199
6.5 クロック発生回路の動作	200
6.6 クロックの制御	202
6.6.1 高速オンチップ・オシレータの設定例	202
6.6.2 X1発振回路の設定例	204
6.6.3 XT1発振回路の設定例	206
6.6.4 XT1発振回路をCPU/周辺ハードウェア・クロックに使用しない場合の設定手順	207
6.6.5 CPUクロック状態移行図	208
6.6.6 CPUクロックの移行前の条件と移行後の処理	213
6.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	220
6.6.8 クロック発振停止前の条件	222
6.7 発振子と発振回路定数	223

第7章 高速オンチップ・オシレータ・クロック周波数補正機能.....	224
7.1 高速オンチップ・オシレータ・クロック周波数補正機能.....	224
7.2 レジスタ説明.....	225
7.2.1 高速オンチップ・オシレータ・クロック周波数補正制御レジスタ (HOCOFC)	225
7.3 動作説明.....	226
7.3.1 動作概要.....	226
7.3.2 動作手順.....	230
7.4 使用上の注意事項.....	231
7.4.1 SFRアクセス.....	231
7.4.2 スタンバイ時動作.....	231
7.4.3 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) の変更について	231
第8章 タイマ・アレイ・ユニット.....	232
8.1 タイマ・アレイ・ユニットの機能.....	233
8.1.1 単独チャンネル動作機能.....	233
8.1.2 複数チャンネル連動動作機能.....	234
8.1.3 8ビット・タイマ動作機能 (チャンネル1, 3のみ)	235
8.1.4 LIN-bus対応機能 (チャンネル7のみ)	236
8.2 タイマ・アレイ・ユニットの構成.....	237
8.2.1 タイマ・カウンタ・レジスタmn (TCRmn)	242
8.2.2 タイマ・データ・レジスタmn (TDRmn)	244
8.3 タイマ・アレイ・ユニットを制御するレジスタ.....	245
8.3.1 周辺イネーブル・レジスタ0 (PER0)	246
8.3.2 周辺リセット制御レジスタ0 (PRR0).....	247
8.3.3 タイマ・クロック選択レジスタm (TPSm)	248
8.3.4 タイマ・モード・レジスタmn (TMRmn)	251
8.3.5 タイマ・ステータス・レジスタmn (TSRmn)	256
8.3.6 タイマ・チャンネル許可ステータス・レジスタm (TEm)	257
8.3.7 タイマ・チャンネル開始レジスタm (TSM)	258
8.3.8 タイマ・チャンネル停止レジスタm (TTm)	260
8.3.9 タイマ入力選択レジスタ0 (TIS0)	261
8.3.10 タイマ出力許可レジスタm (TOEm)	262
8.3.11 タイマ出力レジスタm (TOM)	263
8.3.12 タイマ出力レベル・レジスタm (TOLm)	264
8.3.13 タイマ出力モード・レジスタm (TOMm)	265
8.3.14 入力切り替え制御レジスタ (ISC)	266
8.3.15 ノイズ・フィルタ許可レジスタ1 (NFEN1)	267
8.3.16 タイマ入出力端子のポート機能を制御するレジスタ.....	269

8.4	タイマ・アレイ・ユニットの基本ルール	270
8.4.1	複数チャンネル連動動作機能の基本ルール	270
8.4.2	8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）	272
8.5	カウンタの動作	273
8.5.1	カウント・クロック（f _{TCLK} ）	273
8.5.2	カウンタのスタート・タイミング	275
8.5.3	カウンタの動作	276
8.6	チャンネル出力（TOmn端子）の制御	281
8.6.1	TOmn端子の出力回路の構成	281
8.6.2	TOmn端子の出力設定	282
8.6.3	チャンネル出力操作時の注意事項	283
8.6.4	TOmnビットの一括操作	288
8.6.5	カウント動作開始時のタイマ割り込みとTOmn端子出力について	289
8.7	タイマ入力（TImn）の制御	290
8.7.1	TImnの入力回路構成	290
8.7.2	ノイズ・フィルタ	290
8.7.3	チャンネル入力操作時の注意事項	291
8.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	292
8.8.1	インターバル・タイマ／方形波出力としての動作	292
8.8.2	外部イベント・カウンタとしての動作	297
8.8.3	入力パルス間隔測定としての動作	301
8.8.4	入力信号のハイ／ロウ・レベル幅測定としての動作	305
8.8.5	ディレイ・カウンタとしての動作	309
8.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	313
8.9.1	ワンショット・パルス出力機能としての動作	313
8.9.2	PWM機能としての動作	320
8.9.3	多重PWM出力機能としての動作	327
8.10	タイマ・アレイ・ユニット使用時の注意事項	335
8.10.1	タイマ出力使用時の注意事項	335
第9章 独立電源RTC		336
9.1	独立電源RTCの機能	336
9.2	独立電源RTCを制御するレジスタ	340
9.2.1	周辺イネーブル・レジスタ2（PER2）	342
9.2.2	64 Hzカウンタ（R64CNT）	343
9.2.3	秒カウンタ（RSECCNT）／バイナリカウンタ0（BCNT0）	344
9.2.4	分カウンタ（RMINCNT）／バイナリカウンタ1（BCNT1）	345
9.2.5	時カウンタ（RHRCNT）／バイナリカウンタ2（BCNT2）	346

9.2.6	曜日カウンタ (RWKCNT) / バイナリカウンタ3 (BCNT3)	347
9.2.7	日カウンタ (RDAYCNT)	348
9.2.8	月カウンタ (RMONCNT)	349
9.2.9	年カウンタ (RYRCNT)	350
9.2.10	秒アラームレジスタm (RSECARm) / バイナリカウンタ0アラームレジスタm (BCNT0ARm) (m = 0, 1)	351
9.2.11	分アラームレジスタm (RMINARm) / バイナリカウンタ1アラームレジスタm (BCNT1ARm)	352
9.2.12	時アラームレジスタm (RHRARm) / バイナリカウンタ2アラームレジスタm (BCNT2ARm) (m = 0, 1)	353
9.2.13	曜日アラームレジスタm (RWKARm) / バイナリカウンタ3アラームレジスタm (BCNT3ARm) (m = 0, 1)	355
9.2.14	日アラームレジスタm (RDAYARm) / バイナリカウンタ0アラーム許可レジスタm (BCNT0AERm) (m = 0, 1)	356
9.2.15	月アラームレジスタm (RMONARm) / バイナリカウンタ1アラーム許可レジスタm (BCNT1AERm) (m = 0, 1)	357
9.2.16	年アラームレジスタm (RYRARm) / バイナリカウンタ2アラーム許可レジスタm (BCNT2AERm) (m = 0, 1)	358
9.2.17	年アラーム許可レジスタm (RYRARENm) / バイナリカウンタ3アラーム許可レジスタm (BCNT3AERm) (m = 0, 1)	359
9.2.18	RTCコントロールレジスタ1 (RCR1)	360
9.2.19	RTCコントロールレジスタ2 (RCR2)	361
9.2.20	RTCコントロールレジスタ3 (RCR3)	365
9.2.21	RTCコントロールレジスタ4 (RCR4)	366
9.2.22	時間誤差補正レジスタ (RADJ)	367
9.2.23	時間キャプチャ制御レジスタy (RTCCRy) (y = 0~2)	368
9.2.24	秒キャプチャレジスタy (RSECCPy) (y = 0~2) / BCNT0キャプチャレジスタy (BCNT0CPy) (y = 0~2)	370
9.2.25	分キャプチャレジスタy (RMINCPy) (y = 0~2) / BCNT1キャプチャレジスタy (BCNT1CPy) (y = 0~2)	371
9.2.26	時キャプチャレジスタy (RHRCPy) (y = 0~2) / BCNT2キャプチャレジスタy (BCNT2CPy) (y = 0~2)	372
9.2.27	日キャプチャレジスタy (RDAYCPy) (y = 0~2) / BCNT3キャプチャレジスタy (BCNT3CPy) (y = 0~2)	373
9.2.28	月キャプチャレジスタy (RMONCPy) (y = 0~2)	374
9.2.29	RTCステータスレジスタ (RSR)	375
9.2.30	サブ・クロック動作モード制御レジスタ (SCMC)	376
9.2.31	サブ・クロック動作ステータス制御レジスタ (SCSC)	378
9.2.32	RTCパワーオン・リセットステータスレジスタ (RTCPORSR)	379
9.2.33	RTCICn端子 (n = 0~2) 用ノイズ・フィルタ許可レジスタ (RTCICNFEN)	380

9.3	動作説明	381
9.3.1	電源投入後のレジスタの初期設定概要	381
9.3.2	初期化手順	382
9.3.3	クロックとカウントモード設定手順	383
9.3.4	時刻設定手順	384
9.3.5	30秒調整手順	385
9.3.6	0.5秒調整手順	385
9.3.7	64 Hzカウンタおよび時刻読み出し手順	386
9.3.8	アラーム機能	387
9.3.9	アラーム割り込みm禁止手順	388
9.3.10	時計誤差補正機能	388
9.3.10.1	自動補正機能	389
9.3.10.2	ソフトウェアによる補正	390
9.3.10.3	補正モードの変更手順	390
9.3.10.4	補正機能の停止手順	390
9.3.10.5	時間キャプチャ機能	391
9.3.11	RTCICn端子 (n = 0~2) 用ノイズ・フィルタ動作	392
9.4	割り込み要因	393
9.5	イベントリンク出力機能	395
9.5.1	割り込み処理とイベントリンクの関係	395
9.6	使用上の注意事項	396
9.6.1	カウント動作時のレジスタ書き込みについて	396
9.6.2	周期割り込みの使用について	396
9.6.3	RTCOUT (1 Hz/64 Hz) 出力について	396
9.6.4	レジスタの書き込み/読み出し時の注意事項	397
9.6.5	カウントモードの変更について	397
9.6.6	独立電源RTCの停止手順	398
9.6.7	時間キャプチャイベント機能の注意事項	398
第10章	周波数測定回路	399
10.1	周波数測定回路	399
10.2	周波数測定回路の構成	399
10.3	周波数測定回路を制御するレジスタ	400
10.3.1	周辺イネーブル・レジスタ1 (PER1)	401
10.3.2	サブシステム・クロック供給オプション制御レジスタ (OSMC)	402
10.3.3	周波数測定カウント・レジスタL (FMCRLL)	404
10.3.4	周波数測定カウント・レジスタH (FMCRH)	404
10.3.5	周波数測定コントロール・レジスタ (FMCTL)	405

10.3.6	周波数測定回路クロック選択レジスタ (FMCKS)	406
10.4	周波数測定回路の動作	407
10.4.1	基準クロックによる周波数測定回路の設定	407
10.4.2	周波数測定回路の動作タイミング	408
第11章	12ビット・インターバル・タイマ	409
11.1	12ビット・インターバル・タイマの機能	409
11.2	12ビット・インターバル・タイマの構成	409
11.3	12ビット・インターバル・タイマを制御するレジスタ	410
11.3.1	周辺イネーブル・レジスタ2 (PER2)	410
11.3.2	周辺リセット制御レジスタ2 (PRR2)	411
11.3.3	サブシステム・クロック供給オプション制御レジスタ (OSMC)	412
11.3.4	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)	413
11.4	12ビット・インターバル・タイマの動作	414
11.4.1	12ビット・インターバル・タイマの動作タイミング	414
11.4.2	HALT/STOPモードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行	415
第12章	8ビット・インターバル・タイマ	416
12.1	概要	416
12.2	入出力端子	418
12.3	レジスタの説明	418
12.3.1	8ビット・インターバル・タイマ・カウンタ・レジスタ n_i (TRT n_i) ($n = 0-3, i = 0, 1$)	419
12.3.2	8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRT n) ($n = 0-3$)	419
12.3.3	8ビット・インターバル・タイマ・コンペア・レジスタ n_i (TRTCMP n_i) ($n = 0-3, i = 0, 1$)	420
12.3.4	8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMP n) ($n = 0-3$)	421
12.3.5	8ビット・インターバル・タイマ制御レジスタ n (TRTCR n) ($n = 0-3$)	422
12.3.6	8ビット・インターバル・タイマ分周レジスタ n (TRTMD n) ($n = 0-3$)	423
12.4	動作説明	424
12.4.1	カウンタ・モード	424
12.4.2	タイマ動作	425
12.4.3	開始/停止タイミング	427
12.4.3.1	カウント・ソース (f_{sx}) 選択時	427
12.4.3.2	カウント・ソース ($f_{sx}/2^m$) 選択時	429
12.4.4	コンペア・レジスタ値の反映タイミング	431
12.5	8ビット・インターバル・タイマ使用上の注意事項	432
12.5.1	動作モード設定変更について	432
12.5.2	コンペア・レジスタへのアクセスについて	432

12. 5. 3	8ビット・インターバル・タイマ設定手順について	432
第13章	タイマRJ	433
13. 1	タイマRJnの機能	433
13. 2	タイマRJnの構成	434
13. 3	タイマRJを制御するレジスタ	435
13. 3. 1	周辺イネーブル・レジスタ1 (PER1)	436
13. 3. 2	周辺リセット制御レジスタ1 (PRR1)	437
13. 3. 3	サブシステム・クロック供給モード制御レジスタ(OSMC)	438
13. 3. 4	タイマRJカウンタレジスタn (TRJn)	439
13. 3. 5	タイマRJ制御レジスタn (TRJCRn)	440
13. 3. 6	タイマRJ I/O制御レジスタn (TRJIOCn)	442
13. 3. 7	タイマRJモードレジスタn (TRJMRn)	444
13. 3. 8	タイマRJイベント端子選択レジスタn (TRJISRn)	446
13. 3. 9	ポート・モード・レジスタ0, 5, 6, 8 (PM0, PM5, PM6, PM8)	447
13. 4	タイマRJnの動作	449
13. 4. 1	リロードレジスタとカウンタの書き換え動作	449
13. 4. 2	タイマモード	450
13. 4. 3	パルス出力モード	451
13. 4. 4	イベントカウンタモード	452
13. 4. 5	パルス幅測定モード	454
13. 4. 6	パルス周期測定モード	455
13. 4. 7	イベント・リンク・コントローラ(ELC)との連携による動作	457
13. 4. 8	各モード出力設定	458
13. 5	タイマRJn使用上の注意事項	459
13. 5. 1	カウント動作開始, 停止制御	459
13. 5. 2	フラグへのアクセス(TRJCRnレジスタのTEDGFn, TUNDFnビット)	459
13. 5. 3	カウンタレジスタへのアクセス	459
13. 5. 4	モード変更時	460
13. 5. 5	TRJOn, TRJIO端子の設定手順	460
13. 5. 6	タイマRJn未使用時	460
13. 5. 7	タイマRJn動作クロック停止時	461
13. 5. 8	STOPモード(イベントカウンタモード)の設定手順	461
13. 5. 9	STOPモード(イベントカウンタモードのみ)での機能制限	461
13. 5. 10	TSTOPnビットによる強制カウント停止時	461
13. 5. 11	デジタルフィルタ	461
13. 5. 12	カウントソースにf _{IL} を選択する場合	461

第 14章	サンプリング出力タイマ /ディテクタ	462
14.1	サンプリング出力タイマ/ディテクタの機能.....	462
14.2	サンプリング出力タイマ/ディテクタの構成	463
14.3	サンプリング出力タイマ/ディテクタを制御するレジスタ	466
14.4	サンプリング出力タイマ/ディテクタの動作.....	480
14.4.1	サンプリング・クロック出力機能	481
14.4.2	サンプリング・ディテクタ機能.....	484
14.4.3	サンプリング出力タイマ/ディテクタ機能の動作設定.....	485
第15章	クロック出力／ブザー出力制御回路	489
15.1	クロック出力／ブザー出力制御回路の機能.....	489
15.2	クロック出力／ブザー出力制御回路の構成.....	490
15.3	クロック出力／ブザー出力制御回路を制御するレジスタ	490
15.3.1	クロック出力選択レジスタn (CKSn)	490
15.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	492
15.4	クロック出力／ブザー出力制御回路の動作.....	493
15.4.1	出力端子の動作.....	493
15.5	クロック出力／ブザー出力制御回路の注意事項.....	493
第16章	ウォッチドッグ・タイマ	494
16.1	ウォッチドッグ・タイマの機能.....	494
16.2	ウォッチドッグ・タイマの構成.....	495
16.3	ウォッチドッグ・タイマを制御するレジスタ	496
16.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	496
16.4	ウォッチドッグ・タイマの動作.....	497
16.4.1	ウォッチドッグ・タイマの動作制御.....	497
16.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定.....	499
16.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	500
16.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	502
第17章	12ビットA/Dコンバータ	503
17.1	概要	503
17.2	レジスタの説明.....	506
17.2.1	周辺イネーブル・レジスタ0 (PER0)	507
17.2.2	周辺リセット制御レジスタ0 (PRR0)	508
17.2.3	A/Dデータレジスタy (ADDRy) A/D温度センサデータレジスタ (ADTSDR) A/D内部基準電圧データレジスタ (ADOCDR)	509

17.2.4	A/D自己診断データレジスタ (ADRD)	511
17.2.5	A/Dコントロールレジスタ (ADCSR)	512
17.2.6	A/Dチャンネル選択レジスタA0 (ADANSA0)	514
17.2.7	A/D変換値加算/平均機能チャンネル選択レジスタ0 (ADADS0)	515
17.2.8	A/D変換値加算/平均回数選択レジスタ (ADADC)	516
17.2.9	A/Dコントロール拡張レジスタ (ADCER)	517
17.2.10	A/D変換開始トリガ選択レジスタ (ADSTRGR)	519
17.2.11	A/D変換拡張入力コントロールレジスタ (ADEXICR)	520
17.2.12	A/Dサンプリングステートレジスタn (ADSSTRn) (n = 0~5, T, O)	521
17.2.13	A/Dサンプル&ホールド回路コントロールレジスタ (ADSHCR)	522
17.2.14	A/D高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)	523
17.2.15	A/D変換クロック制御レジスタ (ADCKS)	524
17.2.16	ボルテージ・リファレンスコントロールレジスタ (VREFAMPCNT)	525
17.3	動作説明	526
17.3.1	スキヤンの動作説明	526
17.3.2	シングルスキヤンモード	527
17.3.2.1	基本動作 (チャンネル専用サンプル&ホールドなし)	527
17.3.2.2	基本動作 (チャンネル専用サンプル&ホールドあり)	528
17.3.2.3	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)	529
17.3.2.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)	530
17.3.2.5	温度センサ出力/内部基準電圧 (V _{BGR}) 選択時のA/D変換動作	531
17.3.3	連続スキヤンモード	532
17.3.3.1	基本動作 (チャンネル専用サンプル&ホールドなし)	532
17.3.3.2	基本動作 (チャンネル専用サンプル&ホールドあり)	533
17.3.3.3	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドなし)	534
17.3.3.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)	535
17.3.4	アナログ入力のサンプリング時間とスキヤン変換時間	536
17.3.5	A/Dデータレジスタの自動クリア機能の使用例	538
17.3.6	A/D変換値加算/平均機能	538
17.3.7	周辺機能からの同期トリガによるA/D変換の開始	538
17.4	割り込み要因とDTC転送要求	539
17.4.1	割り込み要求	539
17.5	イベントリンク機能	540
17.5.1	ELCからのイベントによる12ビットA/Dコンバータの動作	540
17.5.2	ELCからのイベントによる12ビットA/Dコンバータの注意事項	540
17.6	基準電圧の選択方法	540
17.7	許容信号源インピーダンスについて	541
17.8	使用上の注意事項	542
17.8.1	データレジスタの読出し注意事項	542

17.8.2	A/D変換停止手順	542
17.8.3	モード/ステータスビットの注意事項	543
17.8.4	A/D変換強制停止と開始時の動作タイミング	543
17.8.5	スキャン終了割り込み2処理の注意事項	543
17.8.6	クロック供給停止機能の設定	543
17.8.7	低消費電力状態への遷移時の注意	543
17.8.8	STOPモード解除時の注意	543
17.8.9	ADHSCビットの書き換え手順	544
17.8.10	アナログ電源端子他の設定範囲	544
17.8.11	ボード設計上の注意	545
17.8.12	ノイズ対策上の注意	546
第18章	温度センサ2	547
18.1	温度センサの機能	547
18.2	レジスタの説明	548
18.2.1	周辺イネーブル・レジスタ0 (PER0)	548
18.2.2	温度センサ・コントロール・テスト・レジスタ (TMPCTL)	549
18.2.3	周辺リセット制御レジスタ0 (PRR0)	549
18.3	設定手順	550
18.3.1	温度センサ動作開始	550
18.3.2	モード切り替え	551
第19章	24ビット$\Delta\Sigma$A/Dコンバータ	552
19.1	24ビット $\Delta\Sigma$ A/Dコンバータの機能	552
19.1.1	入出力端子	555
19.1.2	プリアンプ	555
19.1.3	$\Delta\Sigma$ A/Dコンバータ	555
19.1.4	基準電圧発生	556
19.1.5	位相調整回路 (PHCn)	556
19.1.6	デジタル・フィルタ (DF)	556
19.1.7	デシメーション・フィルタ (DEC)	556
19.1.8	ローパス・フィルタ (LPF)	556
19.1.9	ハイパス・フィルタ (HPF)	556
19.2	レジスタの説明	557
19.2.1	$\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR)	559
19.2.2	$\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ0 (DSADGCR0)	561
19.2.3	$\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ1 (DSADGCR1)	562
19.2.4	$\Delta\Sigma$ A/DコンバータHPFコントロール・レジスタ (DSADHPFCR)	563

19.2.5	ΔΣA/Dコンバータ・デシメーション・フィルタ・コントロール・レジスタ (DSADDECCR)	564
19.2.6	ΔΣA/Dコンバータ位相コントロール・レジスタn (DSADPHCRn) (n = 0, 1, 2, 3)	565
19.2.7	ΔΣA/Dコンバータ変換結果レジスタn (DSADCRnL, DSADCRnM, DSADCRnH) (n = 0, 1, 2, 3)	566
19.2.8	ΔΣA/Dコンバータ変換結果レジスタn (DSADCRn) (n = 0, 1, 2, 3)	568
19.2.9	ΔΣA/Dコンバータ変換結果レジスタ (LPF) n (DSADCRLPFnL, DSADCRLPFnM, DSADCRLPFnH) (n = 0, 1, 2, 3)	569
19.2.10	ΔΣA/Dコンバータ変換結果レジスタ (LPF) n (DSADCRLPFn) (n = 0, 1, 2, 3)	572
19.2.11	周辺イネーブル・レジスタ1 (PER1)	574
19.2.12	周辺リセット制御レジスタ1 (PRR1)	575
19.2.13	周辺クロック制御レジスタ (PCKC)	576
19.3	動作説明	577
19.3.1	24ビットΔΣA/Dコンバータの動作	578
19.3.2	Normal OperationモードからNeutral Missingモードへの切替手順	580
19.3.3	割り込み動作	581
19.3.3.1	ΔΣA/D変換終了割り込み動作	581
19.3.3.2	デシメーション・フィルタ出力完了割り込み動作	581
19.3.4	スタンバイ時の動作	582
19.3.5	ハイパス・フィルタ (HPF) バイパス機能	582
19.3.6	ローパス・フィルタ (LPF) バイパス機能	582
19.4	24ビットΔΣA/Dコンバータ使用上の注意事項	583
19.4.1	外部端子	583
19.4.2	SFRアクセス	583
19.4.3	動作クロックの設定	584
19.4.4	入力範囲	584
第20章	シリアル・アレイ・ユニット	585
20.1	シリアル・アレイ・ユニットの機能	586
20.1.1	簡易SPI (CSI00, CSI10, CSI30)	586
20.1.2	UART (UART0-UART4)	587
20.1.3	簡易I ² C (IIC00, IIC10, IIC30)	588
20.1.4	IrDA	588
20.2	シリアル・アレイ・ユニットの構成	589
20.2.1	シフト・レジスタ	594
20.2.2	シリアル・データ・レジスタmn (SDRmn) の下位8/9ビット	594
20.3	シリアル・アレイ・ユニットを制御するレジスタ	596
20.3.1	周辺イネーブル・レジスタ0 (PER0)	597
20.3.2	シリアル・クロック選択レジスタm (SPSm)	598

20.3.3	シリアル・モード・レジスタmn (SMRmn)	599
20.3.4	シリアル通信動作設定レジスタmn (SCRmn)	600
20.3.5	シリアル・データ・レジスタmn (SDRmn)	603
20.3.6	シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)	605
20.3.7	シリアル・ステータス・レジスタmn (SSRmn)	606
20.3.8	シリアル・チャンネル開始レジスタm (SSm)	608
20.3.9	シリアル・チャンネル停止レジスタm (STm)	609
20.3.10	シリアル・チャンネル許可ステータス・レジスタm (SEm)	610
20.3.11	シリアル出力許可レジスタm (SOEm)	611
20.3.12	シリアル出力レジスタm (SOm)	612
20.3.13	シリアル出力レベル・レジスタm (SOLm)	614
20.3.14	シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)	616
20.3.15	入力切り替え制御レジスタ (ISC)	617
20.3.16	ノイズ・フィルタ許可レジスタ0 (NFEN0)	618
20.3.17	シリアル入出力端子のポート機能を制御するレジスタ	619
20.3.18	周辺リセット制御レジスタ0 (PRR0)	620
20.4	動作停止モード	621
20.4.1	ユニット単位で動作停止とする場合	622
20.4.2	チャンネルごとに動作停止とする場合	623
20.5	簡易SPI (CSI00, CSI10, CSI30) 通信の動作	624
20.5.1	マスタ送信	626
20.5.2	マスタ受信	634
20.5.3	マスタ送受信	642
20.5.4	スレーブ送信	650
20.5.5	スレーブ受信	658
20.5.6	スレーブ送受信	664
20.5.7	SNOOZEモード機能	672
20.5.8	転送クロック周波数の算出	676
20.5.9	簡易SPI (CSI00, CSI10, CSI30) 通信時におけるエラー発生時の処理手順	678
20.6	UART (UART0-UART4) 通信の動作	679
20.6.1	UART送信	681
20.6.2	UART受信	690
20.6.3	SNOOZEモード機能	697
20.6.4	ボー・レートの算出	705
20.6.5	UART (UART0-UART4) 通信時におけるエラー発生時の処理手順	709
20.7	LIN通信の動作	710
20.7.1	LIN送信	710
20.7.2	LIN受信	713
20.8	簡易I ² C (IIC00, IIC10, IIC30) 通信の動作	718

20.8.1	アドレス・フィールド送信	720
20.8.2	データ送信	725
20.8.3	データ受信	728
20.8.4	ストップ・コンディション発生	732
20.8.5	転送レートの算出	733
20.8.6	簡易I ² C (IIC00, IIC10, IIC30) 通信時におけるエラー発生時の処理手順	735
第21章 シリアル・インタフェースIICA		736
21.1	シリアル・インタフェースIICAの機能	736
21.2	シリアル・インタフェースIICAの構成	739
21.3	シリアル・インタフェースIICAを制御するレジスタ	742
21.3.1	周辺イネーブル・レジスタ0 (PER0)	743
21.3.2	周辺リセット制御レジスタ0 (PRR0)	744
21.3.3	IICAコントロール・レジスタn0 (IICCTLn0)	744
21.3.4	IICAステータス・レジスタn (IICSn)	749
21.3.5	IICAフラグ・レジスタn (IICFn)	752
21.3.6	IICAコントロール・レジスタn1 (IICCTLn1)	754
21.3.7	IICAロウ・レベル幅設定レジスタn (IICWLn)	756
21.3.8	IICAハイ・レベル幅設定レジスタn (IICWHn)	756
21.3.9	ポート・モード・レジスタ6 (PM6)	757
21.4	I ² Cバス・モードの機能	758
21.4.1	端子構成	758
21.4.2	IICWLn, IICWHnレジスタによる転送クロック設定方法	759
21.5	I ² Cバスの定義および制御方法	761
21.5.1	スタート・コンディション	761
21.5.2	アドレス	762
21.5.3	転送方向指定	762
21.5.4	アクノリッジ (ACK)	763
21.5.5	ストップ・コンディション	764
21.5.6	クロック・ストレッチ	765
21.5.7	クロック・ストレッチ解除方法	767
21.5.8	割り込み要求 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御	768
21.5.9	アドレスの一致検出方法	769
21.5.10	エラーの検出	769
21.5.11	拡張コード	770
21.5.12	アービトレーション	771
21.5.13	ウエイク・アップ機能	773
21.5.14	通信予約	776

21.5.15	その他の注意事項	780
21.5.16	通信動作	781
21.5.17	I ² C割り込み要求 (INTIICAn) の発生タイミング	789
21.6	タイミング・チャート	810
第22章	シリアル・インタフェースUARTMG	825
22.1	概要	825
22.2	レジスタの説明	827
22.2.1	周辺イネーブル・レジスタ2 (PER2)	828
22.2.2	周辺リセット制御レジスタ2 (PRR2)	829
22.2.3	クロックダブラ制御レジスタ (CLKDCTL)	830
22.2.4	送信バッファレジスタ (TXBMGn) (n = 0, 1)	831
22.2.5	受信バッファレジスタ (RXBMGn) (n = 0, 1)	832
22.2.6	動作モード設定レジスタ0 (ASIMMGn0) (n = 0, 1)	833
22.2.7	動作モード設定レジスタ1 (ASIMMGn1) (n = 0, 1)	835
22.2.8	ポー・レート・ジェネレータコントロールレジスタ (BRGCMGn) (n = 0, 1)	837
22.2.9	ステータス・レジスタ (ASISMGn) (n = 0, 1)	838
22.2.10	ステータス・クリア・トリガ・レジスタ (ASCTMGn) (n = 0, 1)	841
22.3	動作説明	842
22.3.1	動作停止モード	842
22.3.2	UARTモード	842
22.3.3	受信データのノイズフィルタ	856
22.3.4	ポー・レート・ジェネレータ	857
22.4	使用上の注意事項	862
22.4.1	RXDMGn端子のPORT設定手順	862
第23章	IrDA	863
23.1	IrDAの機能	863
23.2	レジスタの説明	864
23.2.1	周辺イネーブル・レジスタ0 (PER0)	864
23.2.2	周辺リセット制御レジスタ0 (PRR0)	865
23.2.3	IrDAコントロール・レジスタ (IRCR)	866
23.3	動作説明	867
23.3.1	IrDA通信操作手順	867
23.3.2	送信	868
23.3.3	受信	869
23.3.4	ハイ・パルス幅の選択	869
23.4	IrDA使用上の注意事項	870

第24章 LCDコントローラ／ドライバ.....	871
24.1 LCDコントローラ／ドライバの機能	872
24.2 LCDコントローラ／ドライバの構成	874
24.3 LCDコントローラ／ドライバを制御するレジスタ	876
24.3.1 LCDモード・レジスタ0 (LCDM0)	877
24.3.2 LCDモード・レジスタ1 (LCDM1)	879
24.3.3 サブシステム・クロック供給オプション制御レジスタ (OSMC)	881
24.3.4 LCDクロック制御レジスタ0 (LCDC0)	883
24.3.5 LCD昇圧レベル制御レジスタ (VLCD)	884
24.3.6 LCD入力切り替え制御レジスタ (ISCLCD)	885
24.3.7 LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6)	887
24.3.8 ポート・モード・レジスタ0, 1, 3, 5, 7, 8, 9 (PM0, PM1, PM3, PM5, PM7, PM8, PM9)	891
24.4 LCD表示データ・レジスタ	892
24.5 LCD表示レジスタの選択	896
24.5.1 Aパターン領域, Bパターン領域のデータ表示	897
24.5.2 点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)	897
24.6 LCDコントローラ／ドライバの設定	898
24.7 動作停止手順	901
24.8 LCD駆動電圧 V_{L1} , V_{L2} , V_{L3} , V_{L4} の供給	902
24.8.1 外部抵抗分割方式	902
24.8.2 内部昇圧方式	904
24.8.3 容量分割方式	905
24.9 コモン信号とセグメント信号	906
24.9.1 通常液晶波形の場合	906
24.10 表示モード	915
24.10.1 スタティック表示例	915
24.10.2 2時分割表示例	918
24.10.3 3時分割表示例	921
24.10.4 4時分割表示例	925
24.10.5 6時分割表示例	929
24.10.6 8時分割表示例	932
第25章 データ・トランスファ・コントローラ (DTC)	936
25.1 DTCの機能	936
25.2 DTCの構成	938
25.3 DTCを制御するレジスタ	939
25.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置	940
25.3.2 コントロールデータの配置	941

25.3.3	ベクタテーブル.....	943
25.3.4	周辺イネーブル・レジスタ1 (PER1)	946
25.3.5	DTC制御レジスタj (DTCCRj) (j = 0~23)	947
25.3.6	DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0~23)	948
25.3.7	DTC転送回数レジスタj (DTCCTj) (j = 0~23)	948
25.3.8	DTC転送回数リロード・レジスタj (DTRLdj) (j = 0~23)	949
25.3.9	DTCソース・アドレス・レジスタj (DTSARj) (j = 0~23)	949
25.3.10	DTCデスティネーション・アドレス・レジスタj (DTDARj) (j = 0~23)	949
25.3.11	DTC起動許可レジスタi (DTCENi) (i = 0~6)	950
25.3.12	DTCベース・アドレス・レジスタ (DTCBAR)	952
25.4	DTCの動作.....	953
25.4.1	起動要因	953
25.4.2	ノーマルモード.....	954
25.4.3	リピートモード.....	957
25.4.4	チェイン転送	960
25.5	DTC使用上の注意事項.....	962
25.5.1	DTCのコントロールデータおよびベクタテーブルの設定	962
25.5.2	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	962
25.5.3	DTC保留命令	963
25.5.4	データ・フラッシュ空間にアクセスする場合の動作.....	963
25.5.5	DTC実行クロック数	964
25.5.6	DTC応答時間.....	965
25.5.7	DTC起動要因	965
25.5.8	スタンバイ・モード時の動作	966
第26章	イベント・リンク・コントローラ (ELC)	967
26.1	ELCの機能.....	967
26.2	ELCの構成.....	967
26.3	ELCを制御するレジスタ.....	968
26.3.1	イベント出力先選択レジスタn (ELSELRn) (n = 00~29)	969
26.3.2	タイマ入力選択レジスタ0 (TISO)	972
26.3.3	A/D変換開始トリガ選択レジスタ (ADSTRGR)	973
26.4	ELCの動作.....	974
26.5	ELC使用上の注意事項.....	975
第27章	割り込み機能	976
27.1	割り込み機能の種類	976
27.2	割り込み要因と構成	976

27.3	割り込み機能を制御するレジスタ	982
27.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)	985
27.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)	987
27.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)	989
27.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)	992
27.3.5	プログラム・ステータス・ワード (PSW)	994
27.4	割り込み処理動作	995
27.4.1	マスカブル割り込み要求の受け付け動作	995
27.4.2	ソフトウェア割り込み要求の受け付け動作	998
27.4.3	多重割り込み処理	998
27.4.4	除算命令中の割り込み処理	1002
27.4.5	割り込み要求の保留	1004
第28章	キー割り込み機能	1005
28.1	キー割り込みの機能	1005
28.2	キー割り込みの構成	1005
28.3	キー割り込みを制御するレジスタ	1007
28.3.1	キー・リターン・コントロール・レジスタ (KRCTL)	1007
28.3.2	キー・リターン・モード・レジスタ0 (KRM0)	1008
28.3.3	キー・リターン・フラグ・レジスタ (KRF)	1009
28.3.4	ポート・モード・レジスタ7 (PM7)	1010
第29章	スタンバイ機能	1011
29.1	スタンバイ機能	1011
29.2	スタンバイ機能を制御するレジスタ	1012
29.3	スタンバイ機能の動作	1013
29.3.1	HALTモード	1013
29.3.2	STOPモード	1020
29.3.3	SNOOZEモード	1026
第30章	リセット機能	1031
30.1	リセット動作のタイミング	1033
30.2	リセット期間中の動作状態	1035
30.3	リセット要因を確認するレジスタ	1037
30.3.1	リセット・コントロール・フラグ・レジスタ (RESF)	1037

30.3.2	パワーオン・リセット・ステータス・レジスタ (PORSR)	1040
30.3.3	RTCパワーオン・リセット・ステータス・レジスタ (RTCPORSR)	1041
30.3.4	周辺リセット制御レジスタ0 (PRR0).....	1041
30.3.5	周辺リセット制御レジスタ1 (PRR1)	1042
30.3.6	周辺リセット制御レジスタ2 (PRR2).....	1043
第31章	パワーオン・リセット回路.....	1044
31.1	パワーオン・リセット回路の機能.....	1044
31.2	パワーオン・リセット回路の構成.....	1045
31.3	パワーオン・リセット回路の動作.....	1045
第32章	電圧検出回路	1049
32.1	電圧検出回路の機能	1049
32.2	電圧検出回路の構成	1050
32.3	電圧検出回路を制御するレジスタ	1053
32.3.1	電圧検出レジスタ (LVIM)	1053
32.3.2	電圧検出レベル・レジスタ (LVIS)	1054
32.3.3	V _{DD} 端子電圧検出制御レジスタ (LVDVDD)	1058
32.3.4	LVDVBAT端子電圧検出制御レジスタ (LVDVBAT)	1059
32.3.5	VRTC端子電圧検出制御レジスタ (LVDVRTC)	1060
32.3.6	EXLVD端子電圧検出制御レジスタ (LVDEXLVD)	1061
32.4	電圧検出回路の動作	1062
32.4.1	リセット・モードとして使用する場合の設定	1062
32.4.2	割り込みモードとして使用する場合の設定.....	1064
32.4.3	割り込み&リセット・モードとして使用時の設定	1066
32.4.4	各電源端子電圧検出の設定手順.....	1071
32.5	LVD検出電圧の設定変更.....	1075
32.5.1	LVDリセット・モード時のLVD検出電圧の設定変更.....	1076
32.5.2	LVD割り込みモード時のLVD検出電圧の設定変更	1077
32.5.3	各電源端子電圧検出のLVD検出電圧の設定変更.....	1079
32.6	電圧検出回路の注意事項	1080
第33章	発振停止検出回路.....	1082
33.1	発振停止検出回路の機能	1082
33.2	発振停止検出回路の構成	1083
33.3	発振停止検出回路で使用するレジスタ	1084
33.3.1	周辺イネーブル・レジスタ2 (PER2)	1084
33.3.2	周辺リセット制御レジスタ2 (PRR2)	1085

33.3.3	サブシステム・クロック供給オプション制御レジスタ (OSMC)	1086
33.3.4	発振停止検出制御レジスタ (OSDC)	1088
33.4	発振停止検出回路の動作	1089
33.4.1	発振停止検出回路の動作方法	1089
33.5	発振停止検出機能使用時の注意事項	1090
第34章	安全機能	1091
34.1	安全機能の概要	1091
34.2	安全機能で使用するレジスタ	1092
34.3	安全機能の動作	1092
34.3.1	フラッシュ・メモリCRC演算機能 (高速CRC)	1092
34.3.1.1	フラッシュ・メモリCRC制御レジスタ (CRC0CTL)	1092
34.3.1.2	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	1094
34.3.2	CRC演算機能 (汎用CRC)	1096
34.3.2.1	CRC入力レジスタ (CRCIN)	1096
34.3.2.2	CRCデータ・レジスタ (CRCD)	1097
34.3.3	RAMパリティ・エラー検出機能	1098
34.3.3.1	RAMパリティ・エラー制御レジスタ (RPECTL)	1098
34.3.4	RAMガード機能	1099
34.3.4.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1099
34.3.5	SFRガード機能	1100
34.3.5.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1100
34.3.6	不正メモリ・アクセス検出機能	1101
34.3.6.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1102
34.3.7	周波数検出機能	1103
34.3.7.1	タイマ入力選択レジスタ0 (TIS0)	1104
34.3.8	A/Dテスト機能	1105
34.3.8.1	A/D自己診断データレジスタ (ADRD)	1105
34.3.9	入出力ポートのデジタル出力信号レベル検出機能	1106
34.3.9.1	ポート・モード選択レジスタ (PMS)	1106
第35章	AES機能	1107
35.1	AES機能の概要	1107
第36章	レギュレータ	1108
36.1	レギュレータの概要	1108
36.2	レギュレータを制御するレジスタ	1109
36.2.1	レギュレータ・モード制御レジスタ (PMMC)	1109

第37章 オプション・バイト	1110
37.1 オプション・バイトの機能	1110
37.1.1 ユーザ・オプション・バイト (000C0H-000C2H/400C0H-400C2H)	1110
37.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/400C3H)	1111
37.2 ユーザ・オプション・バイトのフォーマット	1112
37.3 オンチップ・デバッグ・オプション・バイトのフォーマット	1117
37.4 オプション・バイトの設定	1118
第38章 フラッシュ・メモリ	1119
38.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング	1121
38.1.1 プログラミング環境	1123
38.1.2 通信方式	1123
38.2 外部デバイス (UART内蔵) によるシリアル・プログラミング	1124
38.2.1 プログラミング環境	1124
38.2.2 通信方式	1125
38.3 オンボード上の端子処理	1125
38.3.1 P40/TOOL0端子	1126
38.3.2 $\overline{\text{RESET}}$ 端子	1126
38.3.3 ポート端子	1127
38.3.4 REGC端子	1127
38.3.5 X1, X2端子	1127
38.3.6 電源	1127
38.4 プログラミング方法	1128
38.4.1 シリアル・プログラミング手順	1128
38.4.2 フラッシュ・メモリ・プログラミング・モード	1129
38.4.3 通信方式	1131
38.4.4 通信コマンド	1132
38.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)	1134
38.6 セルフ・プログラミング	1135
38.6.1 セルフ・プログラミング手順	1136
38.6.2 バンクプログラミング機能	1137
38.6.2.1 バンクモード切り替え機能	1137
38.6.2.2 バンクプログラミング機能	1137
38.6.2.3 バンクスワップ機能	1139
38.6.2.4 フラッシュ動作モード選択レジスタ (FLMODE)	1140
38.6.2.5 プログラム更新手順	1141
38.6.3 フラッシュ・シールド・ウインドウ機能	1142
38.7 セキュリティ設定	1143

38.8	データ・フラッシュ	1146
38.8.1	データ・フラッシュの概要	1146
38.8.2	データ・フラッシュを制御するレジスタ	1147
38.8.2.1	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	1147
38.8.3	データ・フラッシュへのアクセス手順	1148
第39章	オンチップ・デバッグ機能	1149
39.1	E1, E2, E2 Lite, E20オンチップデバッグエミュレータとの接続	1149
39.2	オンチップ・デバッグ・セキュリティID	1151
39.3	ユーザ資源の確保	1151
39.4	バンクプログラミングモード時のオンチップ・デバッグ機能	1153
第40章	10進補正 (BCD) 回路	1154
40.1	10進補正回路の機能	1154
40.2	10進補正回路で使用するレジスタ	1154
40.2.1	BCD補正結果レジスタ (BCDADJ)	1154
40.3	10進補正回路の動作	1155
第41章	32ビット積和演算回路	1157
41.1	32ビット積和演算回路の機能	1157
41.2	32ビット積和演算回路の構成	1158
41.2.1	乗算データ・レジスタA (MUL32UH, MUL32UL, MUL32SH, MUL32SL, MAC32UH, MAC32UL, MAC32SH, MAC32SL)	1160
41.2.2	乗算データ・レジスタB (MULBL, MULBH)	1161
41.2.3	演算結果レジスタ (MULR0, MULR1, MULR2, MULR3)	1162
41.3	32ビット積和演算回路を制御するレジスタ	1164
41.3.1	周辺イネーブル・レジスタ2 (PER2)	1164
41.3.2	周辺リセット制御レジスタ2 (PRR2)	1165
41.3.3	乗算コントロール・レジスタ (MULC)	1165
41.3.4	演算結果選択レジスタ (MULRSEL)	1167
41.4	32ビット積和演算回路の動作	1169
41.4.1	基本動作	1169
41.4.2	演算に必要なクロック数	1169
41.4.3	演算モード切り替え	1170
41.4.4	乗算動作	1170
41.4.5	積和演算動作	1170
41.4.6	固定小数点モード	1171
41.4.7	固定小数点モードの動作	1172

41.4.8	割り込み動作	1173
41.5	32ビット積和演算回路の動作説明.....	1174
41.6	32ビット積和演算回路の注意事項.....	1178
41.6.1	演算中 (MULST = 1) の注意事項.....	1178
第42章	命令セットの概要	1179
42.1	凡例	1180
42.1.1	オペランドの表現形式と記述方法.....	1180
42.1.2	オペレーション欄の説明	1181
42.1.3	フラグ動作欄の説明.....	1182
42.1.4	PREFIX命令.....	1182
42.2	オペレーション一覧	1183
第43章	電気的特性	1201
43.1	絶対最大定格	1202
43.2	発振回路特性.....	1205
43.2.1	X1, XT1発振回路特性	1205
43.2.2	オンチップ・オシレータ特性	1206
43.2.3	PLL発振回路特性.....	1207
43.3	DC特性	1208
43.3.1	端子特性	1208
43.3.2	電源電流特性	1214
43.4	AC特性.....	1224
43.5	周辺機能特性.....	1228
43.5.1	シリアル・アレイ・ユニット	1228
43.5.2	シリアル・インタフェースUARTMG	1254
43.5.3	シリアル・インタフェースIICA.....	1255
43.6	アナログ特性.....	1260
43.6.1	12ビットA/Dコンバータ特性	1260
43.6.2	ボルテージ・リファレンス特性.....	1262
43.6.3	24ビット $\Delta\Sigma$ A/Dコンバータ特性	1263
43.6.4	温度センサ2特性.....	1267
43.6.5	POR回路特性.....	1267
43.6.6	LVD回路特性	1268
43.6.7	電源電圧立ち上がり傾き特性	1270
43.6.8	V _{DD} 端子電圧検出特性	1271
43.6.9	LVDVBAT端子電圧検出特性.....	1272
43.6.10	V _{RTC} 端子電圧検出特性	1273

43. 6. 11 EXLVD端子電圧検出特性	1274
43. 7 LCD特性	1275
43. 7. 1 外部抵抗分割方式	1275
43. 7. 2 内部昇圧方式	1276
43. 7. 3 容量分割方式	1278
43. 8 RAMデータ保持特性.....	1279
43. 9 フラッシュ・メモリ・プログラミング特性.....	1279
43. 10 専用フラッシュ・メモリ・プログラマ通信（UART）	1280
43. 11 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	1280
第44章 外形図	1281
44. 1 80ピン製品	1281
44. 2 100ピン製品	1282
付録A 改版履歴	1283
A. 1 本版で改訂された主な箇所	1283
A. 2 前版までの改版履歴	1284

第1章 概 説

1.1 特 徴

対象アプリケーション

- 電力メータ, ガスメータ, 水道メータ

超低消費電力テクノロジー

- $V_{DD} = 1.6 \sim 5.5$ Vの単一電源
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間: 高速 (0.03125 μ s: 高速オンチップ・オシレータ・クロック32 MHz選択時) から超低速 (66.6 μ s: 低速オンチップ・オシレータ・クロック15 kHz動作時) まで最小命令実行時間を変更可能
- 16ビット乗算, 16ビット積和演算, 32ビット除算演算命令に対応
- アドレス空間: 1 Mバイト
- 汎用レジスタ: 8ビット \times 8レジスタ \times 4バンク
- 内蔵RAM: 32 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ: 512 KB (256 KB \times 2 banks)
- ブロック・サイズ: 1 KB
- ブロック消去禁止, 書き換え禁止 (セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング; フラッシュ・シールド・ウインドウ機能あり
- バンクプログラミング機能: ユーザプログラムを実行しながらプログラムの更新が可能

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ: 2 KB
- バックグラウンド・オペレーション (BGO); データ・フラッシュ書き換え中に, プログラム・メモリ内の命令実行が可能
- 書き換え回数: 1,000,000回 (TYP.)
- 書き換え電圧: $V_{DD} = 1.8 \sim 5.5$ V

PLLクロック

- 32 MHzを選択可能 ($\Delta \Sigma$ A/Dコンバータ動作可能)

高速オンチップ・オシレータ

- 1 MHz~32 MHz (TYP.) から選択可能。ただし $\Delta \Sigma$ A/Dコンバータの動作クロックとして選択する場合は 24 MHz (TYP.) / 12 MHz (TYP.) / 6 MHz (TYP.) / 3 MHz (TYP.) から選択可能。
- 高精度 $\pm 1.0\%$ ($V_{DD} = 1.8 \sim 5.5$ V, $T_A = -20 \sim +85^\circ\text{C}$)
- 高速オンチップ・オシレータ・クロック周波数補正機能内蔵

中速オンチップ・オシレータ

- 4 MHz (TYP.) / 2 MHz (TYP.) / 1 MHz (TYP.) から選択可能 (ただし $\Delta \Sigma$ A/Dコンバータ動作不可)

動作周囲温度

- $T_A = -40 \sim +85^\circ\text{C}$

電源管理とリセット回路

- V_{DD} 電源用パワーオン・リセット (POR) 回路内蔵
- VRTC電源用RTCパワーオン・リセット (RTCPOR) 回路内蔵
- 電圧検出 (LVD) 回路内蔵 (割り込み, リセットを14段階で選択)

電圧検出回路

- V_{DD} 端子電圧検出 (割り込みを6段階で選択)
- LVDVBAT端子電圧検出 (割り込みを7段階で選択)
- VRTC端子電圧検出 (割り込みを4段階で選択)
- EXLVD端子電圧検出 (割り込みを1段階で選択)

データ・トランスファ・コントローラ (DTC)

- 転送モード: ノーマル転送モード, リピート転送モード, ブロック転送モード
- 起動要因: 割り込み要因により起動
- チェイン転送機能あり

イベント・リンク・コントローラ (ELC)

- 30種類のイベント信号を特定の周辺機能へリンク可能

32ビット乗算・積和演算器

- 32ビット \times 32ビット = 64ビット (符号付/符号なし)
- 32ビット \times 32ビット+64ビット = 64ビット (符号付/符号なし)
- 24チャンネルバッファによる積和演算結果 (累計値) の保持およびチャンネル選択可能

シリアル・インタフェース

- 簡易SPI (CSI^注): 2~3チャンネル
- UART/UART (LIN-bus対応): 2または4チャンネル
- UART/IrDA: 1チャンネル
- 簡易I²C: 2~3チャンネル
- I²C: 1チャンネル
- シリアル・インタフェースUARTMG (9600bps@38.4KHz): 2チャンネル

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

タイマ

- 16ビット・タイマ：10チャンネル
(タイマ・アレイ・ユニット (TAU)：8チャンネル, タイマRJ：2チャンネル)
- 12ビット・インターバル・タイマ：1チャンネル
- 8ビット・インターバル・タイマ：8チャンネル
- 独立電源RTC：1チャンネル (99年カレンダー, アラーム機能, 時計補正機能)
- ウォッチドッグ・タイマ：1チャンネル
- サンプリング出力タイマ/ディテクタ (SMOTD)：2ユニット (入力6チャンネル, 出力6チャンネル)
- 発振停止検出回路：1チャンネル

LCDコントローラ/ドライバ

- 内部昇圧/容量分割/外部抵抗分割を切り替え可能
- セグメント信号出力：34 (30) 本^注~42 (38) 本^注
- コモン信号出力：4 (8) 本^注

A/Dコンバータ

- 24ビット $\Delta\Sigma$ A/Dコンバータ：3または4チャンネル
- 12ビット分解能A/Dコンバータ ($AV_{DD} = 1.8\sim 5.5\text{ V}$)：4または6チャンネル
(同時サンプルホールド機能 サンプル&ホールド回路を搭載 (3チャンネル))
- 内部基準電圧 (TYP. 1.45 V) と温度センサを搭載
- ボルテージ・リファレンス出力電圧を12ビットA/Dコンバータの基準電圧として使用可能
- ボルテージ・リファレンス出力電圧は1.5 V (TYP.), 2.0 V (TYP.), 2.5 V (TYP.) から選択が可能

入出力ポート

- I/Oポート：60または76本 (N-chオープン・ドレイン入出力[6V耐圧]：6本,
N-chオープン・ドレイン入出力[EV_{DD}耐圧]：13または18本)
- N-chオープン・ドレイン, TTL入力バッファ, 内蔵プルアップの切り替え可能
- 異電位 (1.8/2.5/3 V) 動作デバイスと接続可能
- クロック出力/ブザー出力制御回路内蔵
- キー割込み機能内蔵

AES回路

- 暗号利用モード : GCM/ECB/CBC
- 暗号鍵長 : 128/192/256ビット

その他

- 10進補正 (BCD) 回路内蔵

注 () 内は8 com使用時の信号出力本数です。

備考 製品によって、搭載している機能が異なります。1.6 機能概要を参照してください。

OROM, RAM容量

コード・フラッシュ	データ・フラッシュ	RAM	AES機能	RL78/I1C (512 KB)	
				80ピン	100ピン
512 KB	2 KB	32 KB ^注	搭載	R5F10NML	R5F10NPL

注 セルフ・プログラミング機能使用時は、約31 KB (詳細は、第3章参照)

1.2 型名一覧

図1-1 RL78/I1C (512 KB) の型名とメモリ・サイズ, パッケージ

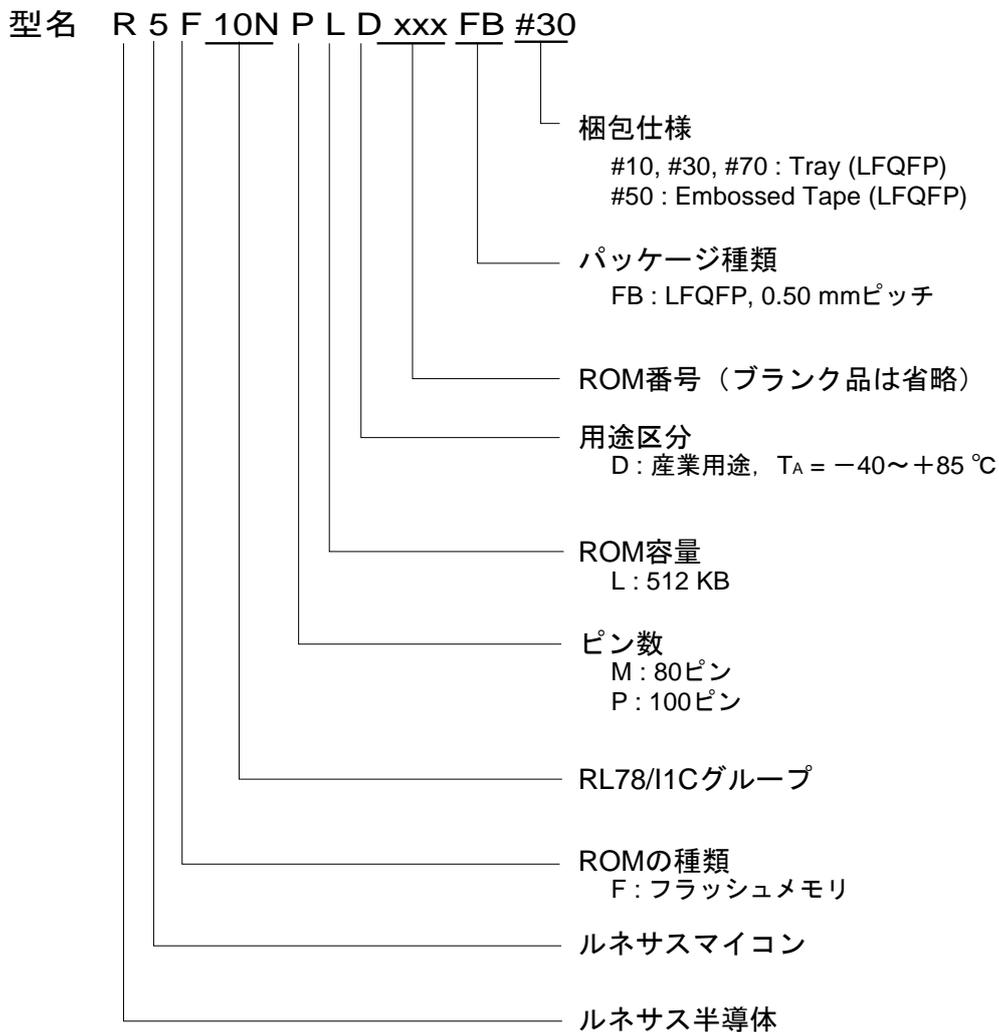


表1-1 発注型名一覧

★

ピン数	パッケージ	データ・フラッシュ	AES機能	用途・区分 ^注	発注型名
80ピン	80ピン・プラスチックLFQFP (12x12 mm, 0.5 mmピッチ)	搭載	搭載	D	R5F10NMLDFB#10, R5F10NMLDFB#30, R5F10NMLDFB#50, R5F10NMLDFB#70
100ピン	100ピン・プラスチックLFQFP (14x14 mm, 0.5 mmピッチ)	搭載	搭載	D	R5F10NPLDFB#10, R5F10NPLDFB#30, R5F10NPLDFB#50, R5F10NPLDFB#70

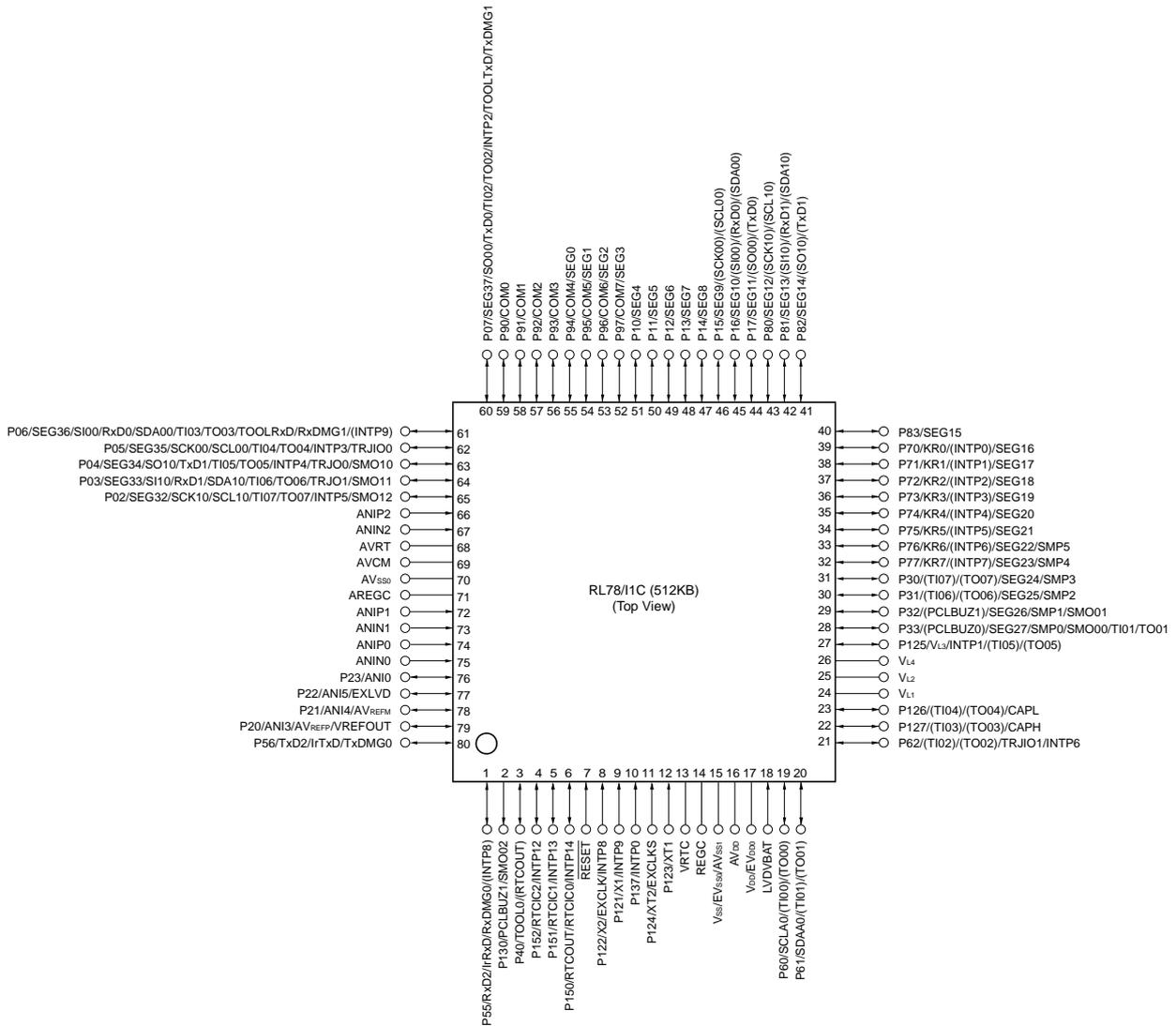
注 用途・区分は、図1-1 RL78/I1C (512 KB) の型名とメモリ・サイズ, パッケージを参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

1.3 端子接続図 (Top View)

1.3.1 80ピン製品

・80ピン・プラスチックLFQFP (12×12mm, 0.5mmピッチ)

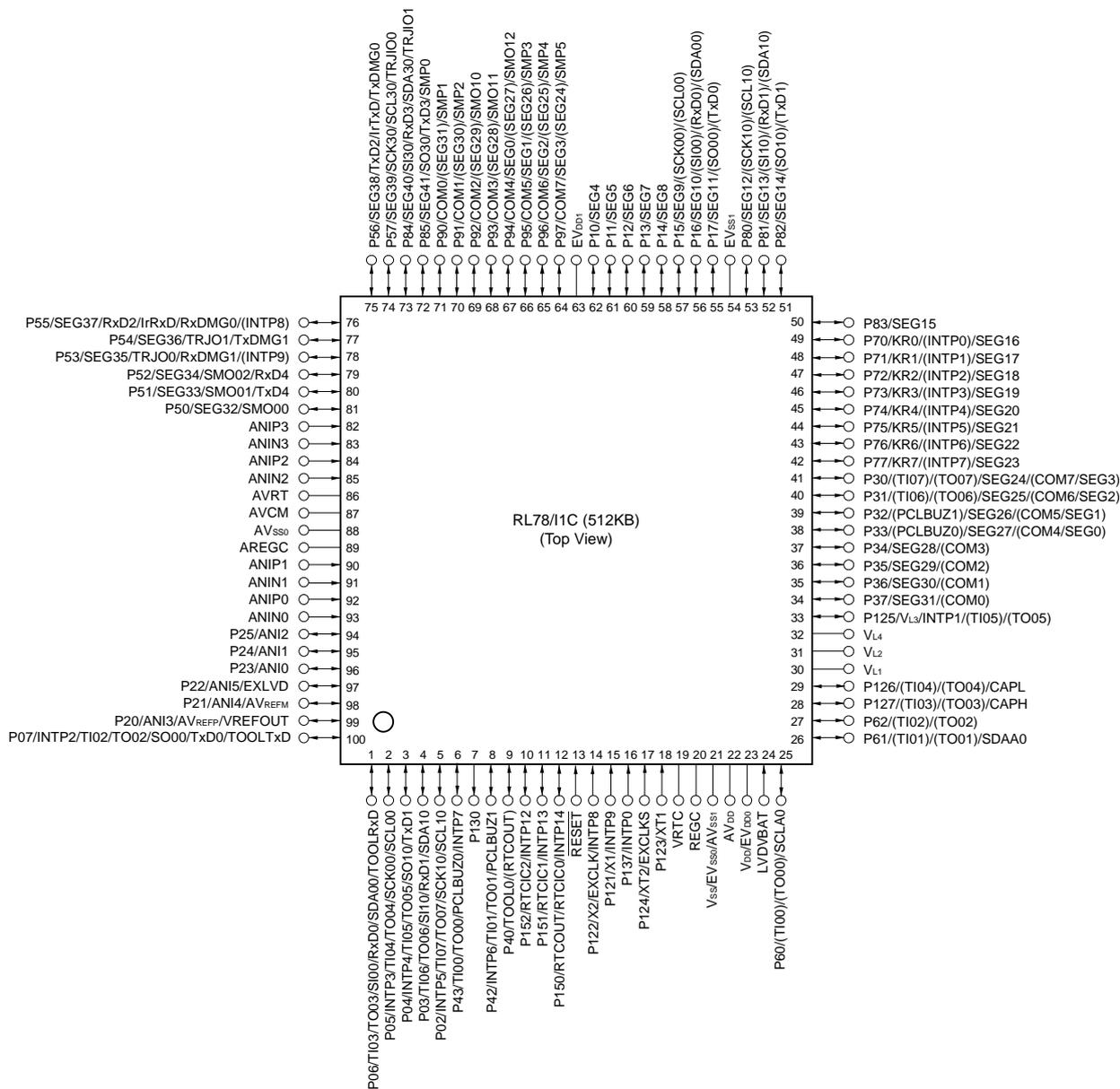


- 注意 1. REGC端子はコンデンサ (0.47~1 μF) を介し、V_{SS}に接続してください。
2. AV_{DD}端子は、V_{DD}/EV_{DD0}端子と同電位にしてください。
- ★ 3. P150-P152端子 (兼用機能を含む) に、ハイ・レベルを入力する場合は、個別に抵抗を介して、V_{DD}とVRTCのうち高い電圧、またはV_{DD}とVRTCより高い電圧 (6 V以下) に接続してください。

- 備考 1. 端子名称は、1.4 端子名称を参照してください。
2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマットを参照してください。

1.3.2 100ピン製品

- ・ 100ピン・プラスチックLFQFP (14x14mm, 0.5mmピッチ)



- 注意 1. EV_{SS1}端子は、V_{SS}/EV_{SS0}/AV_{SS1}端子と同電位にしてください。
2. EV_{DD1}端子は、V_{DD}/EV_{DD0}端子と同電位にしてください。
3. REGC端子はコンデンサ (0.47~1 μF) を介し、V_{SS}に接続してください。
4. AV_{DD}端子は、V_{DD}/EV_{DD0}端子と同電位にしてください。
- ★ 5. P150-P152端子 (兼用機能を含む) に、ハイ・レベルを入力する場合は、個別に抵抗を介して、V_{DD}とVRTCのうち高い電圧、またはV_{DD}とVRTCより高い電圧 (6 V以下) に接続してください。

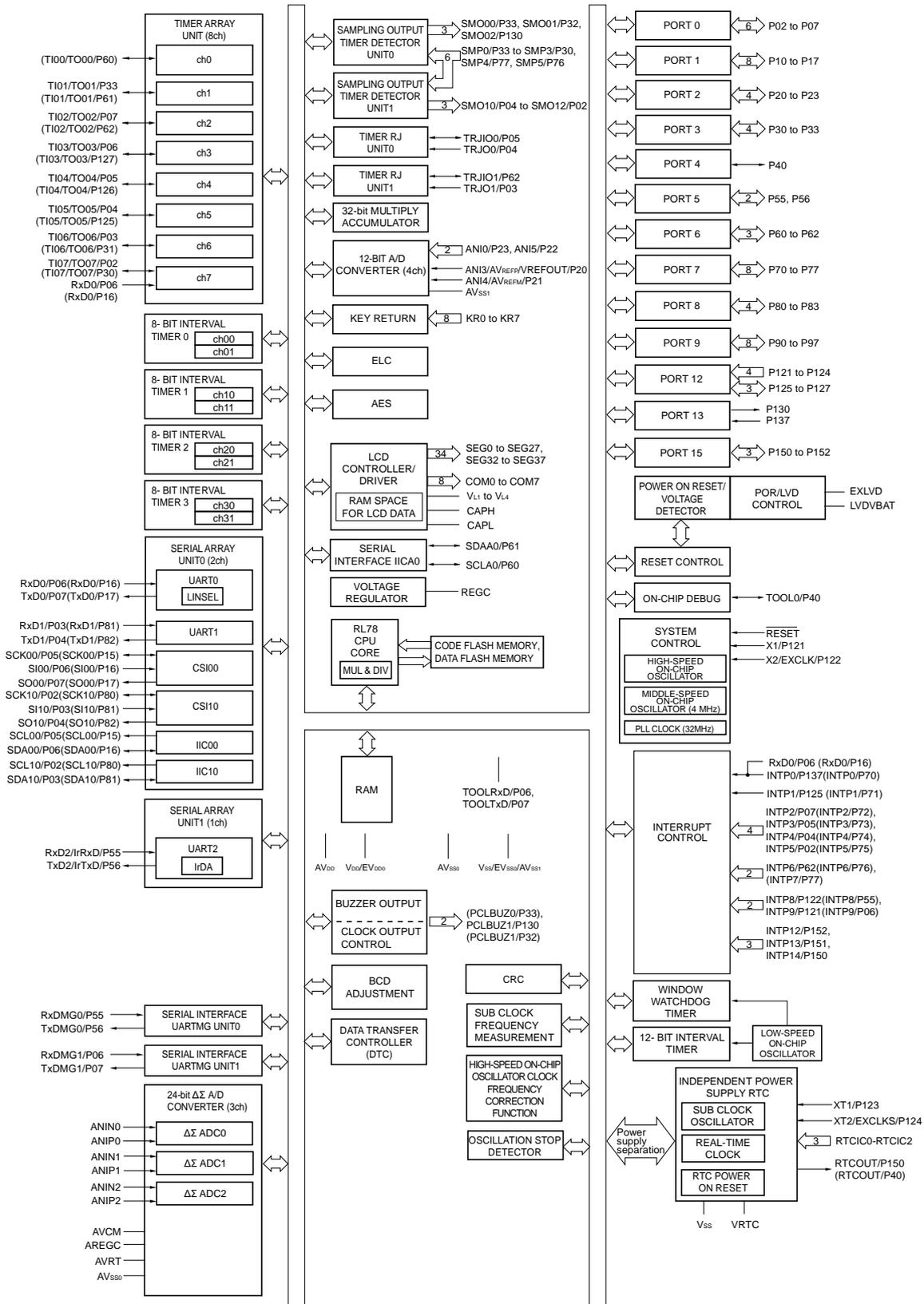
- 備考1. 端子名称は、1.4 端子名称を参照してください。
2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD}とEV_{DD1}に個別の電源を供給し、V_{SS}とEV_{SS1}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。
3. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマットを参照してください。

1.4 端子名称

ANI0-ANI5	: Analog Input	P130, P137	: Port 13
ANIN0-ANIN3,	: Analog Input for $\Delta\Sigma$ ADC	P150-P152	: Port 15
ANIP0-ANIP3		PCLBUZ0,	: Programmable Clock Output/Buzzer
AREGC	: Regulator Capacitance for $\Delta\Sigma$ ADC	PCLBUZ1	Output
AVCM	: Control for $\Delta\Sigma$ ADC	REGC	: Regulator Capacitance
AVDD	: Analog Power Supply	$\overline{\text{RESET}}$: Reset
AVREFM	: 12-bit A/D Converter Reference Potential (– side) Input	RTCOUT	: Real-time Clock Correction Clock (1 Hz/64 Hz) Output
AVREFP	: 12-bit A/D Converter Reference Potential(+ side) Input	RTCIC0-RTCIC2	: RTC Time Capture Event Input
AVRT	: Reference Potential for $\Delta\Sigma$ ADC	RxD0-RxD4	: Receive Data for UART
AVSS0	: Ground for $\Delta\Sigma$ ADC	RxDMG0, RxDMG1	: Receive Data for UARTMG
AVSS1	: Ground for 12-bit A/D Converter	SCK00, SCK10,	: Serial Clock Input/Output for CSI
CAPH, CAPL	: Capacitor Connection for LCD Controller/Driver	SCK30	
COM0-COM7	: Common Signal Output for LCD Controller/Driver	SCLA0	: Serial Clock Input/Output for IICA0
EVDD0, EVDD1	: Power Supply for Port	SCL00, SCL10,	: Serial Clock Output for
EVSS0, EVSS1	: Ground for Port	SCL30	Simplified IIC
EXCLK	: External Clock Input (Main System Clock)	SDAA0	: Serial Data Input/Output for IICA0
EXCLKS	: External Clock Input (Subsystem clock)	SDA00, SDA10,	: Serial Data Input/Output for
EXLVD	: External Input for Low Voltage Detector	SDA30	Simplified IIC
INTP0-INTP9,	: Interrupt Request From Peripheral	SEG0-SEG41	: Segment Signal Output for LCD
INTP12-INTP14			Controller/Driver
IrRxD	: Receive Data for IrDA	SI00, SI10, SI30	: Serial Data Input for CSI
IrTxD	: Transmit Data for IrDA	SMP0-SMP5	: Sampling Input
KR0-KR7	: Key Return	SMO00-SMO02,	: Sampling Clock Output
LVDVBAT	: Battery Backup Power Supply for Voltage Detector	SMO10-SMO12	
P02-P07	: Port 0	SO00, SO10, SO30	: Serial Data Output for CSI
P10-P17	: Port 1	TI00-TI07	: Timer Input
P20-P25	: Port 2	TO00-TO07,	: Timer Output
P30-P37	: Port 3	TRJO0, TRJO1	
P40, P42, P43	: Port 4	TOOL0	: Data Input/Output for Tool
P50-P57	: Port 5	TOOLRxD,	: Data Input/Output for External Device
P60-P62	: Port 6	TOOLTxD	
P70-P77	: Port 7	TRJIO0, TRJIO1	: Timer Input/Output
P80-P85	: Port 8	TxD0-TxD4	: Transmit Data for UART
P90-P97	: Port 9	TxDMG0, TxDMG1	: Transmit Data for UARTMG
P121-P127	: Port 12	VDD	: Power Supply
		VL1-VL4	: Voltage for Driving LCD
		VREFOUT	: Analog Reference Voltage Output
		VRTC	: RTC Power Supply
		VSS	: Ground
		X1, X2	: Crystal Oscillator (Main System Clock)
		XT1, XT2	: Crystal Oscillator (Subsystem Clock)

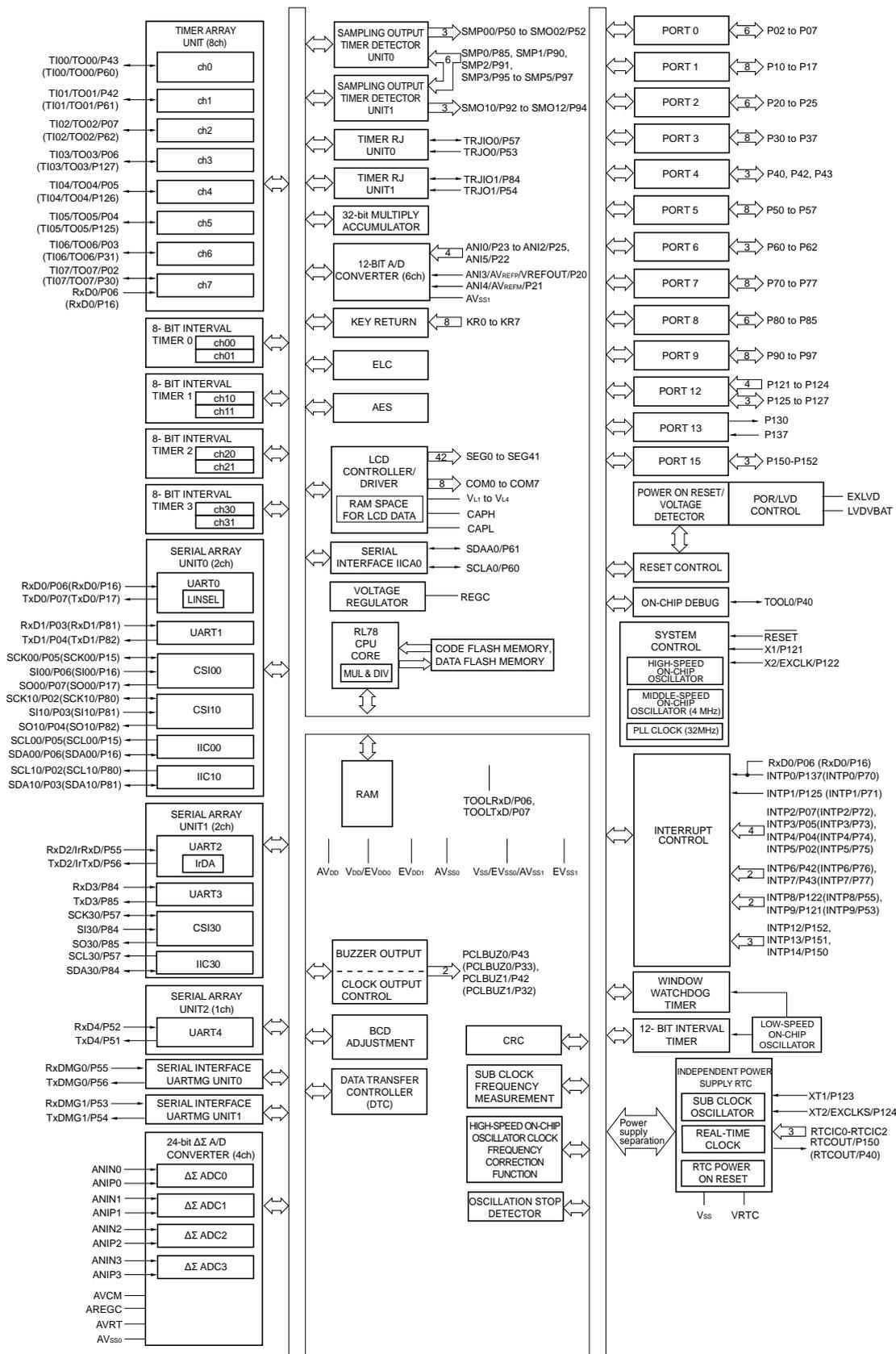
1.5 ブロック図

1.5.1 80ピン製品



備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマットを参照してください。

1.5.2 100ピン製品



備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマットを参照してください。

1.6 機能概要

(1/3)

項 目	80ピン		100ピン	
	R5F10NMLDFB		R5F10NPLDFB	
コード・フラッシュ・メモリ	512 KB (256 KB × 2 banks)			
データ・フラッシュ・メモリ	2 KB			
RAM	32 KB [※]			
アドレス空間	1 Mバイト			
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK)		
		HS (高速メイン) モード :	1~20 MHz ($V_{DD} = 2.7\sim 5.5$ V) ,	
		HS (高速メイン) モード :	1~16 MHz ($V_{DD} = 2.4\sim 5.5$ V) ,	
		HS (高速メイン) モード :	1~6 MHz ($V_{DD} = 2.1\sim 5.5$ V) ,	
	LS (低速メイン) モード :	1~8 MHz ($V_{DD} = 1.8\sim 5.5$ V) ,		
	LV (低電圧メイン) モード :	1~4 MHz ($V_{DD} = 1.6\sim 5.5$ V) ,		
	LP (低電力メイン) モード :	1 MHz ($V_{DD} = 1.8\sim 5.5$ V)		
高速オンチップ・オシレータ・クロック (f_{IH}) Max : 32 MHz	HS (高速メイン) モード :	1~32 MHz ($V_{DD} = 2.7\sim 5.5$ V) ,		
	HS (高速メイン) モード :	1~16 MHz ($V_{DD} = 2.4\sim 5.5$ V) ,		
中速オンチップ・オシレータ・クロック (f_{IM}) Max : 4 MHz	HS (高速メイン) モード :	1~6 MHz ($V_{DD} = 2.1\sim 5.5$ V) ,		
	LS (低速メイン) モード :	1~8 MHz ($V_{DD} = 1.8\sim 5.5$ V) ,		
PLLクロック (f_{PLL})	LV (低電圧メイン) モード :	1~4 MHz ($V_{DD} = 1.6\sim 5.5$ V) ,		
	LP (低電力メイン) モード :	1 MHz ($V_{DD} = 1.8\sim 5.5$ V)		
サブシステム・クロック	サブシステム・クロック発振回路	XT1 (水晶) 発振, 外部サブシステム・クロック入力 (EXCLKS)		
	クロック (f_{SX})	32.768 kHz (TYP.) : $V_{DD} = 1.6\sim 5.5$ V		
		38.4 kHz (TYP.) : $V_{DD} = 1.6\sim 5.5$ V		
低速オンチップ・オシレータ・クロック (f_{IL})	15 kHz (TYP.) : $V_{DD} = 1.6\sim 5.5$ V			
高速オンチップ・オシレータ・クロック周波数補正機能	サブシステム・クロックによる高速オンチップ・オシレータ・クロックの周波数補正			
汎用レジスタ	8ビット×8レジスタ×4バンク			
最小命令実行時間	0.03125 μ s (PLLクロック32 MHz選択時)			
	0.03125 μ s (高速オンチップ・オシレータ・クロック : $f_{IH} = 32$ MHz動作時)			
	30.5 μ s (サブシステム・クロック : $f_{SUB} = 32.768$ kHz動作時)			
	66.6 μ s (低速オンチップ・オシレータ・クロック15 kHz動作時)			
命令セット	<ul style="list-style-type: none"> ・ データ転送 (8/16ビット) ・ 加減/論理演算 (8/16ビット) ・ 乗算 (16×16ビット) , 除算 (32÷32ビット) ・ 積和演算 (16×16+32ビット) ・ ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算) など 			

注 セルフ・プログラミング機能使用時は約31 KB

(2/3)

項 目		80ピン	100ピン
		R5F10NMLDFB	R5F10NPLDFB
I/Oポート	合計	60	76
	CMOS入出力	48	64
	CMOS入力	5	5
	CMOS出力	1	1
	N-ch O.D.入出力 (6 V耐圧)	6	6
タイマ	16ビット・タイマTAU	8チャンネル	
	ウォッチドッグ・ タイマ	1チャンネル	
	12ビット・インター バル・タイマ	1チャンネル	
	8/16ビット・インター バル・タイマ	8チャンネル (8ビット) / 4チャンネル (16ビット)	
	独立電源リアルタイム・クロック (RTC)	1チャンネル	
	16ビット・タイマRJ	2チャンネル	
	サンプリング出力タイマ/ディテクタ (SMOTD)	入力 : 6チャンネル, 出力 : 6チャンネル	
	発振停止検出回路	1チャンネル	
	タイマ出力	タイマ : 出力8本 PWM出力 : 7本 ^注	
	RTC出力	1本 ・ 1 Hz/64 Hz (サブ・クロック : $f_{sx} = 32.768$ kHz)	
	RTC時間キャプチャ 入力	3チャンネル	
クロック出力/ブザー出力	2本 ・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : $f_{MAIN} = 20$ MHz動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブ・クロック : $f_{sx} = 32.768$ kHz動作時)		
12ビット分解能A/Dコンバータ		4チャンネル	6チャンネル
	3チャンネル同時サン プリング機能	—	3チャンネル
	ボルテージ・リファ レンス電圧出力	1.5 V / 2.0 V / 2.5 V	
24ビット $\Delta\Sigma$ A/Dコンバータ		3チャンネル	4チャンネル
	SNDR	TYP. 80 dB (ゲイン×1) MIN. 69 dB (ゲイン×16) MIN. 65 dB (ゲイン×32)	
	サンプリング周波数	3.906 kHz/1.953 kHz	
	PGA	×1, ×2, ×4, ×8, ×16, ×32	
シリアル・ インタ フェース	簡易 SPI (CSI) / UART/簡易I ² C	2チャンネル	3チャンネル
	UART/IrDA	1チャンネル	
	UART	—	1チャンネル

注 マスタの数と使用チャンネルの設定によって、出力数は変わります (8.9.3 多重PWM出力機能としての動作参照)。

項 目		80ピン	100ピン
		R5F10NMLDFB	R5F10NPLDFB
シリアル・インタフェース	I ² Cバス	1チャンネル	
	UARTMG	2チャンネル	
32ビット積和演算器		乗算：32ビット×32ビット=64ビット（符号付/なし）（5クロック） 積和演算：32ビット×32ビット+64ビット=64ビット（符号付/なし）（5クロック） 累積値バッファ 24ch	
データ・トランスファ・コントローラ（DTC）		46要因	50要因
イベント・リンク・コントローラ（ELC）	イベント入力	7	
	イベント・トリガ出力	30	
LCDコントローラ／ドライバ		内部昇圧／容量分割／外部抵抗分割の切り替えが可能	
	セグメント信号出力	34 (30) 本 ^{注1}	42 (38) 本 ^{注1}
	コモン信号出力	4 (8) 本 ^{注1}	
ベクタ割り込み要因	内部	41	47
	外部	14	14
キー割り込み		8	
AES回路		暗号利用モード：GCM/ECB/CBC 暗号鍵長：128/192/256ビット	
リセット	MCU	<ul style="list-style-type: none"> ・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・V_{DD}電源のパワーオン・リセットによる内部リセット ・V_{DD}電源の電圧検出回路による内部リセット ・不正命令の実行による内部リセット^{注2} ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット 	
	RTC	RTCパワーオン・リセットによるRTC回路リセット	
パワーオン・リセット回路	V _{DD}	<ul style="list-style-type: none"> ・パワーオン・リセット：1.51 V (TYP.) ・パワーダウン・リセット：1.50 V (TYP.) 	
	VRTC	<ul style="list-style-type: none"> ・RTCパワーオン・リセット：1.52 V (TYP.) ・RTCパワーダウン・リセット：1.50 V (TYP.) 	
電圧検出回路	V _{DD}	<ul style="list-style-type: none"> ・立ち上がり：1.67 V～4.06 V（14段階） ・立ち下がり：1.63 V～3.98 V（14段階） 	
	V _{DD}	<ul style="list-style-type: none"> ・立ち上がり：2.53 V～3.77 V（6段階） ・立ち下がり：2.46 V～3.70 V（6段階） 	
	LVDVBAT	<ul style="list-style-type: none"> ・立ち上がり：2.23 V～3.13 V（7段階） ・立ち下がり：2.17 V～3.07 V（7段階） 	
	VRTC	<ul style="list-style-type: none"> ・立ち上がり：2.22 V～2.84 V（4段階） ・立ち下がり：2.16 V～2.78 V（4段階） 	
	EXLVD	<ul style="list-style-type: none"> ・立ち上がり：1.33 V ・立ち下がり：1.28 V 	
オンチップ・デバッグ機能		あり	
バンク・プログラミング機能		あり	
電源電圧		V _{DD} = 1.6～5.5 V	
動作周囲温度		T _A = -40～+85 °C	

注1. () 内は8 com使用時の信号出力本数です。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

(1) 80ピン製品

電源	対応する端子
EV _{DD0}	P20-P23, P121-P124, P137, P150-P152以外のポート端子
V _{DD}	<ul style="list-style-type: none"> ・ P121, P122, P137, P150-P152 ・ $\overline{\text{RESET}}$, REGC
AV _{DD}	<ul style="list-style-type: none"> ・ P20-P23 ・ ANIP0-ANIP2, ANIN0-ANIN2
VRTC	<ul style="list-style-type: none"> ・ P123, P124 ・ RTCIC0-RTCIC2

(2) 100ピン製品

電源	対応する端子
EV _{DD0} , EV _{DD1}	P20-P25, P121-P124, P137, P150-P152以外のポート端子
V _{DD}	<ul style="list-style-type: none"> ・ P121, P122, P137, P150-P152 ・ $\overline{\text{RESET}}$, REGC
AV _{DD}	<ul style="list-style-type: none"> ・ P20-P25 ・ ANIP0-ANIP3, ANIN0-ANIN3
VRTC	<ul style="list-style-type: none"> ・ P123, P124 ・ RTCIC0-RTCIC2

注意 EV_{DD1}端子は、V_{DD}/EV_{DD0}端子と同電位にしてください。

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 80ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P02	8-5-10	入出力	デジタル 入力無効 ^{注1}	SEG32/SCK10/SCL10/ TI07/TO07/INTP5/SMO12	ポート0。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P02, P03, P05, P06の入力はTTL入力バッファに設定可能。 P02-P07の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧) に設定可能。	
P03				SEG33/SI10/RxD1/TI06/ TO06/SDA10/TRJO1/SMO11		
P04	7-5-10			SEG34/SO10/TxD1/TI05/ TO05/INTP4/TRJO0/SMO10		
P05	8-5-10			SEG35/SCK00/SCL00/ TI04/TO04/INTP3/TRJIO0		
P06				SEG36/SI00/RxD0/TI03/ TO03/SDA00/TOOLRxD/ RxDMG1/(INTP9)		
P07	7-5-10			SEG37/SO00/TxD0/TI02/ TO02/INTP2/TOOLTxD/ TxDMG1		
P10	7-5-4			入出力		デジタル 入力無効 ^{注1}
P11		SEG5				
P12		SEG6				
P13		SEG7				
P14		SEG8				
P15		8-5-10	SEG9/(SCK00)/(SCL00)			
P16			SEG10/(SI00)/(RxD0)/ (SDA00)			
P17	7-5-10	SEG11/(SO00)/(TxD0)				
P20	4-3-5	入出力	アナログ 入力	AV _{REFP} /ANI3/VREFOUT	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能 ^{注3} 。	
P21				AV _{REFM} /ANI4		
P22				4-15-3		ANI5/EXLVD
P23				4-3-5		ANI0
P30	7-5-29	入出力	デジタル 入力無効 ^{注1}	SEG24/(TI07)/(TO07)/SMP3	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。	
P31				SEG25/(TI06)/(TO06)/SMP2		
P32				SEG26/(PCLBUZ1)/SMP1/ SMO01		
P33				SEG27/(PCLBUZ0)/SMP0/ SMO00/TI01/TO01		

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

- 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)
- 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ (PMC2) で設定します。

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。詳細は、**図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**を参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0/(RTCOUT)	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P55	8-5-10	入出力	入力ポート	RxD2/IrRxD/RxDMG0/(INTP8)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P55の入力はTTL入力バッファに設定可能。 P56の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧) に設定可能。
P56	7-5-10			TxD2/IrTxD/TxDMG0	
P60	12-1-2	入出力	入力ポート	SCLA0/(TI00)/(TO00)	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-62の出力はN-chオープン・ドレイン出力 (6 V耐圧)。
P61				SDAA0/(TI01)/(TO01)	
P62				(TI02)/(TO02)/TRJIO1/INTP6	
P70	7-5-4	入出力	デジタル入力無効 ^{注1}	SEG16/KR0/(INTP0)	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。
P71				SEG17/KR1/(INTP1)	
P72				SEG18/KR2/(INTP2)	
P73				SEG19/KR3/(INTP3)	
P74				SEG20/KR4/(INTP4)	
P75				SEG21/KR5/(INTP5)	
P76				SEG22/KR6/(INTP6)/SMP5	
P77				SEG23/KR7/(INTP7)/SMP4	
P80	8-5-10	入出力	デジタル入力無効 ^{注1}	SEG12/(SCL10)/(SCK10)	ポート8。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P80, P81の入力はTTL入力バッファに設定可能。 P80-P82の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧) に設定可能。 LCD出力に設定可能 ^{注2} 。
P81	SEG13/(RxD1)/(SDA10)/(SI10)				
P82	7-5-10			SEG14/(TxD1)/(SO10)	
P83	7-5-4			SEG15	

注 1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

- 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。詳細は、図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P90	7-5-29	入出力	デジタル 入力無効 ^{注1}	COM0	ポート9。
P91				COM1	8ビット入出力ポート。
P92				COM2	1ビット単位で入力／出力の指定可能。
P93				COM3	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P94				COM4/SEG0	LCD出力に設定可能 ^{注2} 。
P95				COM5/SEG1	
P96				COM6/SEG2	
P97				COM7/SEG3	
P121	2-2-1	入力	入力ポート	X1/INTP9	ポート12。
P122				X2/EXCLK/INTP8	3ビット入出力ポートと4ビット入力専用ポート。
P123	2-2-2			XT1	P125-P127は、1ビット単位で入力／出力の指定が可能。
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル 入力無効 ^{注1}	V _{L3} /INTP1/(TI05)/(TO05)	P125-P127は、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P126	7-5-5			CAPL/(TI04)/(TO04)	P125-P127はLCD出力に設定可能 ^{注2} 。
P127				CAPH/(TI03)/(TO03)	
P130	1-1-4	出力	出力ポート	PCLBUZ1/SMO02	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P150	12-1-6	入出力	入力ポート	RTCOUT/RTCIC0/INTP14	ポート15。
P151				RTCIC1/INTP13	3ビット入出力ポート。
P152				RTCIC2/INTP12	1ビット単位で入力／出力の指定可能。 P150-152の出力はN-chオープン・ドレイン出力(6V耐圧)。
RESET	3-1-1	入力	—	—	外部リセット用の入力専用端子。 常時内蔵プルアップ抵抗を使用可能。 外部リセットを使用しない場合は、オープンにしてください。

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

- 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。詳細は、**図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**を参照してください。

2.1.2 100ピン製品

(1/4)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P02	8-5-10	入出力	入力ポート	SCK10/SCL10/TI07/ TO07/INTP5	ポート0。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P02, P03, P05, P06の入力はTTL入力バッファに設定可能。 P02-P07の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧) に設定可能。
P03				SI10/RxD1/TI06/TO06/ SDA10	
P04	7-5-10			SO10/TxD1/TI05/TO05/ INTP4	
P05	8-5-10			SCK00/SCL00/TI04/ TO04/INTP3	
P06				SI00/RxD0/TI03/TO03/ SDA00/TOOLRxD	
P07	7-5-10			SO00/TxD0/TI02/TO02/ INTP2/TOOLTxD	
P10	7-5-4			入出力	
P11		SEG5			
P12	SEG6				
P13	SEG7				
P14	SEG8				
P15	8-5-10	SEG9/(SCK00)/(SCL00)			
P16		SEG10/(SI00)/(RxD0)/ (SDA00)			
P17	7-5-10	SEG11/(SO00)/(TxD0)			
P20	4-3-5	入出力	アナログ 入力	AV _{REFP} /ANI3/VREFOUT	ポート2。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能 ^{注3} 。
P21				AV _{REFM} /ANI4	
P22	4-15-3			ANI5/EXLVD	
P23	4-3-5			ANI0	
P24				ANI1	
P25				ANI2	

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

- 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)
- 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ (PMC2) で設定します。

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。詳細は、図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマットを参照してください。

(2/4)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P30	7-5-29	入出力	デジタル入力無効 ^{注1}	SEG24/(TI07)/(TO07)/ (COM7/SEG3)	ポート3。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。
P31				SEG25/(TI06)/(TO06)/ (COM6/SEG2)	
P32				SEG26/(PCLBUZ1)/ (COM5/SEG1)	
P33				SEG27/(PCLBUZ0)/ (COM4/SEG0)	
P34				SEG28/(COM3)	
P35				SEG29/(COM2)	
P36				SEG30/(COM1)	
P37				SEG31/(COM0)	
P40	7-1-3	入出力	入力ポート	TOOL0/(RTCOUT)	ポート4。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P42, P43の入力はTTL入力バッファに設定可能。
P42	8-1-3			TI01/TO01/PCLBUZ1/INTP6	
P43				TI00/TO00/PCLBUZ0/INTP7	
P50	7-5-4	入出力	デジタル入力無効 ^{注1}	SEG32/SMO00	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P52, P53, P55, P57の入力はTTL入力バッファに設定可能。 P51, P54, P56, P57の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧) に設定可能。 LCD出力に設定可能 ^{注2} 。
P51	7-5-10			SEG33/SMO01/TxD4	
P52	8-5-10			SEG34/SMO02/RxD4	
P53				SEG35/TRJO0/RxDMG1/ (INTP9)	
P54	7-5-10			SEG36/TRJO1/TxDMG1	
P55	8-5-10			SEG37/RxD2/IrRxD/RxDMG0/ (INTP8)	
P56	7-5-10			SEG38/TxD2/IrTxD/TxDMG0	
P57	8-5-10			SEG39/SCK30/SCL30/ TRJIO0	
P60	12-1-2	入出力	入力ポート	SCLA0/(TI00)/(TO00)	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-62の出力はN-chオープン・ドレイン出力 (6 V耐圧)。
P61				SDAA0/(TI01)/(TO01)	
P62				(TI02)/(TO02)	

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

- 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。詳細は、**図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**を参照してください。

(3/4)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能	
P70	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG16/KR0/(INTP0)	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。	
P71				SEG17/KR1/(INTP1)		
P72				SEG18/KR2/(INTP2)		
P73				SEG19/KR3/(INTP3)		
P74				SEG20/KR4/(INTP4)		
P75				SEG21/KR5/(INTP5)		
P76				SEG22/KR6/(INTP6)		
P77				SEG23/KR7/(INTP7)		
P80	8-5-10	入出力	デジタル 入力無効 ^{注1}	SEG12/(SCL10)/ (SCK10)	ポート8。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P80, P81, P84入力はTTL入力バッファに設定可能。 P80-P82, P84, P85の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧) に設定可能。 LCD出力に設定可能 ^{注2} 。	
P81				SEG13/(RxD1)/ (SDA10)/(SI10)		
P82				7-5-10		SEG14/(TxD1)/(SO10)
P83				7-5-4		SEG15
P84				8-5-10		SI30/RxD3/SDA30/SEG40/ TRJIO1
P85	7-5-10	SO30/TxD3/SEG41/SMP0				
P90	7-5-29	入出力	デジタル 入力無効 ^{注1}	COM0/(SEG31)/SMP1	ポート9。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。	
P91				COM1/(SEG30)/SMP2		
P92				COM2/(SEG29)/SMO10		
P93				COM3/(SEG28)/SMO11		
P94				COM4/SEG0/(SEG27)/ SMO12		
P95				COM5/SEG1/(SEG26)/ SMP3		
P96				COM6/SEG2/(SEG25)/ SMP4		
P97				COM7/SEG3/(SEG24)/ SMP5		
P121	2-2-1	入力	入力ポート	X1/INTP9	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127は、1ビット単位で入力／出力の指定が可能。 P125-P127は、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125-P127はLCD出力に設定可能 ^{注2} 。	
P122				X2/EXCLK/INTP8		
P123	2-2-2			XT1		
P124				XT2/EXCLKS		
P125	7-5-6	入出力	デジタル 入力無効 ^{注1}	V _{L3} /INTP1/(TI05)/(TO05)		
P126	7-5-5			CAPL/(TI04)/(TO04)		
P127				CAPH/(TI03)/(TO03)		

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

- 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。詳細は、**図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**を参照してください。

(4/4)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能
P130	1-1-4	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P150	12-1-6	入出力	入力ポート	RTCOU/RTCIC0/INTP14	ポート15。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P150-152の出力はN-chオープン・ドレイン出力 (6 V耐圧)。
P151				RTCIC1/INTP13	
P152				RTCIC2/INTP12	
RESET	3-1-1	入力	—	—	外部リセット用の入力専用端子。 常時内蔵プルアップ抵抗を使用可能。 外部リセットを使用しない場合は、オープンにしてください。

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。
詳細は、**図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**を参照してください。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

(1/2)

機能名称	100ピン	80ピン	機能名称	100ピン	80ピン	機能名称	100ピン	80ピン
ANI0	○	○	RTCOUT	○	○	SMO01	○	○
ANI1	○	—	REGC	○	○	SMO02	○	○
ANI2	○	—	RESET	○	○	SMO10	○	○
ANI3	○	○	RxD0	○	○	SMO11	○	○
ANI4	○	○	RxD1	○	○	SMO12	○	○
ANI5	○	○	RxD2	○	○	IrRxD	○	○
ANIN0	○	○	RxD3	○	—	IrTxD	○	○
ANIN1	○	○	RxD4	○	—	TI00	○	○
ANIN2	○	○	RxDMG0	○	○	TI01	○	○
ANIN3	○	—	RxDMG1	○	○	TI02	○	○
ANIP0	○	○	TxD0	○	○	TI03	○	○
ANIP1	○	○	TxD1	○	○	TI04	○	○
ANIP2	○	○	TxD2	○	○	TI05	○	○
ANIP3	○	—	TxD3	○	—	TI06	○	○
INTP0	○	○	TxD4	○	—	TI07	○	○
INTP1	○	○	TxDMG0	○	○	TO00	○	○
INTP2	○	○	TxDMG1	○	○	TO01	○	○
INTP3	○	○	SCK00	○	○	TO02	○	○
INTP4	○	○	SCK10	○	○	TO03	○	○
INTP5	○	○	SCK30	○	—	TO04	○	○
INTP6	○	○	SI00	○	○	TO05	○	○
INTP7	○	○	SI10	○	○	TO06	○	○
INTP8	○	○	SI30	○	—	TO07	○	○
INTP9	○	○	SO00	○	○	TRJIO0	○	○
INTP12	○	○	SO10	○	○	TRJIO1	○	○
INTP13	○	○	SO30	○	—	TRJO0	○	○
INTP14	○	○	SCL00	○	○	TRJO1	○	○
KR0	○	○	SCL10	○	○	V _{L1}	○	○
KR1	○	○	SCL30	○	—	V _{L2}	○	○
KR2	○	○	SDA00	○	○	V _{L3}	○	○
KR3	○	○	SDA10	○	○	V _{L4}	○	○
KR4	○	○	SDA30	○	—	CAPH	○	○
KR5	○	○	SDAA0	○	○	CAPL	○	○
KR6	○	○	SCLA0	○	○	X1	○	○
KR7	○	○	SMP0	○	○	X2	○	○
RTCIC0	○	○	SMP1	○	○	EXCLK	○	○
RTCIC1	○	○	SMP2	○	○	XT1	○	○
RTCIC2	○	○	SMP3	○	○	XT2	○	○
EXLVD	○	○	SMP4	○	○	EXCLKS	○	○
PCLBUZ0	○	○	SMP5	○	○	V _{DD}	○	○
PCLBUZ1	○	○	SMO00	○	○	EV _{DD0}	○	○

(2/2)

機能名称	100ピン	80ピン	機能名称	100ピン	80ピン	機能名称	100ピン	80ピン
EV _{DD1}	○	—	COM5	○	○	SEG20	○	○
LVDVBAT	○	○	COM6	○	○	SEG21	○	○
VREFOUT	○	○	COM7	○	○	SEG22	○	○
VRTC	○	○	SEG0	○	○	SEG23	○	○
AV _{REFP}	○	○	SEG1	○	○	SEG24	○	○
AV _{REFM}	○	○	SEG2	○	○	SEG25	○	○
V _{SS}	○	○	SEG3	○	○	SEG26	○	○
EV _{SS0}	○	○	SEG4	○	○	SEG27	○	○
EV _{SS1}	○	—	SEG5	○	○	SEG28	○	—
AVRT	○	○	SEG6	○	○	SEG29	○	—
AVCM	○	○	SEG7	○	○	SEG30	○	—
AV _{DD}	○	○	SEG8	○	○	SEG31	○	—
AREGC	○	○	SEG9	○	○	SEG32	○	○
AV _{SS0}	○	○	SEG10	○	○	SEG33	○	○
AV _{SS1}	○	○	SEG11	○	○	SEG34	○	○
TOOLRxD	○	○	SEG12	○	○	SEG35	○	○
TOOLTxD	○	○	SEG13	○	○	SEG36	○	○
TOOL0	○	○	SEG14	○	○	SEG37	○	○
COM0	○	○	SEG15	○	○	SEG38	○	—
COM1	○	○	SEG16	○	○	SEG39	○	—
COM2	○	○	SEG17	○	○	SEG40	○	—
COM3	○	○	SEG18	○	○	SEG41	○	—
COM4	○	○	SEG19	○	○			

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI5	入力	12ビットA/Dコンバータのアナログ入力 (図17-33 アナログ入力保護回路の例参照)
ANIN0-ANIN3	入力	24ビット $\Delta\Sigma$ A/Dコンバータのアナログ入力。負側入力。
ANIP0-ANIP3	入力	24ビット $\Delta\Sigma$ A/Dコンバータのアナログ入力。正側入力。
INTP0-INTP9, INTP12-INTP14	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ
PCLBUZ0, PCLBUZ1	出力	クロック出力/ブザー出力
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ (0.47~1 μ F) を介し、 V_{SS} に接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RTCOU \bar{T}	出力	独立電源RTC (1 Hz/64 Hz) 出力
RESE \bar{T}	入力	ロウ・レベル・アクティブのシステム・リセット入力。 常時内蔵プルアップが有効となります。 外部リセット端子を使用しない場合はオープンにしてください。
RxD0-RxD4	入力	シリアル・インタフェースUART0-UART4のシリアル・データ入力
RxDMG0, RxDMG1	入力	シリアル・インタフェースUARTMG0, UARTMG1のシリアル・データ入力
TxD0-TxD4	出力	シリアル・インタフェースUART0-UART4のシリアル・データ出力
TxDMG0, TxDMG1	出力	シリアル・インタフェースUARTMG0, UARTMG1のシリアル・データ出力
SCK00, SCK10, SCK30	入出力	シリアル・インタフェースCSI00, CSI10, CSI30のシリアル・クロック入力/出力
SI00, SI10, SI30	入力	シリアル・インタフェースCSI00, CSI10, CSI30のシリアル・データ入力
SO00, SO10, SO30	出力	シリアル・インタフェースCSI00, CSI10, CSI30のシリアル・データ出力
IrxD	入力	IrDA用受信データ
IrTxD	出力	IrDA用送信データ
SCL00, SCL10, SCL30	出力	シリアル・インタフェースIIC00, IIC10, IIC30のシリアル・クロック出力
SDA00, SDA10, SDA30	入出力	シリアル・インタフェースIIC00, IIC10, IIC30のシリアル・データ入出力
SCLA0	入出力	シリアル・インタフェースIICA0のクロック入出力
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力
SMP0-SMP5	入力	サンプリング入力
SMO00-SMO02, SMO10-SMO12	出力	サンプリング・クロック出力
TRJIO0, TRJIO1	入出力	タイマRJ入出力
TRJO0, TRJO1	出力	タイマRJ出力
TI00-TI07	入力	16ビット・タイマ00-07への外部カウント・クロック/キャプチャ・トリガ入力
TO00-TO07	出力	16ビット・タイマ00-07のタイマ出力
V _{L1} -V _{L4}	—	LCD駆動用電圧
CAPH, CAPL	—	LCDコントローラ/ドライバ用コンデンサ接続

(2/2)

機能名称	入出力	機能
X1, X2	－	外部クロック入力で24ビット $\Delta\Sigma$ A/Dコンバータを使用する場合は、12 MHzの発振子を接続する必要があります。
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	－	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力
V _{DD}	－	<80ピン, 100ピン> ポート端子 (P121, P122, P137, P150-P152) の正電源およびポート以外の端子 (RTCIC0-RTCIC2以外) の正電源
EV _{DD0} , EV _{DD1}	－	ポート端子 (P20-P25, P121-P124, P137, P150-P152以外) の正電源
LVDVBAT	入力	バッテリーバックアップ電源電圧検出端子
VRTC	－	RTC用電源 ポート端子 (P123, P124) の正電源 RTCIC0-RTCIC2端子の正電源
VREFOUT	出力	ボルテージ・リファレンス出力
AV _{REFP}	入力	12ビットA/Dコンバータの基準電圧 (+側) 入力
AV _{REFM}	入力	12ビットA/Dコンバータの基準電圧 (-側) 入力
V _{SS}	－	ポート端子 (P121-P124, P137, P150-P152) のグラウンド電位およびポート以外の端子のグラウンド電位
EV _{SS0} , EV _{SS1}	－	ポート端子 (P20-P25, P121-P124, P137, P150-P152以外) のグラウンド電位
AVRT	－	24ビット $\Delta\Sigma$ A/Dコンバータの基準電圧
AVCM	－	24ビット $\Delta\Sigma$ A/Dコンバータの同相電圧
AREGC	－	24ビット $\Delta\Sigma$ A/Dコンバータのレギュレータ容量
AV _{DD}	－	12ビットA/Dコンバータ, 24ビット $\Delta\Sigma$ A/Dコンバータの電源 <80ピン> ポート端子 (P20-P23) の正電源 <100ピン> ポート端子 (P20-P25) の正電源
AV _{SS0}	－	24ビット $\Delta\Sigma$ A/Dコンバータのグラウンド電位
AV _{SS1}	－	12ビットA/Dコンバータのグラウンド電位 <80ピン> ポート端子 (P20-P23) のグラウンド電位 <100ピン> ポート端子 (P20-P25) のグラウンド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力
COM0-COM7	出力	LCDコントローラ/ドライバの共通信号出力
EXLVD	入力	外部端子低電圧検出
RTCIC0-RTCIC2	入力	RTCの時間キャプチャイベント入力
KR0-KR7	入力	キー割込み入力
SEG0-SEG41	出力	LCDコントローラ/ドライバのセグメント信号出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
EV _{DD0}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、**38.4 プログラミング方法**を参照してください。

- 備考 1.** ノイズ対策およびラッチアップ対策として、 $V_{DD} - V_{SS}$ 、 $EV_{DD0} - EV_{SS0}$ 、 $EV_{DD1} - EV_{SS1}$ ライン間へのバイパスコンデンサ（0.1 μ F程度）を最短距離でかつ、比較的太い配線を使って接続してください。
- 2.** EV_{DD1} 、 EV_{SS1} 端子がない製品は、 EV_{DD1} を V_{DD}/EV_{DD0} に、 EV_{SS1} を V_{SS}/EV_{SS0} に置き換えてください。

2.3 未使用端子の処理

各端子の未使用端子の処理を表2-3に示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View) , 2.1 ポート機能を参照してください。

表2-3 各端子の未使用端子処理 (1/2)

端子名称	入出力	未使用時の推奨接続方法
P02-P07	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。 出力時：オープンにしてください。
P10-P17		<ポート設定時> 入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P20-P25		入力時：個別に抵抗を介して、AV _{DD} またはAV _{SS1} に接続してください。 出力時：オープンにしてください。
P30-P37		<ポート設定時> 入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介してEV _{DD0} 、EV _{DD1} に接続、またはオープンにしてください。 出力時：オープンにしてください。
P42, P43		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。 出力時：オープンにしてください。
P50-P57		<ポート設定時> 入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P60-P62		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。 出力時：ポートの出カラッチに0を設定してオープン、またはポートの出カラッチに1を設定し、個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。

備考 EV_{DD1}、EV_{SS1}端子がない製品は、EV_{DD1}をV_{DD}/EV_{DD0}に、EV_{SS1}をV_{SS}/EV_{SS0}に置き換えてください。

表2-3 各端子の未使用端子処理 (2/2)

端子名称	入出力	未使用時の推奨接続方法
P70-P77	入出力	<ポート設定時> 入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P80-P85		
P90-P97		
P121, P122	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P123, P124	入力	個別に抵抗を介して、V _{SS} に接続してください。
P125-P127	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。 出力時：オープンにしてください。
P130	出力	オープンにしてください。
P137	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
★ P150-P152	入出力	入力モードに設定し、個別に抵抗を介して、V _{SS} に接続してください。
RESET	入力	オープンにしてください。
REGC	—	コンデンサを介して、V _{SS} に接続してください (0.47~1 μF)。
COM0-COM7	出力	オープンにしてください。
ANIP0-ANIP3	入力	オープンにしてください。
ANIN0-ANIN3		
V _{L1} , V _{L2} , V _{L4}	—	オープンにしてください。
LVDVBAT	—	V _{SS} に直接接続してください。
VRTC	—	V _{SS} に直接接続してください。
AVRT, AVCM	—	コンデンサを介して、AV _{SS0} に接続してください (0.47 μF)。
AV _{SS0}	—	AV _{SS0} とV _{SS} を同電位に接続してください。
AV _{SS1}	—	AV _{SS1} とV _{SS} を同電位に接続してください。
AREGC	—	コンデンサを介して、AV _{SS0} に接続してください (0.47 μF)。

備考 EV_{DD1}、EV_{SS1}端子がない製品は、EV_{DD1}をV_{DD}/EV_{DD0}に、EV_{SS1}をV_{SS}/EV_{SS0}に置き換えてください。

2.4 端子ブロック図

2.1.1 80ピン製品, 2.1.2 100ピン製品に記載した端子タイプについて、端子ブロック図を図2-1～図2-17に示します。80ピン製品では、EV_{DD1}, EV_{SS1}をEV_{DD0}, EV_{SS0}と読み替えてください。

図2-1 端子タイプ1-1-4の端子ブロック図

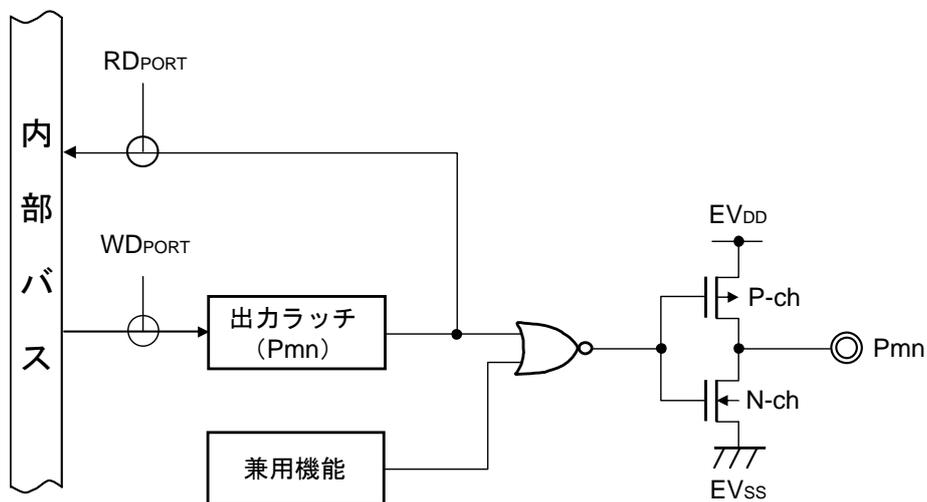


図2-2 端子タイプ2-1-2の端子ブロック図

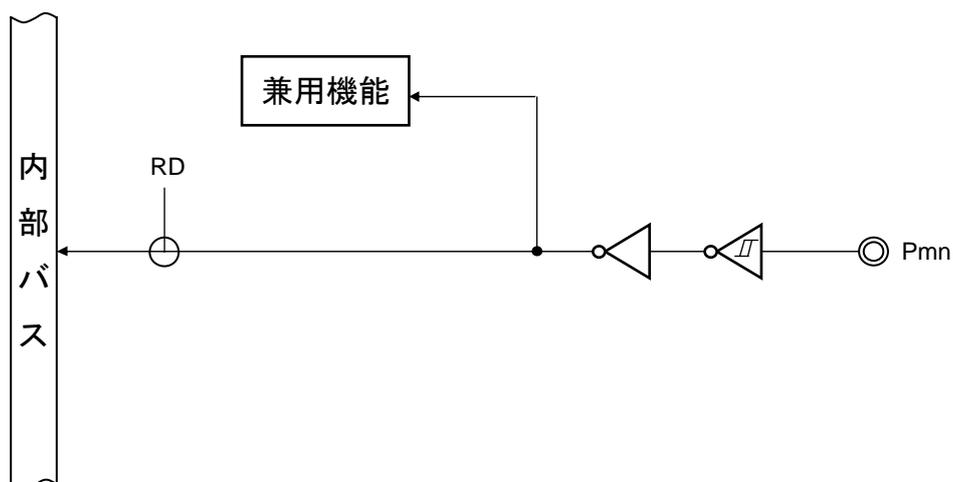
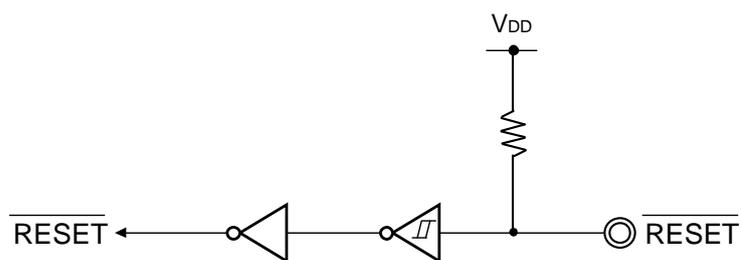
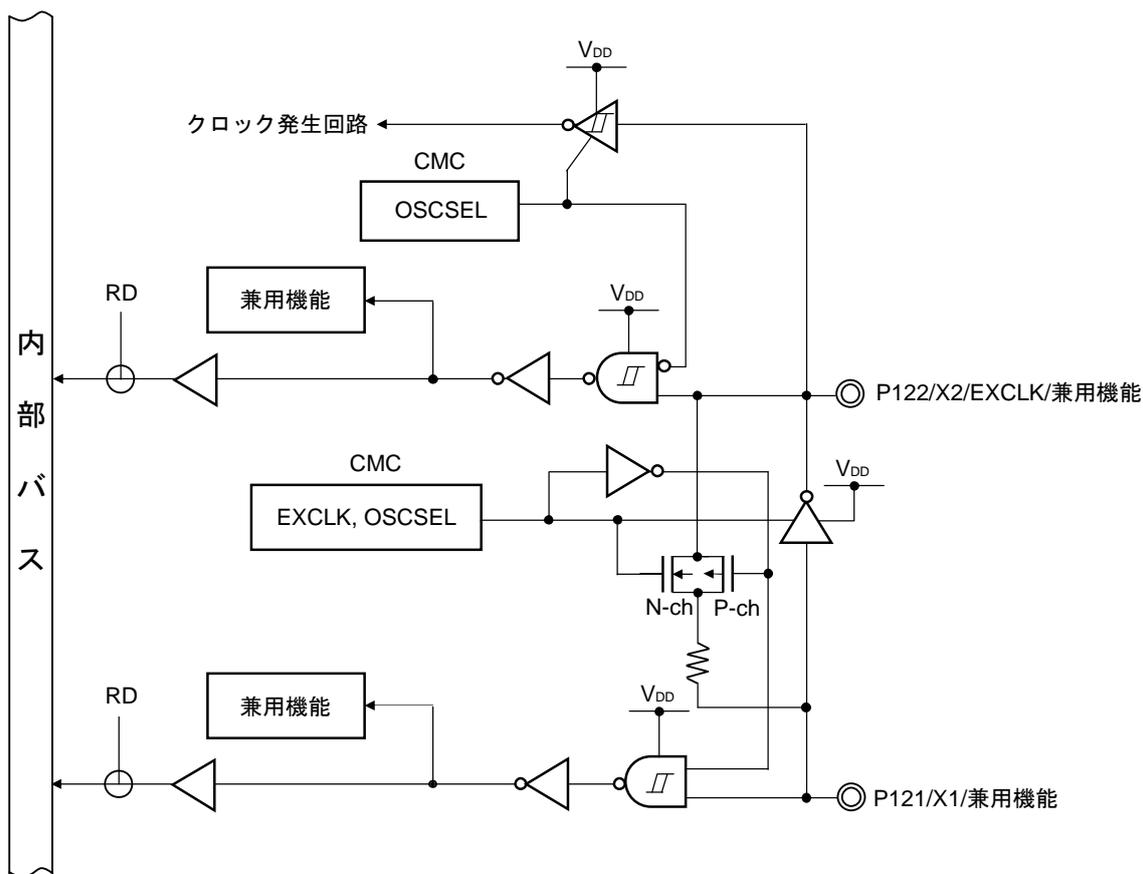


図2-3 端子タイプ3-1-1の端子ブロック図



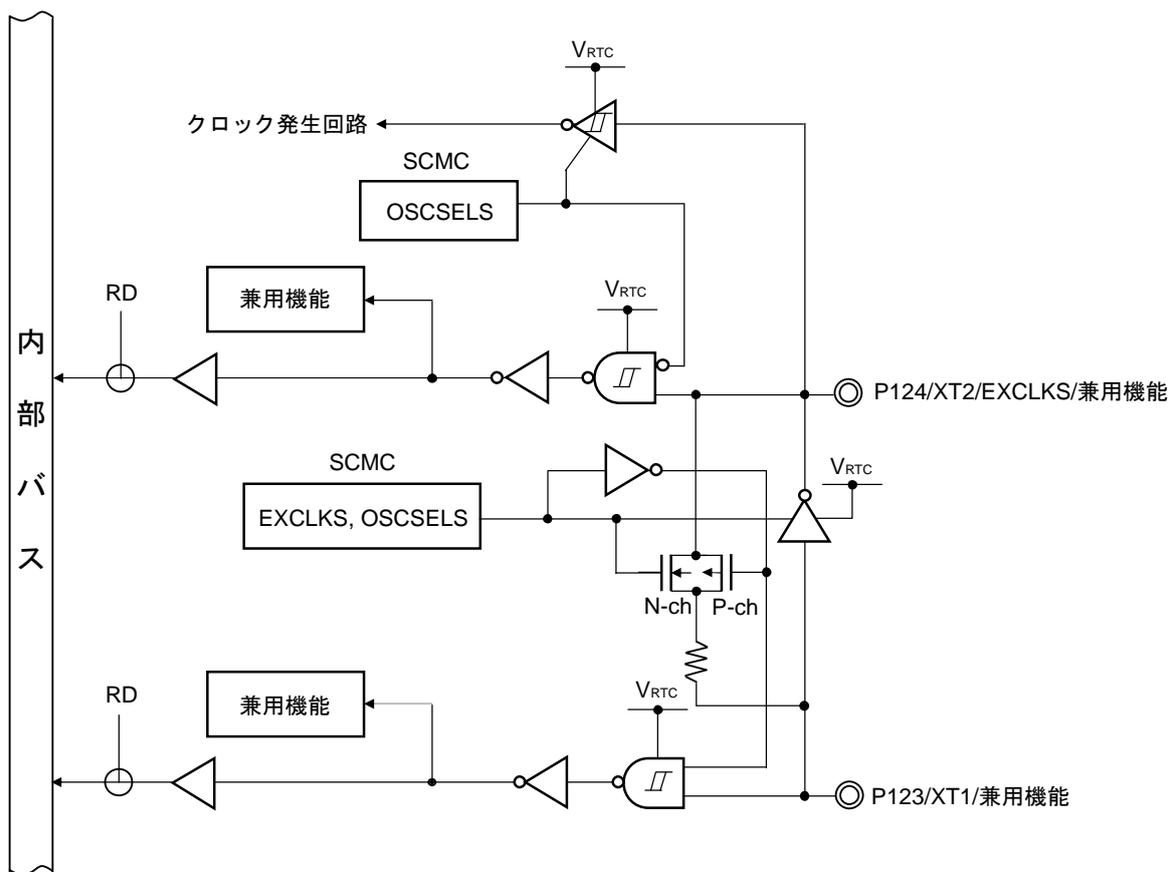
備考 兼用機能は、2.1 ポート機能を参照してください。

図2-4 端子タイプ2-2-1の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-5 端子タイプ2-2-2の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-6 端子タイプ4-3-5の端子ブロック図

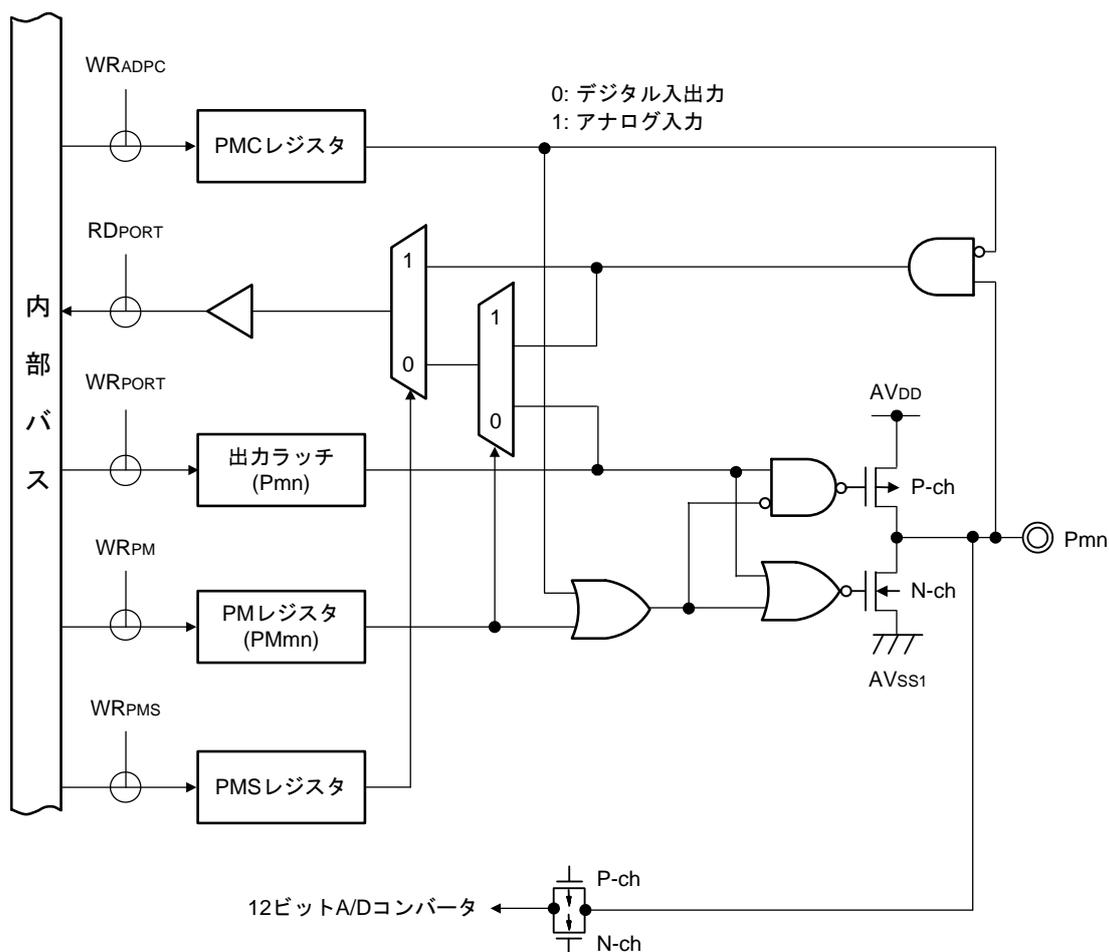


図2-7 端子タイプ4-15-3の端子ブロック図

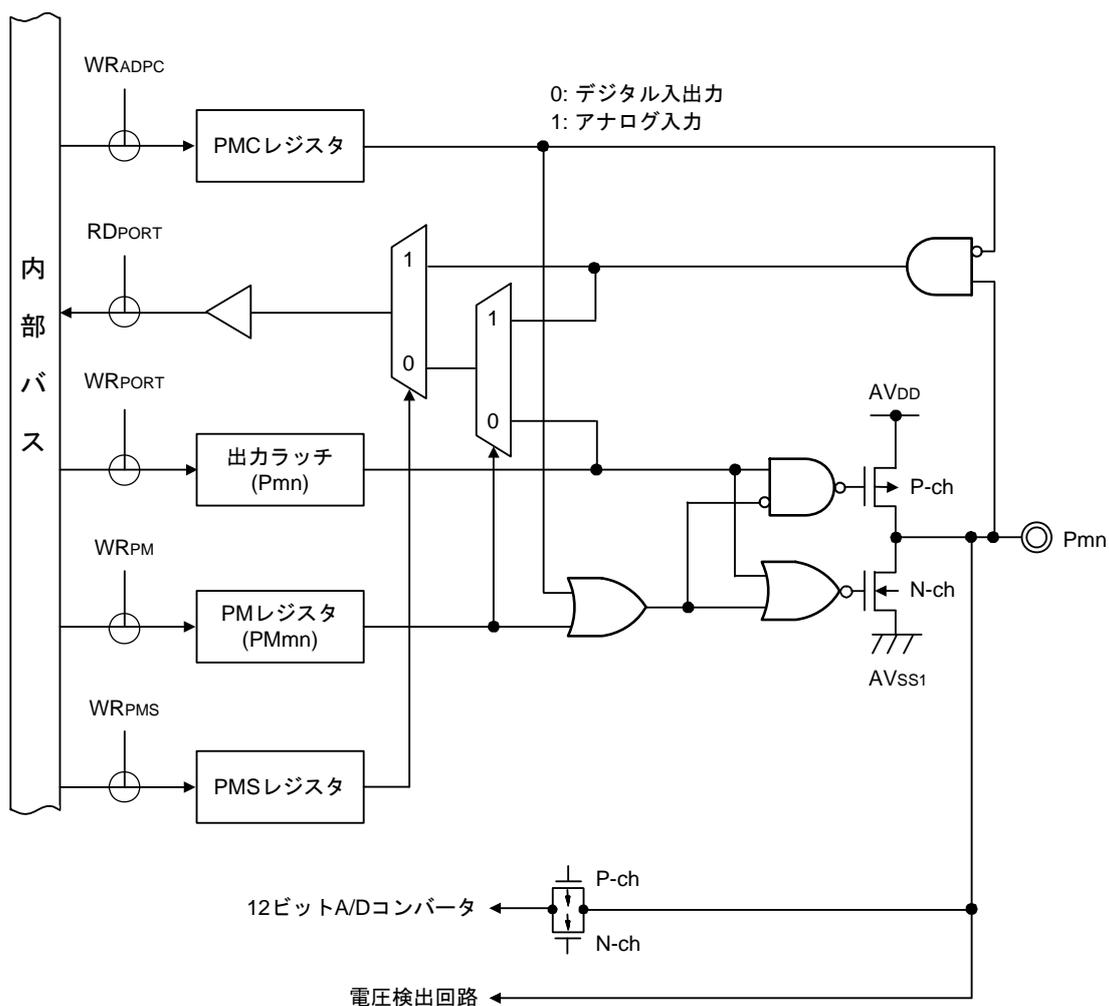
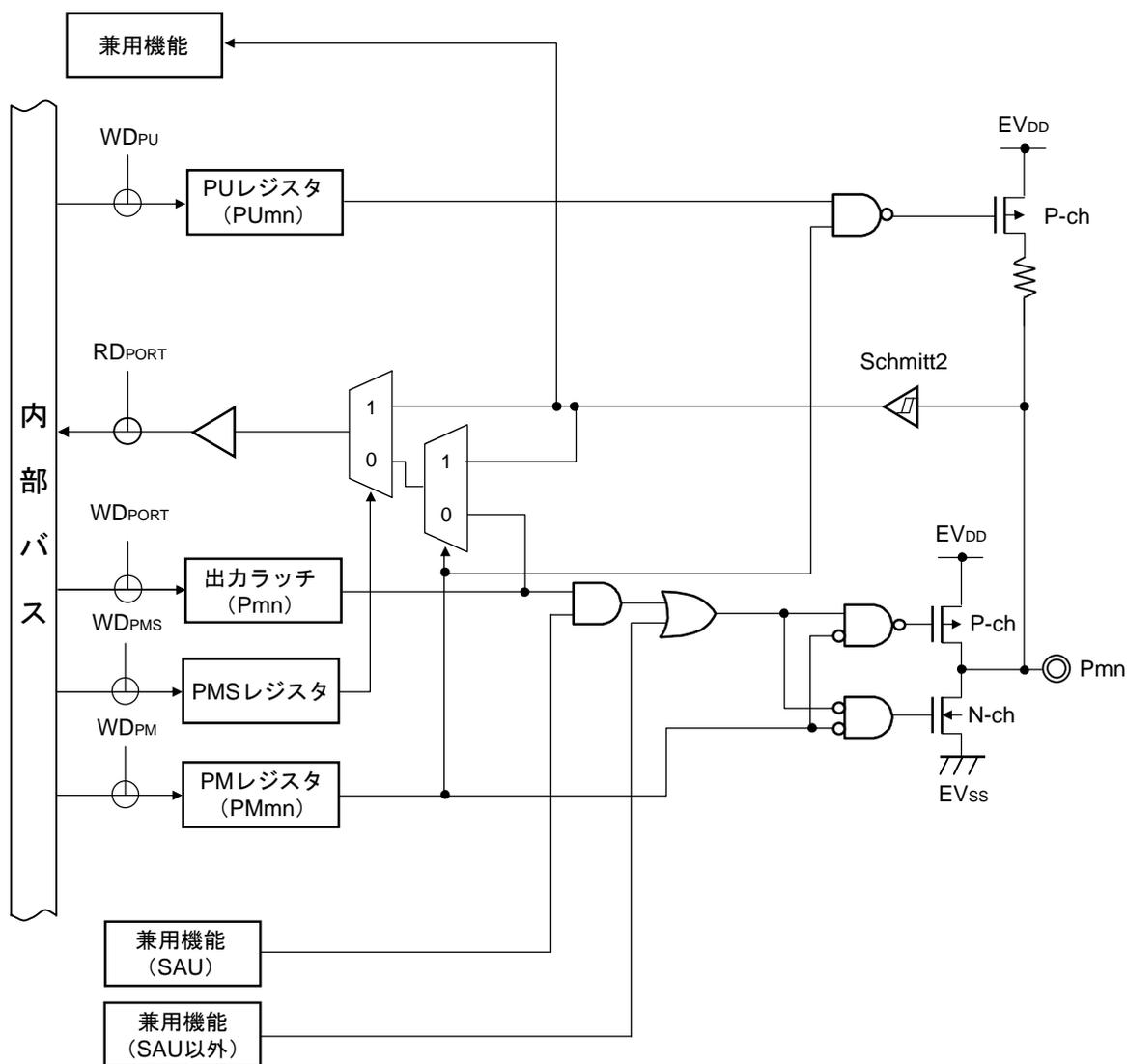


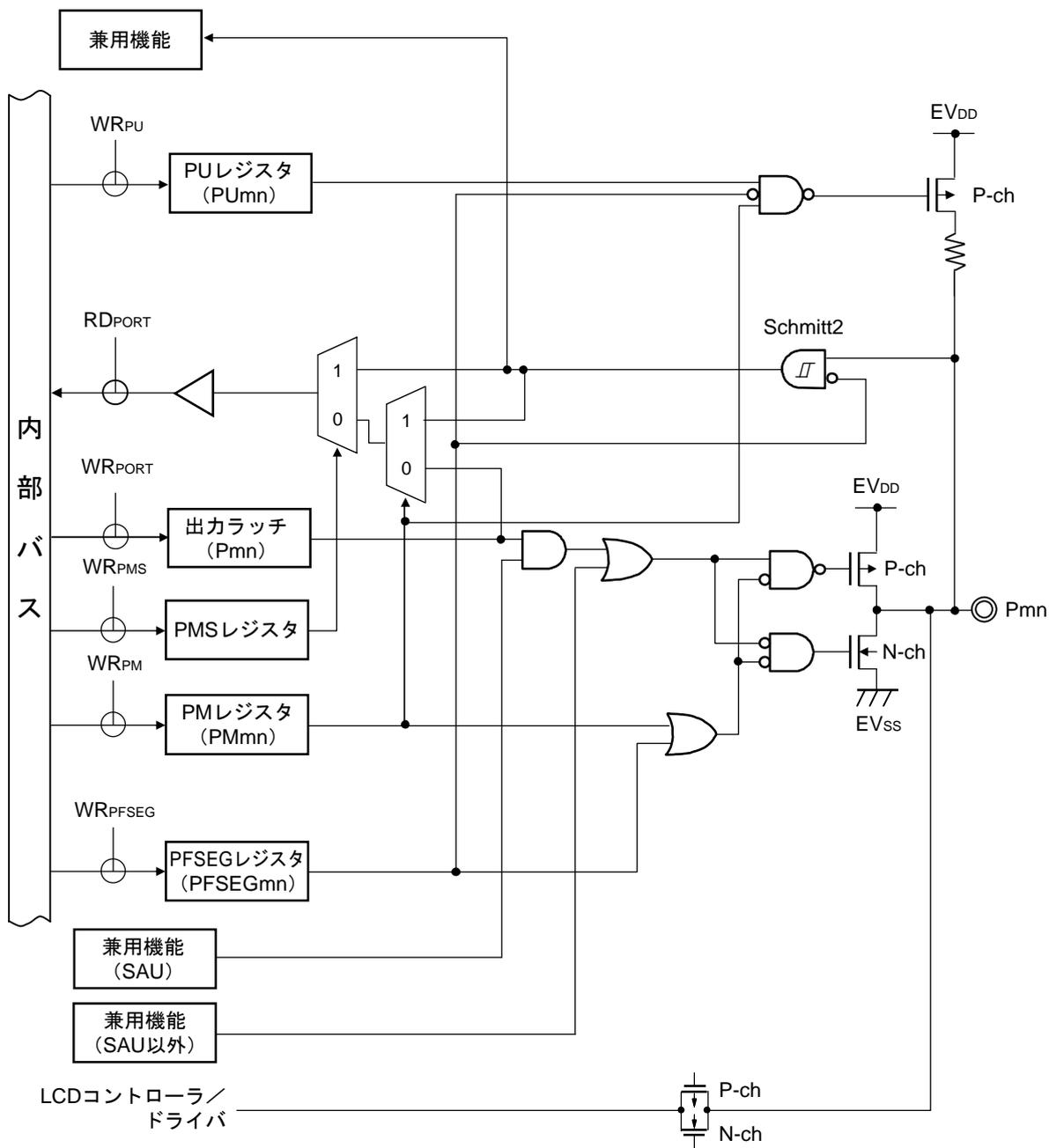
図2-8 端子タイプ7-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

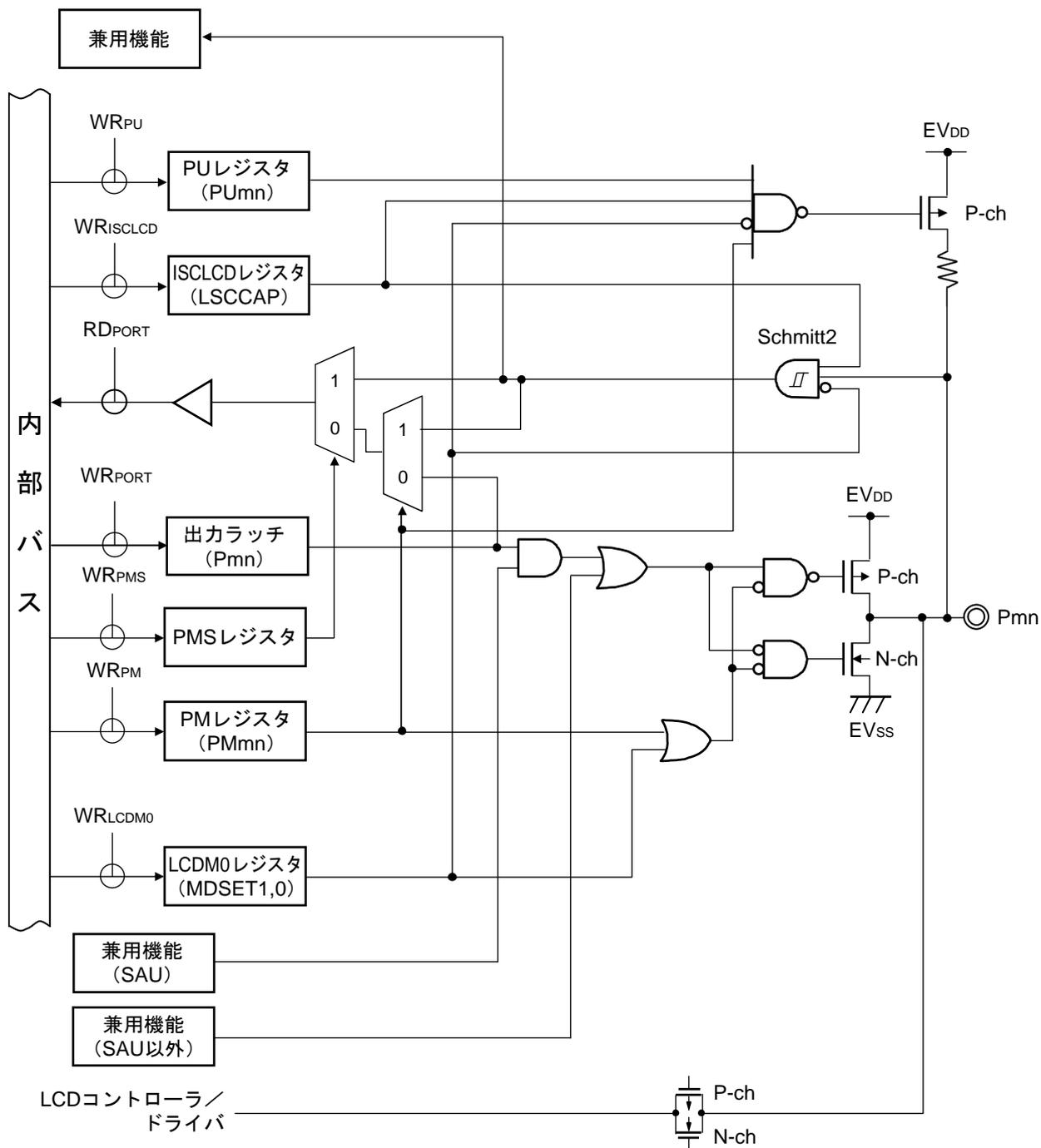
図2-9 端子タイプ7-5-4の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

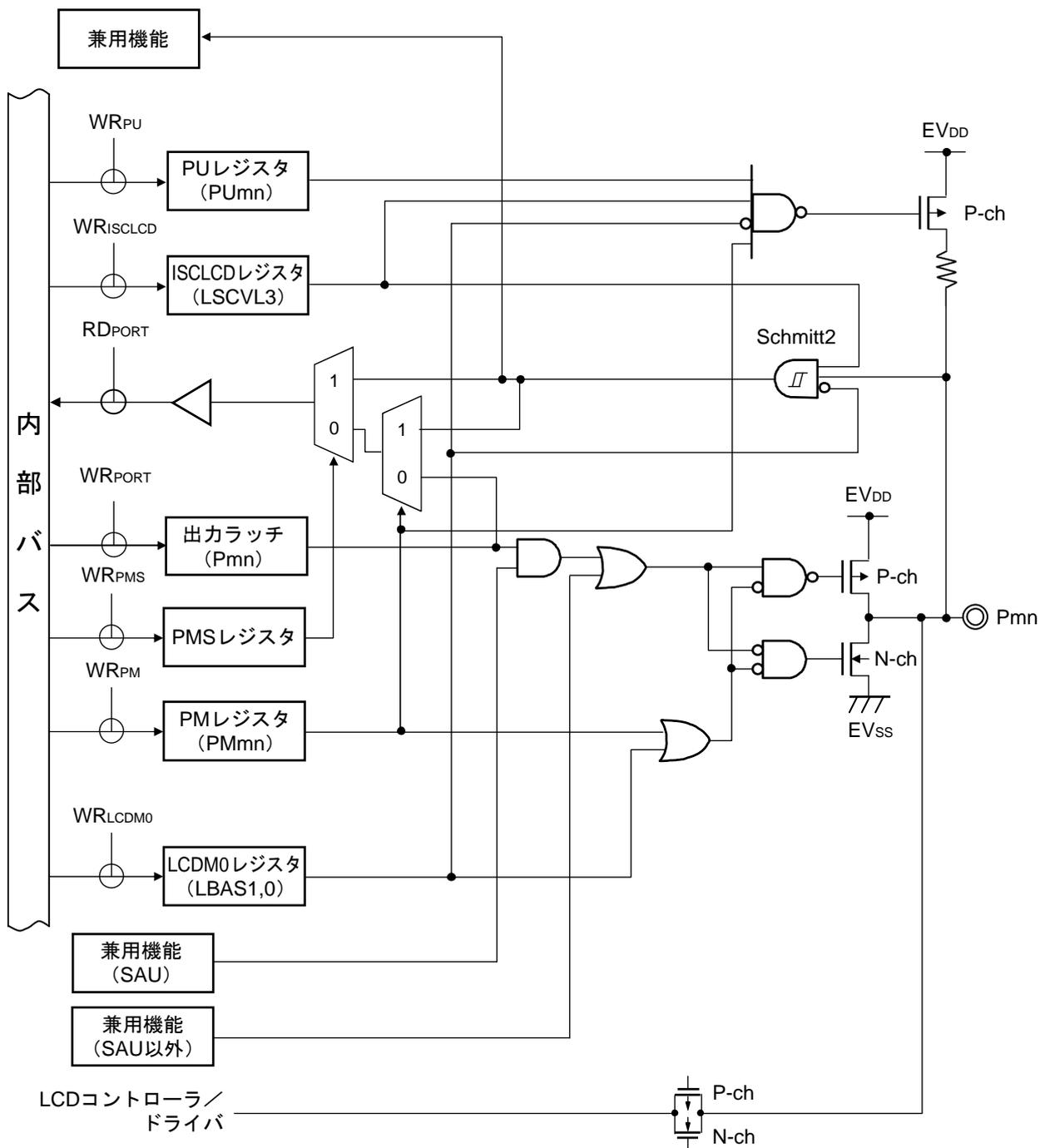
2. SAU : シリアル・アレイ・ユニット

図2-10 端子タイプ7-5-5の端子ブロック図



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU : シリアル・アレイ・ユニット

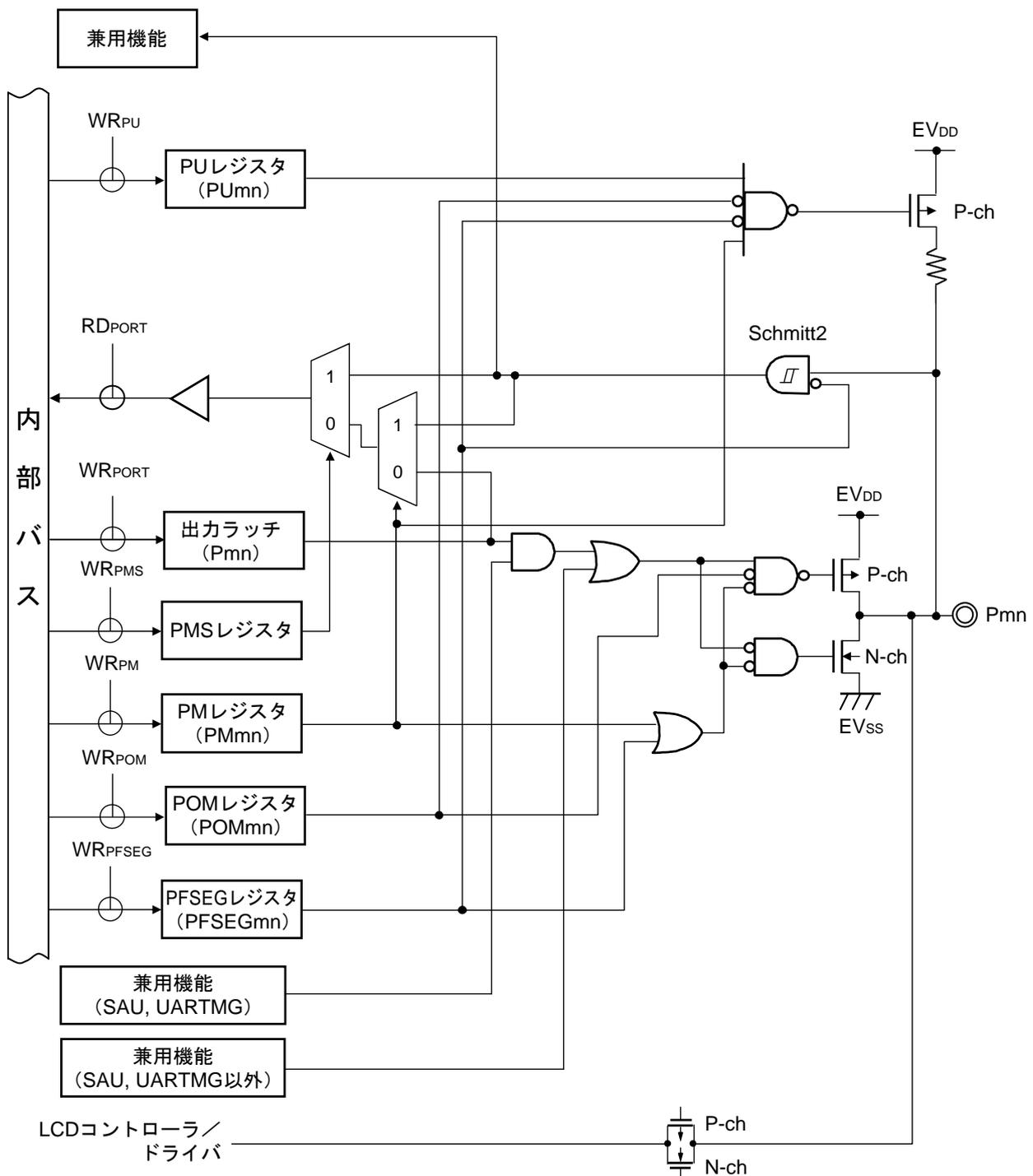
図2-11 端子タイプ7-5-6の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-12 端子タイプ7-5-10の端子ブロック図

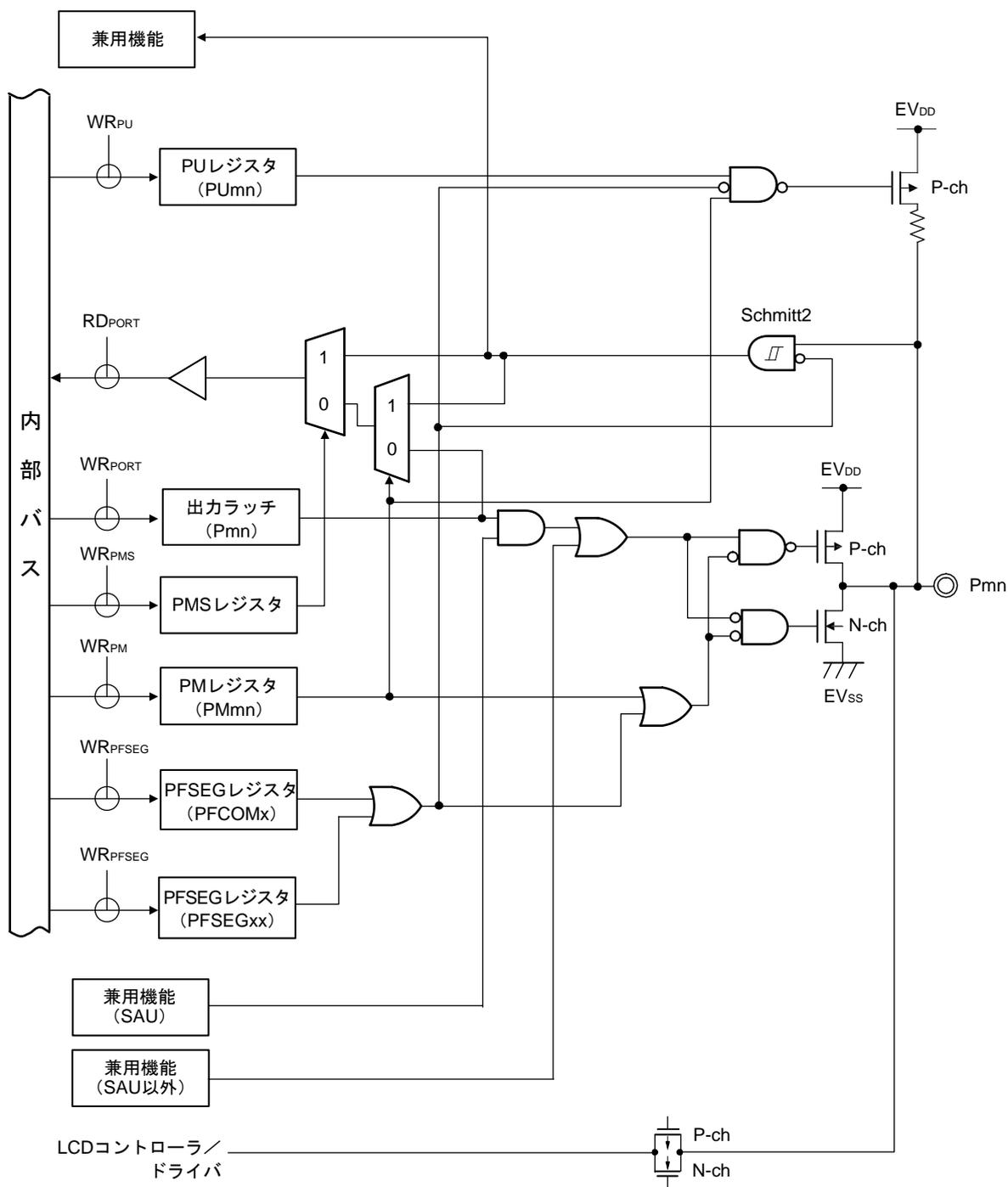


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、真通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット
3. UARTMG : シリアル・インタフェースUARTMG

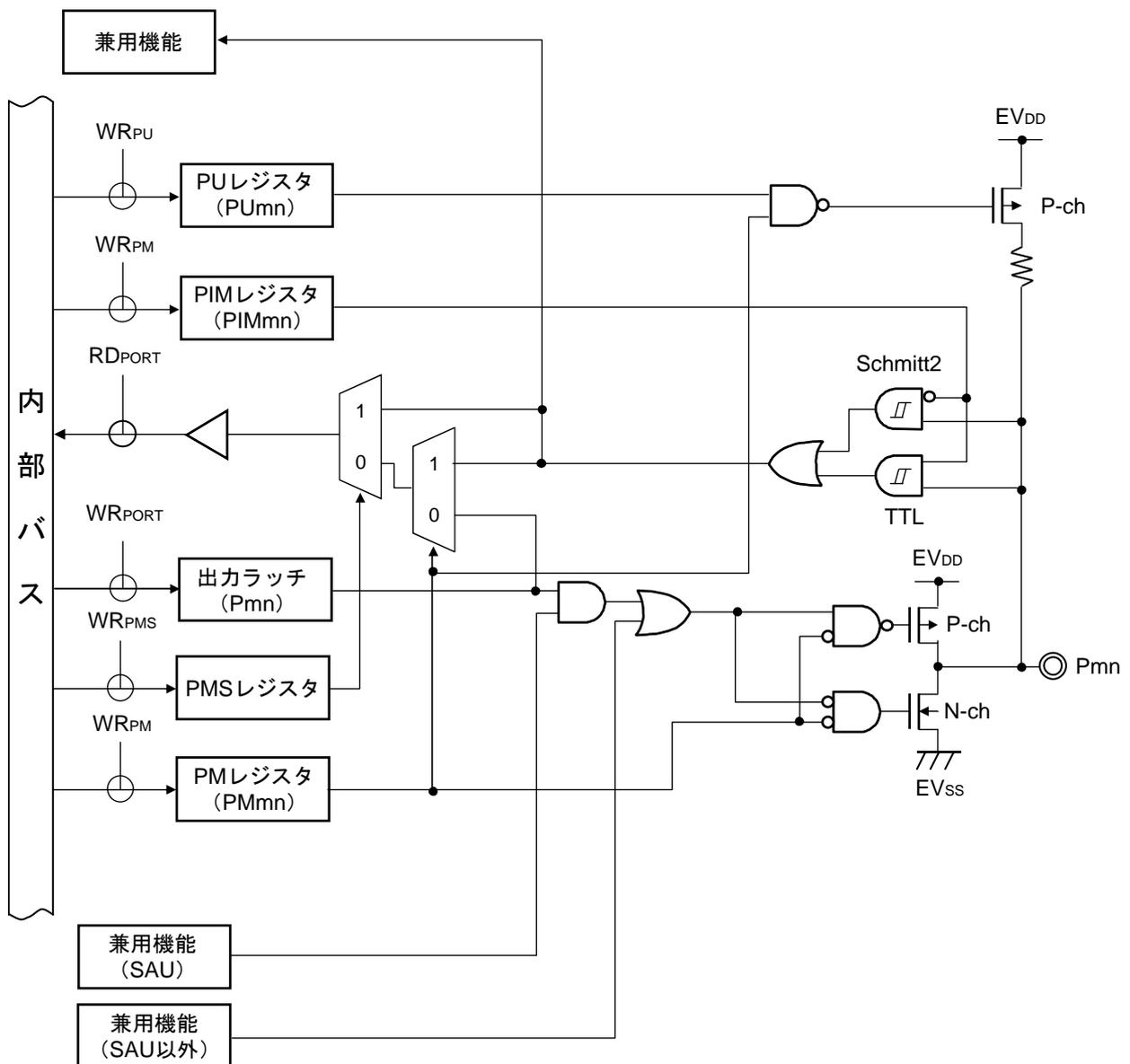
図2-13 端子タイプ7-5-29の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

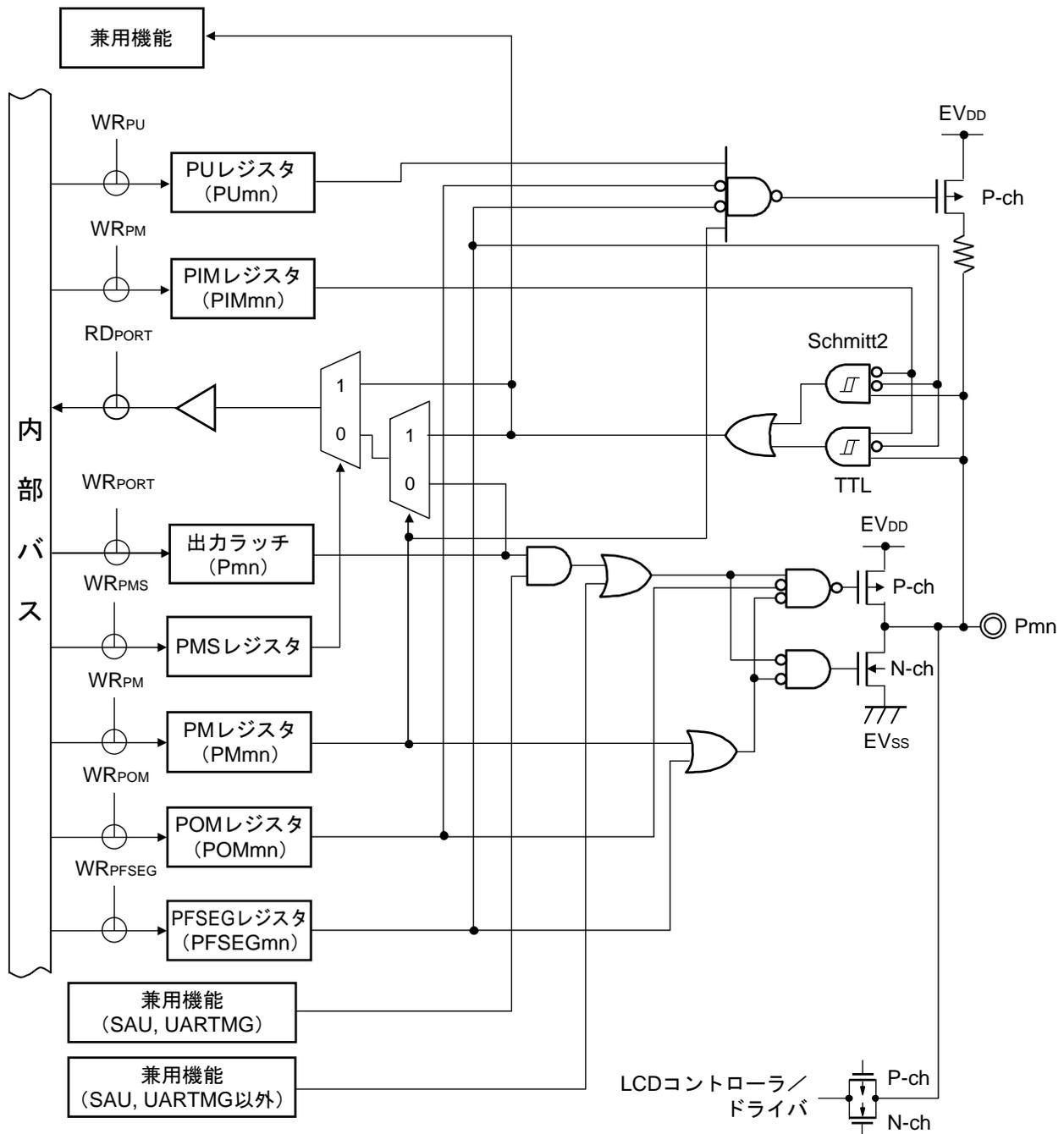
図2-14 端子タイプ8-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

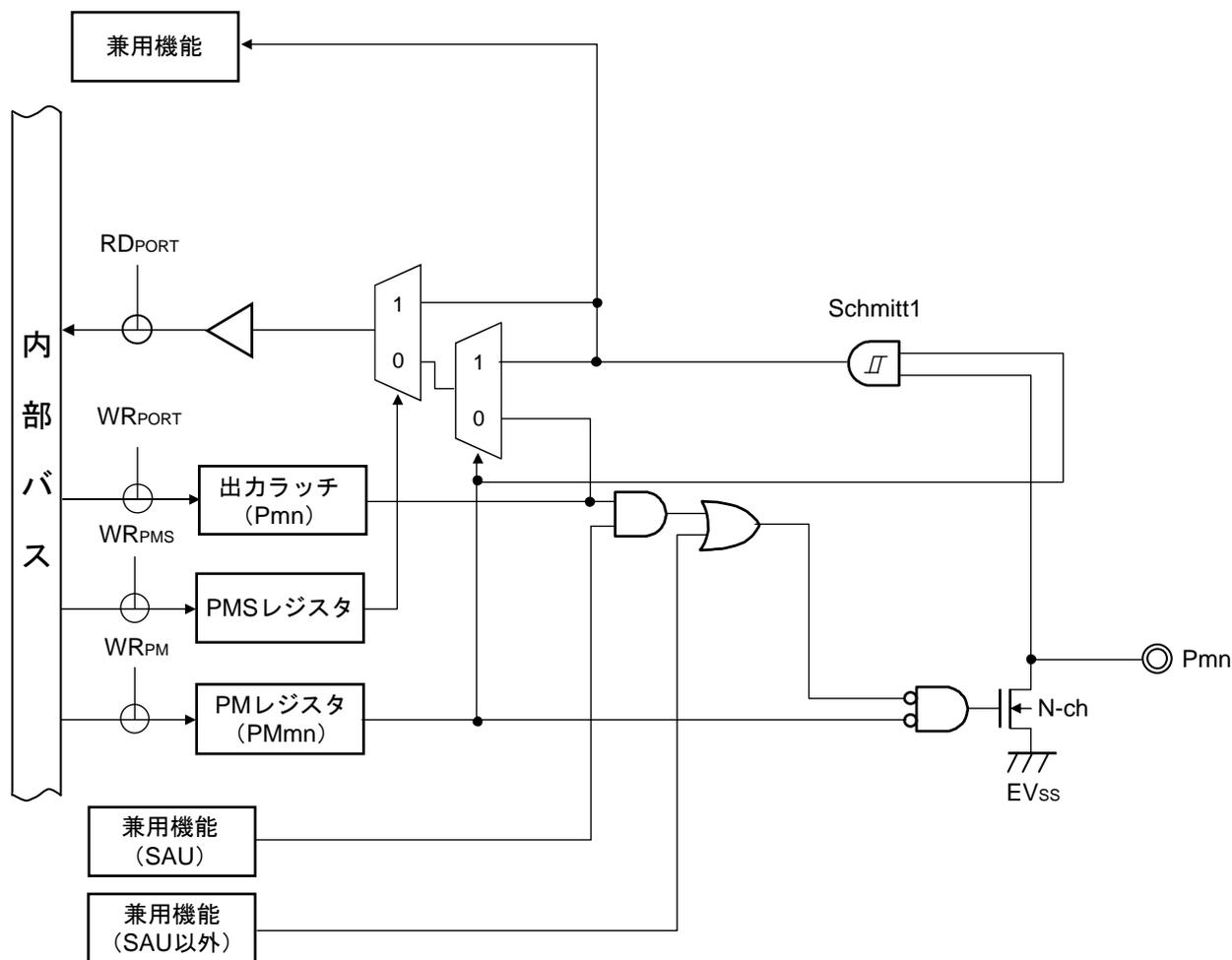
図2-15 端子タイプ8-5-10の端子ブロック図



- 注意 1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
2. SAU : シリアル・アレイ・ユニット
3. UARTMG : シリアル・インタフェースUARTMG

図2-16 端子タイプ12-1-2の端子ブロック図

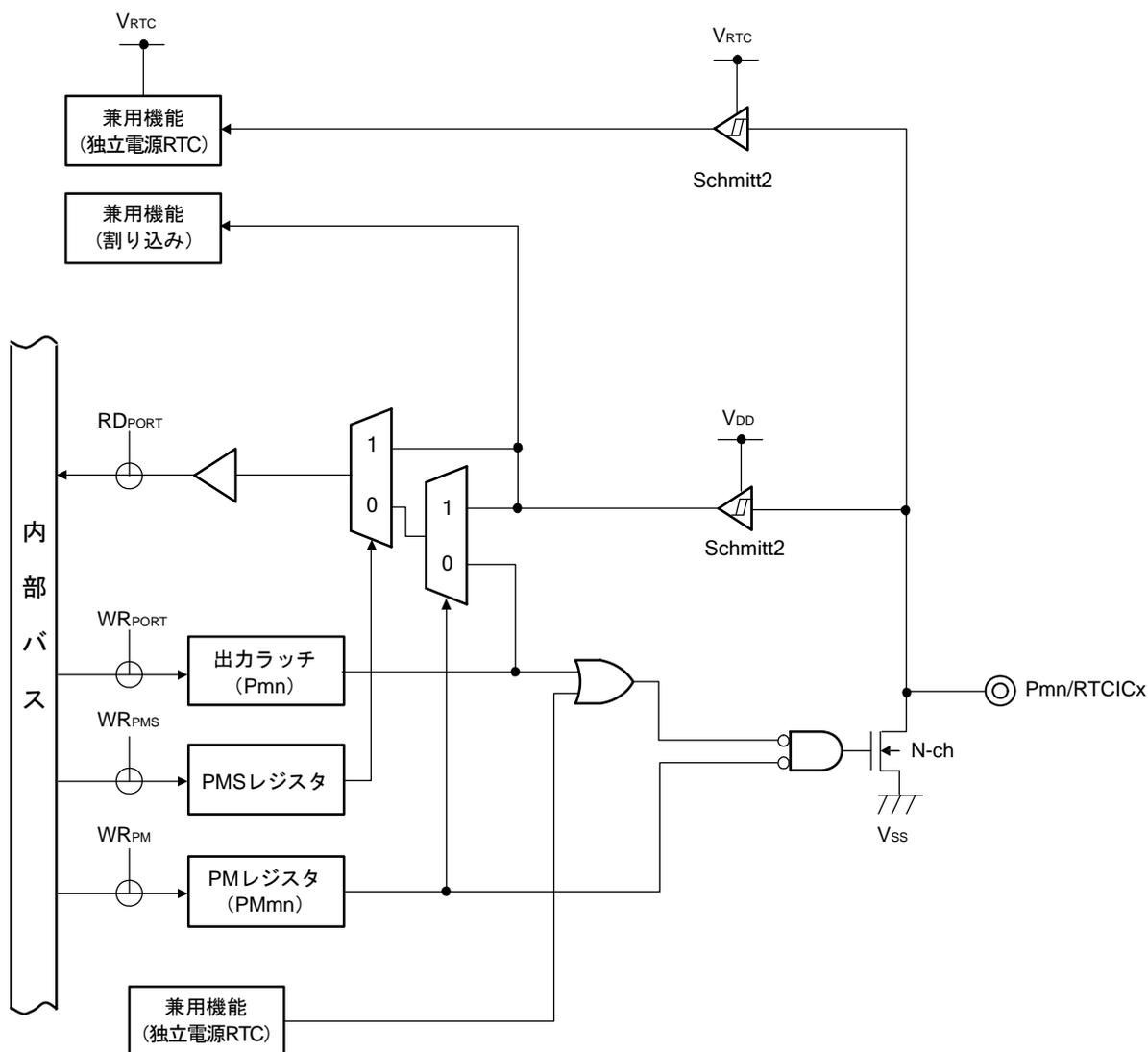


注意 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-17 端子タイプ12-1-6の端子ブロック図



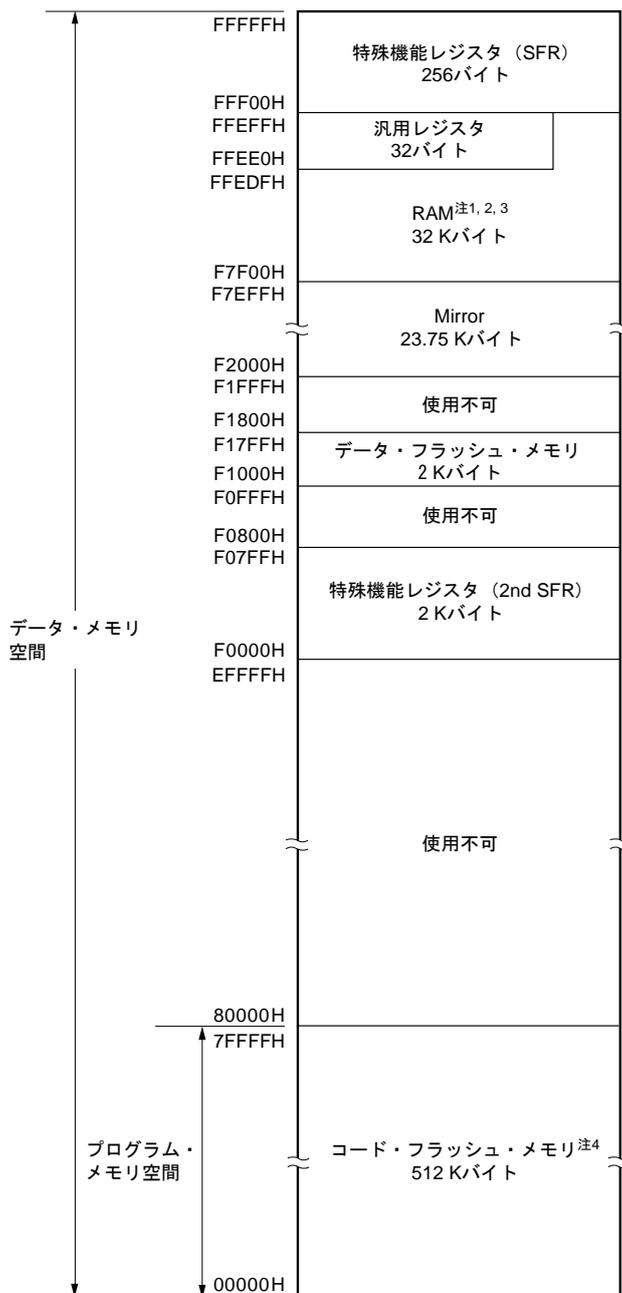
- ★ **注意** 1. P150-P152端子（兼用機能を含む）に、ハイ・レベルを入力する場合は、個別に抵抗を介して、 V_{DD} と V_{RTC} のうち高い電圧、または V_{DD} と V_{RTC} より高い電圧（6 V以下）に接続してください。
- 2. 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
- ★ **備考** 1. 兼用機能は、2.1 ポート機能を参照してください。

第3章 CPUアーキテクチャ

3.1 メモリ空間

RL78/I1C (512 KB) は、1 Mバイトのアドレス空間をアクセスできます。図3-1, 図3-2にメモリ・マップを示します。

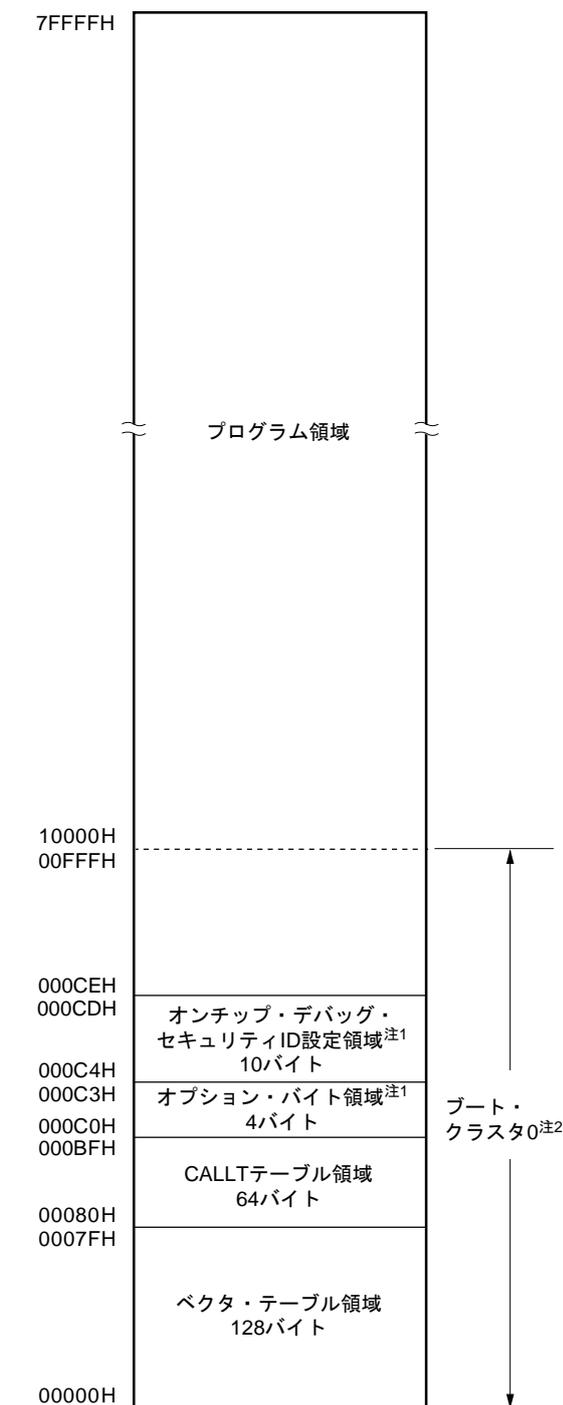
図3-1 メモリ・マップ (R5F10NPL, R5F10NML)



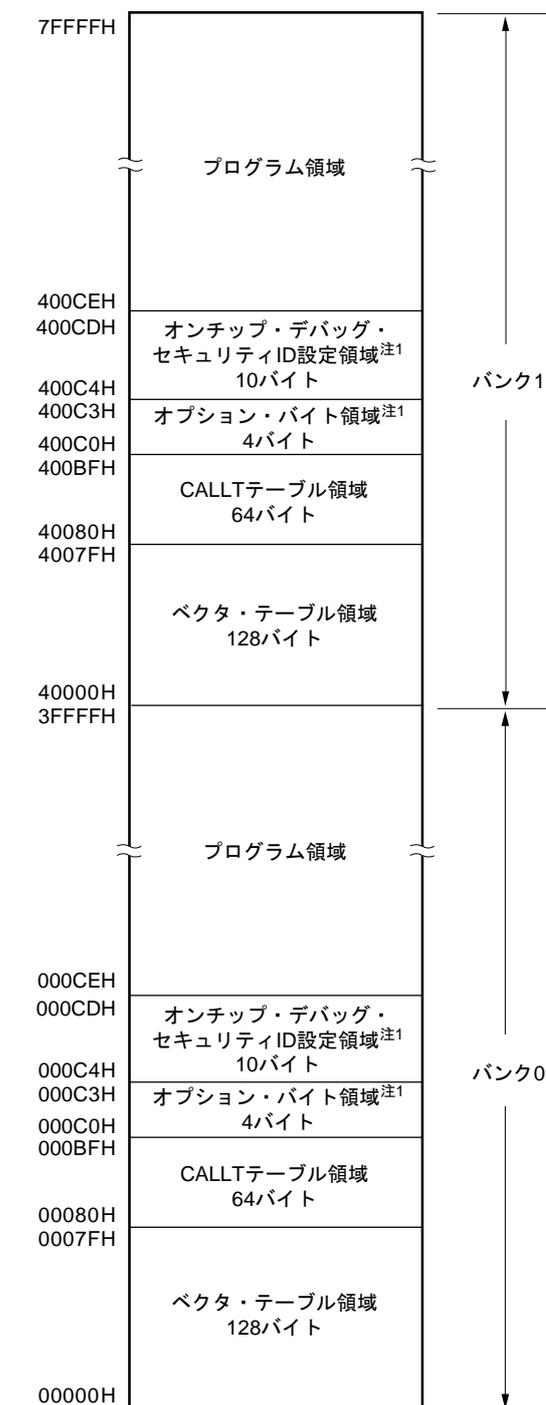
- 注1.** セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- また、フラッシュ・ライブラリがF7F00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、**RL78ファミリセルフプログラミングライブラリ セルフRAMリスト (R20UT2943)**を参照してください。
- 汎用レジスタを除いたRAM領域から命令実行をすることができます。
 - オンチップ・デバッキングのトレース機能使用時は、F8300H-F86FFHの領域が使用禁止になります。
 - 内蔵ROM (コードフラッシュメモリ) は1つの領域として扱うユーザモードと、2つのバンク領域として扱うバンクプログラミングモードがあります。メモリ・マップの詳細は**図3-2 コード・フラッシュ・メモリのメモリ・マップ**を、ユーザモードとバンクプログラミングモードの詳細は**38. 6. 2. 1 バンクモード切り替え機能**を参照してください。

図3-2 コード・フラッシュ・メモリのメモリ・マップ

(A) ユーザモードのメモリマップ



(B) バンクプログラミングモードのメモリマップ



注1. バンク・スワップ未使用時 :

000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

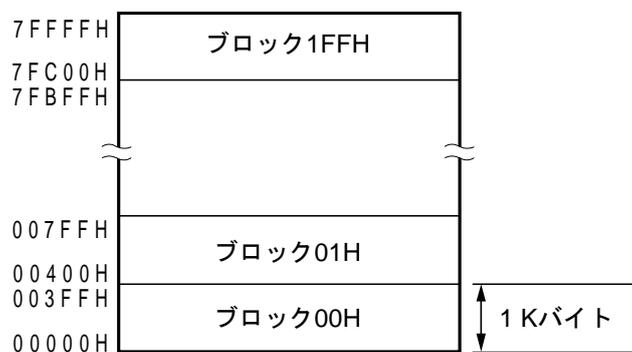
バンク・スワップ使用時 :

000C0H-000C3H, 400C0H-400C3Hにオプション・バイト, 000C4H-000CDH, 400C4H-400CDHにオンチップ・デバッグ・セキュリティIDを設定

2. セキュリティの設定により, ブート・クラスタ0は書き換えを禁止することができます (38.7 セキュリティ設定を参照)。

注意 RAM領域から命令実行し、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は34. 3. 3 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



(R5F10NPL, R5F10NMLの場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (1/4)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-003FFH	00H	0800H-083FFH	20H	1000H-103FFH	40H	1800H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (2/4)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
20000H-203FFH	80H	28000H-283FFH	A0H	30000H-303FFH	C0H	38000H-383FFH	E0H
20400H-207FFH	81H	28400H-287FFH	A1H	30400H-307FFH	C1H	38400H-387FFH	E1H
20800H-20BFFH	82H	28800H-28BFFH	A2H	30800H-30BFFH	C2H	38800H-38BFFH	E2H
20C00H-20FFFH	83H	28C00H-28FFFH	A3H	30C00H-30FFFH	C3H	38C00H-38FFFH	E3H
21000H-213FFH	84H	29000H-293FFH	A4H	31000H-313FFH	C4H	39000H-393FFH	E4H
21400H-217FFH	85H	29400H-297FFH	A5H	31400H-317FFH	C5H	39400H-397FFH	E5H
21800H-21BFFH	86H	29800H-29BFFH	A6H	31800H-31BFFH	C6H	39800H-39BFFH	E6H
21C00H-21FFFH	87H	29C00H-29FFFH	A7H	31C00H-31FFFH	C7H	39C00H-39FFFH	E7H
22000H-223FFH	88H	2A000H-2A3FFH	A8H	32000H-323FFH	C8H	3A000H-3A3FFH	E8H
22400H-227FFH	89H	2A400H-2A7FFH	A9H	32400H-327FFH	C9H	3A400H-3A7FFH	E9H
22800H-22BFFH	8AH	2A800H-2ABFFH	AAH	32800H-32BFFH	CAH	3A800H-3ABFFH	EAH
22C00H-22FFFH	8BH	2AC00H-2AFFFH	ABH	32C00H-32FFFH	CBH	3AC00H-3AFFFH	EBH
23000H-233FFH	8CH	2B000H-2B3FFH	ACH	33000H-333FFH	CCH	3B000H-3B3FFH	ECH
23400H-237FFH	8DH	2B400H-2B7FFH	ADH	33400H-337FFH	CDH	3B400H-3B7FFH	EDH
23800H-23BFFH	8EH	2B800H-2BBFFH	AEH	33800H-33BFFH	CEH	3B800H-3BBFFH	EEH
23C00H-23FFFH	8FH	2BC00H-2BFFFH	AFH	33C00H-33FFFH	CFH	3BC00H-3BFFFH	EFH
24000H-243FFH	90H	2C000H-2C3FFH	B0H	34000H-343FFH	D0H	3C000H-3C3FFH	F0H
24400H-247FFH	91H	2C400H-2C7FFH	B1H	34400H-347FFH	D1H	3C400H-3C7FFH	F1H
24800H-24BFFH	92H	2C800H-2CBFFH	B2H	34800H-34BFFH	D2H	3C800H-3CBFFH	F2H
24C00H-24FFFH	93H	2CC00H-2CFFFH	B3H	34C00H-34FFFH	D3H	3CC00H-3CFFFH	F3H
25000H-253FFH	94H	2D000H-2D3FFH	B4H	35000H-353FFH	D4H	3D000H-3D3FFH	F4H
25400H-257FFH	95H	2D400H-2D7FFH	B5H	35400H-357FFH	D5H	3D400H-3D7FFH	F5H
25800H-25BFFH	96H	2D800H-2DBFFH	B6H	35800H-35BFFH	D6H	3D800H-3DBFFH	F6H
25C00H-25FFFH	97H	2DC00H-2DFFFH	B7H	35C00H-35FFFH	D7H	3DC00H-3DFFFH	F7H
26000H-263FFH	98H	2E000H-2E3FFH	B8H	36000H-363FFH	D8H	3E000H-3E3FFH	F8H
26400H-267FFH	99H	2E400H-2E7FFH	B9H	36400H-367FFH	D9H	3E400H-3E7FFH	F9H
26800H-26BFFH	9AH	2E800H-2EBFFH	BAH	36800H-36BFFH	DAH	3E800H-3EBFFH	FAH
26C00H-26FFFH	9BH	2EC00H-2EFFFH	BBH	36C00H-36FFFH	DBH	3EC00H-3EFFFH	FBH
27000H-273FFH	9CH	2F000H-2F3FFH	BCH	37000H-373FFH	DCH	3F000H-3F3FFH	FCH
27400H-277FFH	9DH	2F400H-2F7FFH	BDH	37400H-377FFH	DDH	3F400H-3F7FFH	FDH
27800H-27BFFH	9EH	2F800H-2FBFFH	BEH	37800H-37BFFH	DEH	3F800H-3FBFFH	FEH
27C00H-27FFFH	9FH	2FC00H-2FFFFH	BFH	37C00H-37FFFH	DFH	3FC00H-3FFFFH	FFH

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (3/4)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
40000H-403FFH	100H	48000H-483FFH	120H	50000H-503FFH	140H	58000H-583FFH	160H
40400H-407FFH	101H	48400H-487FFH	121H	50400H-507FFH	141H	58400H-587FFH	161H
40800H-40BFFH	102H	48800H-48BFFH	122H	50800H-50BFFH	142H	58800H-58BFFH	162H
40C00H-40FFFH	103H	48C00H-48FFFH	123H	50C00H-50FFFH	143H	58C00H-58FFFH	163H
41000H-413FFH	104H	49000H-493FFH	124H	51000H-513FFH	144H	59000H-593FFH	164H
41400H-417FFH	105H	49400H-497FFH	125H	51400H-517FFH	145H	59400H-597FFH	165H
41800H-41BFFH	106H	49800H-49BFFH	126H	51800H-51BFFH	146H	59800H-59BFFH	166H
41C00H-41FFFH	107H	49C00H-49FFFH	127H	51C00H-51FFFH	147H	59C00H-59FFFH	167H
42000H-423FFH	108H	4A000H-4A3FFH	128H	52000H-523FFH	148H	5A000H-5A3FFH	168H
42400H-427FFH	109H	4A400H-4A7FFH	129H	52400H-527FFH	149H	5A400H-5A7FFH	169H
42800H-42BFFH	10AH	4A800H-4ABFFH	12AH	52800H-52BFFH	14AH	5A800H-5ABFFH	16AH
42C00H-42FFFH	10BH	4AC00H-4AFFFH	12BH	52C00H-52FFFH	14BH	5AC00H-5AFFFH	16BH
43000H-433FFH	10CH	4B000H-4B3FFH	12CH	53000H-533FFH	14CH	5B000H-5B3FFH	16CH
43400H-437FFH	10DH	4B400H-4B7FFH	12DH	53400H-537FFH	14DH	5B400H-5B7FFH	16DH
43800H-43BFFH	10EH	4B800H-4BBFFH	12EH	53800H-53BFFH	14EH	5B800H-5BBFFH	16EH
43C00H-43FFFH	10FH	4BC00H-4BFFFH	12FH	53C00H-53FFFH	14FH	5BC00H-5BFFFH	16FH
44000H-443FFH	110H	4C000H-4C3FFH	130H	54000H-543FFH	150H	5C000H-5C3FFH	170H
44400H-447FFH	111H	4C400H-4C7FFH	131H	54400H-547FFH	151H	5C400H-5C7FFH	171H
44800H-44BFFH	112H	4C800H-4CBFFH	132H	54800H-54BFFH	152H	5C800H-5CBFFH	172H
44C00H-44FFFH	113H	4CC00H-4CFFFH	133H	54C00H-54FFFH	153H	5CC00H-5CFFFH	173H
45000H-453FFH	114H	4D000H-4D3FFH	134H	55000H-553FFH	154H	5D000H-5D3FFH	174H
45400H-457FFH	115H	4D400H-4D7FFH	135H	55400H-557FFH	155H	5D400H-5D7FFH	175H
45800H-45BFFH	116H	4D800H-4DBFFH	136H	55800H-55BFFH	156H	5D800H-5DBFFH	176H
45C00H-45FFFH	117H	4DC00H-4DFFFH	137H	55C00H-55FFFH	157H	5DC00H-5DFFFH	177H
46000H-463FFH	118H	4E000H-4E3FFH	138H	56000H-563FFH	158H	5E000H-5E3FFH	178H
46400H-467FFH	119H	4E400H-4E7FFH	139H	56400H-567FFH	159H	5E400H-5E7FFH	179H
46800H-46BFFH	11AH	4E800H-4EBFFH	13AH	56800H-56BFFH	15AH	5E800H-5EBFFH	17AH
46C00H-46FFFH	11BH	4EC00H-4EFFFH	13BH	56C00H-56FFFH	15BH	5EC00H-5EFFFH	17BH
47000H-473FFH	11CH	4F000H-4F3FFH	13CH	57000H-573FFH	15CH	5F000H-5F3FFH	17CH
47400H-477FFH	11DH	4F400H-4F7FFH	13DH	57400H-577FFH	15DH	5F400H-5F7FFH	17DH
47800H-47BFFH	11EH	4F800H-4FBFFH	13EH	57800H-57BFFH	15EH	5F800H-5FBFFH	17EH
47C00H-47FFFH	11FH	4FC00H-4FFFFH	13FH	57C00H-57FFFH	15FH	5FC00H-5FFFFH	17FH

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (4/4)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
60000H-603FFH	180H	68000H-683FFH	1A0H	70000H-703FFH	1C0H	78000H-783FFH	1E0H
60400H-607FFH	181H	68400H-687FFH	1A1H	70400H-707FFH	1C1H	78400H-787FFH	1E1H
60800H-60BFFH	182H	68800H-68BFFH	1A2H	70800H-70BFFH	1C2H	78800H-78BFFH	1E2H
60C00H-60FFFH	183H	68C00H-68FFFH	1A3H	70C00H-70FFFH	1C3H	78C00H-78FFFH	1E3H
61000H-613FFH	184H	69000H-693FFH	1A4H	71000H-713FFH	1C4H	79000H-793FFH	1E4H
61400H-617FFH	185H	69400H-697FFH	1A5H	71400H-717FFH	1C5H	79400H-797FFH	1E5H
61800H-61BFFH	186H	69800H-69BFFH	1A6H	71800H-71BFFH	1C6H	79800H-79BFFH	1E6H
61C00H-61FFFH	187H	69C00H-69FFFH	1A7H	71C00H-71FFFH	1C7H	79C00H-79FFFH	1E7H
62000H-623FFH	188H	6A000H-6A3FFH	1A8H	72000H-723FFH	1C8H	7A000H-7A3FFH	1E8H
62400H-627FFH	189H	6A400H-6A7FFH	1A9H	72400H-727FFH	1C9H	7A400H-7A7FFH	1E9H
62800H-62BFFH	18AH	6A800H-6ABFFH	1AAH	72800H-72BFFH	1CAH	7A800H-7ABFFH	1EAH
62C00H-62FFFH	18BH	6AC00H-6AFFFH	1ABH	72C00H-72FFFH	1CBH	7AC00H-7AFFFH	1EBH
63000H-633FFH	18CH	6B000H-6B3FFH	1ACH	73000H-733FFH	1CCH	7B000H-7B3FFH	1ECH
63400H-637FFH	18DH	6B400H-6B7FFH	1ADH	73400H-737FFH	1CDH	7B400H-7B7FFH	1EDH
63800H-63BFFH	18EH	6B800H-6BBFFH	1AEH	73800H-73BFFH	1CEH	7B800H-7BBFFH	1EEH
63C00H-63FFFH	18FH	6BC00H-6BFFFH	1AFH	73C00H-73FFFH	1CFH	7BC00H-7BFFFH	1EFH
64000H-643FFH	190H	6C000H-6C3FFH	1B0H	74000H-743FFH	1D0H	7C000H-7C3FFH	1F0H
64400H-647FFH	191H	6C400H-6C7FFH	1B1H	74400H-747FFH	1D1H	7C400H-7C7FFH	1F1H
64800H-64BFFH	192H	6C800H-6CBFFH	1B2H	74800H-74BFFH	1D2H	7C800H-7CBFFH	1F2H
64C00H-64FFFH	193H	6CC00H-6CFFFH	1B3H	74C00H-74FFFH	1D3H	7CC00H-7CFFFH	1F3H
65000H-653FFH	194H	6D000H-6D3FFH	1B4H	75000H-753FFH	1D4H	7D000H-7D3FFH	1F4H
65400H-657FFH	195H	6D400H-6D7FFH	1B5H	75400H-757FFH	1D5H	7D400H-7D7FFH	1F5H
65800H-65BFFH	196H	6D800H-6DBFFH	1B6H	75800H-75BFFH	1D6H	7D800H-7DBFFH	1F6H
65C00H-65FFFH	197H	6DC00H-6DFFFH	1B7H	75C00H-75FFFH	1D7H	7DC00H-7DFFFH	1F7H
66000H-663FFH	198H	6E000H-6E3FFH	1B8H	76000H-763FFH	1D8H	7E000H-7E3FFH	1F8H
66400H-667FFH	199H	6E400H-6E7FFH	1B9H	76400H-767FFH	1D9H	7E400H-7E7FFH	1F9H
66800H-66BFFH	19AH	6E800H-6EBFFH	1BAH	76800H-76BFFH	1DAH	7E800H-7EBFFH	1FAH
66C00H-66FFFH	19BH	6EC00H-6EFFFH	1BBH	76C00H-76FFFH	1DBH	7EC00H-7EFFFH	1FBH
67000H-673FFH	19CH	6F000H-6F3FFH	1BCH	77000H-773FFH	1DCH	7F000H-7F3FFH	1FCH
67400H-677FFH	19DH	6F400H-6F7FFH	1BDH	77400H-777FFH	1DDH	7F400H-7F7FFH	1FDH
67800H-67BFFH	19EH	6F800H-6FBFFH	1BEH	77800H-77BFFH	1DEH	7F800H-7FBFFH	1FEH
67C00H-67FFFH	19FH	6FC00H-6FFFFH	1BFH	77C00H-77FFFH	1DFH	7FC00H-7FFFFH	1FFH

備考 R5F10NPL, R5F10NML : ブロック番号00H-1FFH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/I1C (512 KB) は、次に示す内部ROM (フラッシュ・メモリ) を内蔵しています。

表3-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
R5F10NPL, R5F10NML	フラッシュ・メモリ	524288×8ビット (00000H-7FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。バンク・スワップを使用する際には、40000H-4007FHにもベクタ・テーブルを設定してください。

表3-3 ベクタ・テーブル (1/3)

ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE
0004H	INTWDTI
0006H	INTLVI
0008H	INTP0
000AH	INTP1
000CH	INTP2
000EH	INTP3
0010H	INTP4
0012H	INTP5
0014H	INTST2
	INTSTM0
0016H	INTSR2
	INTSRM0
0018H	INTSRE2
	INTSREM0
001AH	INTCR
	INTSMP0
	INTSMP10
001CH	INTAES
	INTAESF
001EH	INTST0/INTCSI00/INTIIC00
0020H	INTIICA0
0022H	INTSR0
0024H	INTSRE0
	INTTM01H
0026H	INTST1/INTCSI10/INTIIC10
0028H	INTSR1
002AH	INTSRE1
	INTTM03H
002CH	INTTM00
002EH	INTRTCALM0
	INTSMP01
	INTSMP11
0030H	INTFM
	INTSMP02
	INTSMP12
0032H	INTTM01
0034H	INTTM02
0036H	INTTM03

表3-3 ベクタ・テーブル (2/3)

ベクタ・テーブル・アドレス	割り込み要因
0038H	INTAD
003AH	INTRTCRPD
	INTSMP03
	INTSMP13
003CH	INTIT
003EH	INTKR
	INTRTCALM1
	INTSMP04
	INTSMP14
0040H	INTST3/INTCSI30/INTIC30
0042H	INTSR3
0044H	INTDSAD
	INTSMP05
	INTSMP15
0046H	INTTM04
0048H	INTTM05
	INTSMOTA0
004AH	INTP6
004CH	INTP7
004EH	INTRTCIC2
	INTP12
0050H	INTRTCIC1
	INTP13
0052H	INTRTCIC0
	INTP14
0054H	INTTM06
	INTSMOTB0
0056H	INTTM07
	INTSMOTA1
0058H	INTIT00
005AH	INTIT01
005CH	INTSRE3
005EH	INTMACLOF
	INTSMOTB1
0060H	INTOSDC
0062H	INTFL
0064H	INTP8
0066H	INTP9
0068H	INTIT10
006AH	INTIT11

表3-3 ベクタ・テーブル (3/3)

ベクタ・テーブル・アドレス	割り込み要因
006CH	INTLVDVDD
	INTIT20
006EH	INTLVDVBAT
	INTIT21
0070H	INTLVDVRTC
	INTIT30
0072H	INTLVDEXLVD
	INTIT31
0074H	INTST4
	INTSTMG1
0076H	INTSR4
	INTSRMG1
0078H	INTSRE4
	INTSREMG1
007AH	INTRJ0
	INTDSADDEC
007CH	INTRJ1

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令 (CALLT) のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください (アドレス・コードが2バイトのため)。

バンク・スワップを使用する際には、40080H-400BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。バンク・スワップを使用する際には、400C0H-400C3Hにもオプション・バイトを設定してください。詳細は**第37章 オプション・バイト**を参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 400C4H-400CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。バンク・スワップ未使用時には000C4H-000CDHに、バンク・スワップを使用する際には、000C4H-000CDHと400C4H-400CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は**第39章 オンチップ・デバッグ機能**を参照してください。

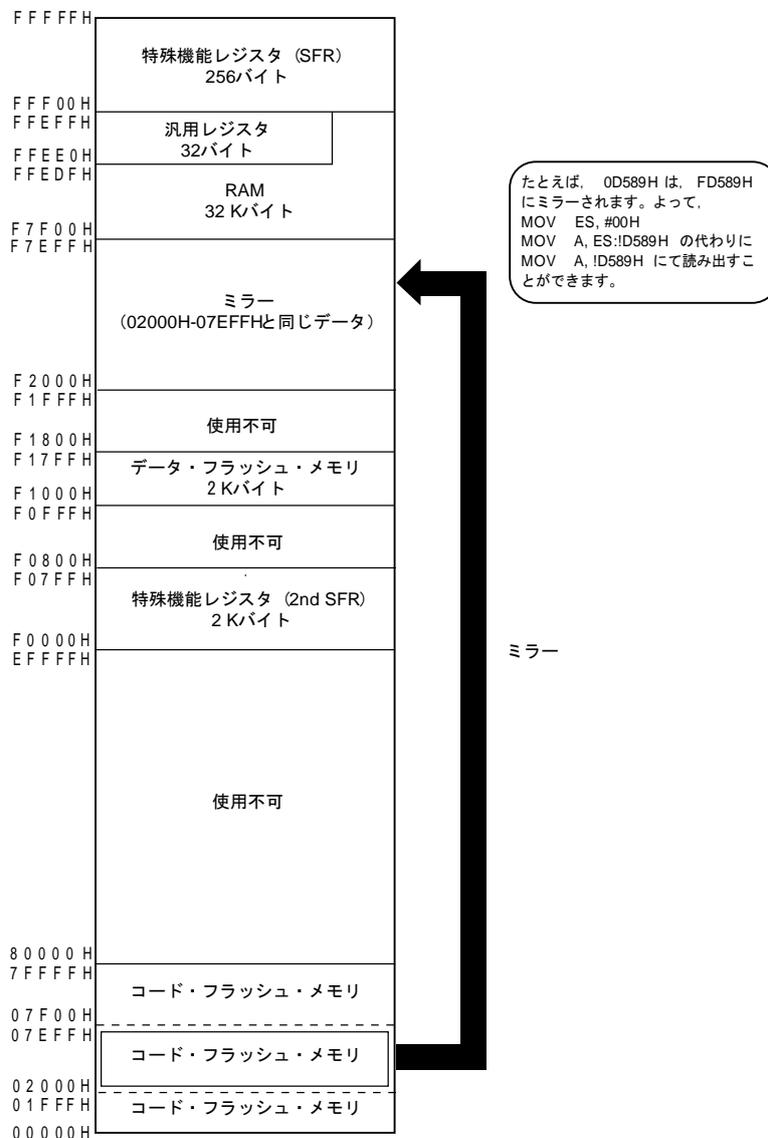
3.1.2 ミラー領域

RL78/I1C (512 KB) では、00000H-0FFFFHまたは10000H-1FFFFHのコード・フラッシュ・エリアを F0000H-FFFFFHへミラーしています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

ミラー先のF0000H-FFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、**3.1 メモリ空間**を参照してください。
 ミラー領域は読み出しのみ可能で、命令フェッチはできません。
 次に例を示します。

例 R5F10NPL, R5F10NML
 (フラッシュ・メモリ 512 Kバイト, RAM 32 Kバイト) の場合



次に、PMCレジスタについて説明します。

- ・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-3 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー

注意 PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/I1C (512 KB) は、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製 品	内部RAM
R5F10NPL, R5F10NML	32768×8ビット (F7F00H-FFEFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を実行することができます(汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。また、スタック・メモリは内部RAMを使用します。

- 注意1.** 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。
- セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTC による転送先/転送元で利用するRAMアドレスを FFE20H-FFEDFHの領域に配置しないでください。
 - セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示すRAM領域は、各ライブラリで使用するため使用禁止になります。
F7F00H-F8309H
 - 次に示すRAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。
F8300H-F86FFH

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.4 特殊機能レジスタ (SFR : Special Function Register) の表3-5参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3-6参照)。

SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

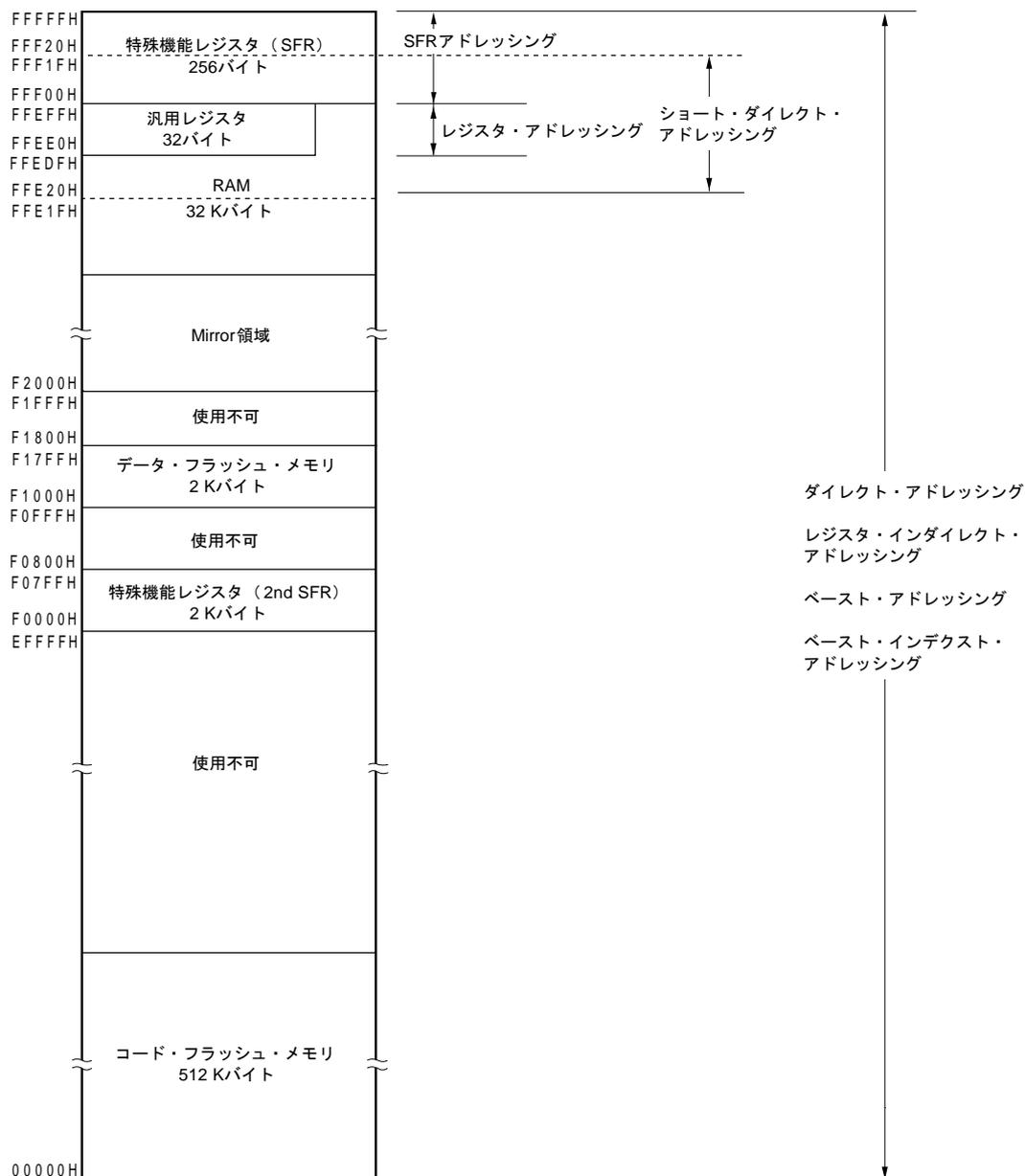
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/I1C (512 KB) では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-4にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、3.4 処理データ・アドレスに対するアドレッシングを参照してください。

図3-4 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

RL78/I1C (512 KB) は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

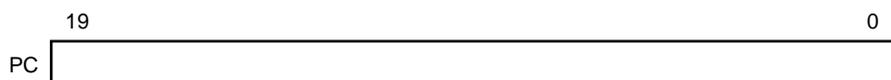
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-5 プログラム・カウンタの構成



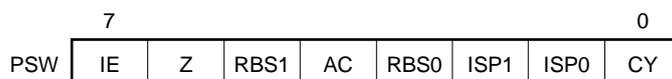
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときマスカブル割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロまたは等しいときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサート・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L) (27. 3. 3参照) でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際にベクタ割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

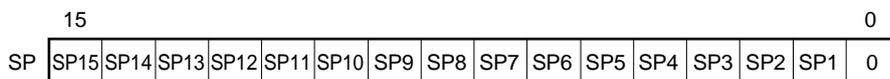
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-7 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

- 注意1.** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
2. 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。
 3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
 4. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示すRAM領域は、各ライブラリで使用するため使用禁止になります。

F7F00H-F8309H

5. 次に示すRAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

F8300H-F86FFH

3.2.2 汎用レジスタ

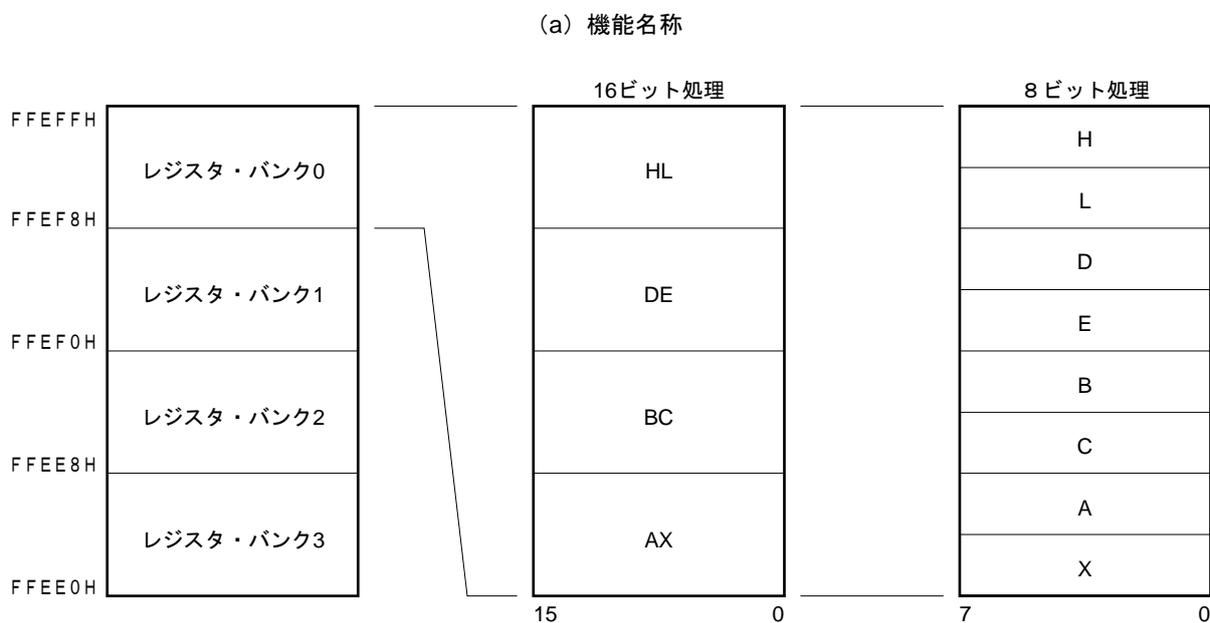
汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBN）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンク切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

図3-8 汎用レジスタの構成

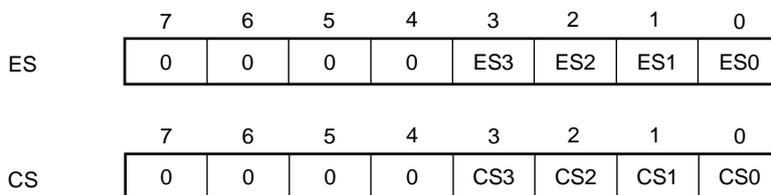


3.2.3 ES, CSレジスタ

ESレジスタでデータ・アクセス, CSレジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

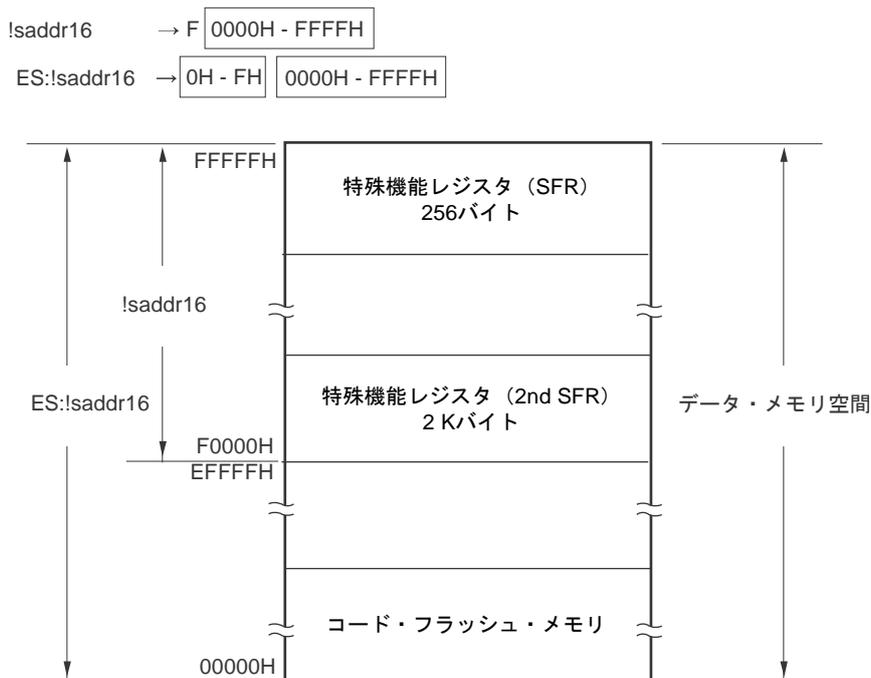
ESレジスタのリセット後の初期値は0FH, CSレジスタのリセット後の初期値は00Hです。

図3-9 ES/CSレジスタの構成



16ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFFHの64 Kバイト空間ですが、ES:を付加すると00000H-FFFFFFHの1 Mバイト空間に拡張できます。

図3-10 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を○で示します。-は操作できないビット単位であることを示します。

- ・ リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表3-5 SFR一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ 0	P0		R/W	○	○	—	00H
FFF01H	ポート・レジスタ 1	P1		R/W	○	○	—	00H
FFF02H	ポート・レジスタ 2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ 3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ 4	P4		R/W	○	○	—	00H
FFF05H	ポート・レジスタ 5	P5		R/W	○	○	—	00H
FFF06H	ポート・レジスタ 6	P6		R/W	○	○	—	00H
FFF07H	ポート・レジスタ 7	P7		R/W	○	○	—	00H
FFF08H	ポート・レジスタ 8	P8		R/W	○	○	—	00H
FFF09H	ポート・レジスタ 9	P9		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ 12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ 13	P13		R/W	○	○	—	不定
FFF0FH	ポート・レジスタ 15	P15		R/W	○	○	—	00H
FFF10H	シリアル・データ・レジスタ 00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ 01	RXD0	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF14H	シリアル・データ・レジスタ 12	TXD3/ SIO30	SDR12	R/W ^注	—	○	○	0000H
FFF15H		—			—	—		
FFF16H	シリアル・データ・レジスタ 13	RXD3	SDR13	R/W ^注	—	○	○	0000H
FFF17H		—			—	—		
FFF18H	タイマ・データ・レジスタ 00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ 01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○	00H	
FFF20H	ポート・モード・レジスタ 0	PM0		R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ 1	PM1		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ 2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ 3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ 4	PM4		R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ 5	PM5		R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ 6	PM6		R/W	○	○	—	FFH
FFF27H	ポート・モード・レジスタ 7	PM7		R/W	○	○	—	FFH
FFF28H	ポート・モード・レジスタ 8	PM8		R/W	○	○	—	FFH
FFF29H	ポート・モード・レジスタ 9	PM9		R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ 12	PM12		R/W	○	○	—	FFH
FFF2FH	ポート・モード・レジスタ 15	PM15		R/W	○	○	—	FFH
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL		R/W	○	○	—	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF		R/W	—	○	—	00H

注 80ピン製品はRead Onlyです。

表3-5 SFR一覧 (2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF37H	キー・リターン・モード・レジスタ 0	KRM0		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ 0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ 0	EGN0		R/W	○	○	—	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ 1 [※]	EGP1		R/W	○	○	—	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ 1 [※]	EGN1		R/W	○	○	—	00H
FFF3CH	乗算データ・レジスタ B(L)	MULBL		R/W	—	—	○	0000H
FFF3DH								
FFF3EH	乗算データ・レジスタ B(H)	MULBH		R/W	—	—	○	0000H
FFF3FH								
FFF40H	LCD モード・レジスタ 0	LCDM0		R/W	—	○	—	00H
FFF41H	LCD モード・レジスタ 1	LCDM1		R/W	○	○	—	00H
FFF42H	LCD クロック制御レジスタ 0	LCDC0		R/W	—	○	—	00H
FFF43H	LCD 昇圧レベル制御レジスタ	VLCD		R/W	—	○	—	04H
FFF44H	シリアル・データ・レジスタ 02	TXD1/ SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—			
FFF46H	シリアル・データ・レジスタ 03	RXD1	SDR03	R/W	—	○	○	0000H
FFF47H		—			—			
FFF48H	シリアル・データ・レジスタ 10	TXD2	SDR10	R/W	—	○	○	0000H
FFF49H		—			—			
FFF4AH	シリアル・データ・レジスタ 11	RXD2	SDR11	R/W	—	○	○	0000H
FFF4BH		—			—			
FFF50H	IICA シフト・レジスタ 0	IICA0		R/W	—	○	—	00H
FFF51H	IICA ステータス・レジスタ 0	IICS0		R	○	○	—	00H
FFF52H	IICA フラグ・レジスタ 0	IICF0		R/W	○	○	—	00H
FFF58H	シリアル・データ・レジスタ 20 [※]	TXD4	SDR20	R/W	—	○	○	0000H
FFF59H		—			—			
FFF5AH	シリアル・データ・レジスタ 21 [※]	RXD4	SDR21	R/W	—	○	○	0000H
FFF5BH		—			—			
FFF64H	タイマ・データ・レジスタ 02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ 03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○		
FFF68H	タイマ・データ・レジスタ 04	TDR04		R/W	—	—	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ 05	TDR05		R/W	—	—	○	0000H
FFF6BH								

注 100ピン製品のみ搭載し、80ピン製品は非搭載です。

表3-5 SFR一覧 (3/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF6CH	タイマ・データ・レジスタ 06	TDR06	R/W	-	-	○	0000H
FFF6DH							
FFF6EH	タイマ・データ・レジスタ 07	TDR07	R/W	-	-	○	0000H
FFF6FH							
FFF90H	12 ビット・インターバル・タイマ・コントロール・レジスタ	ITMC	R/W	-	-	○	0FFFH
FFF91H							
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	-	○	-	00H ^{注1}
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W	○	○	-	C0H ^{注1}
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R	○	○	-	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	-	○	-	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W	○	○	-	00H
FFFA5H	クロック出力選択レジスタ 0	CKS0	R/W	○	○	-	00H
FFFA6H	クロック出力選択レジスタ 1	CKS1	R/W	○	○	-	00H
FFFA7H	サブシステム・クロック選択レジスタ	CKSEL	R/W	○	○	-	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	-	○	-	不定 ^{注2}
FFFA9H	電圧検出レジスタ	LVIM	R/W	○	○	-	00H ^{注2}
FFFAAH	電圧検出レベル・レジスタ	LVIS	R/W	○	○	-	00H/01H/ 81H ^{注2}
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-	○	-	1AH/9AH ^{注3}
FFFACH	CRC 入力レジスタ	CRCIN	R/W	-	○	-	00H

注1. パワーオン・リセットによるリセット時のみ初期化されます。

2. リセット要因により、次のように異なります。

リセット要因		RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTIによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
レジスタ	RESF	TRAP WDTRF RPERF IAWRF LVIRF	クリア (0)	セット (1)	保持	セット (1)	保持	保持
	保持			セット (1)	保持			
	保持			セット (1)	保持			
	保持			セット (1)	保持			
	保持			セット (1)	保持			
LVIM	LVISEN LVIOMSK LVIF	クリア (0)	保持	保持	保持	保持	保持	
保持								保持
保持								保持
LVIS		クリア(00H/01H/81H)					クリア (00H/81H) ^{注4}	

3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

4. オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : LVDリセットは発生しません。

表3-5 SFR一覧 (4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD0H	割り込み要求フラグ・レジスタ 2L	IF2L	IF2	R/W	○	○	○	00H
FFFD1H	割り込み要求フラグ・レジスタ 2H	IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ 3L	IF3L	IF3	R/W	○	○	○	00H
FFFD3H	割り込み要求フラグ・レジスタ 3H	IF3H		R/W	○	○		00H
FFFD4H	割り込みマスク・フラグ・レジスタ 2L	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H	割り込みマスク・フラグ・レジスタ 2H	MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ 3L	MK3L	MK3	R/W	○	○	○	FFH
FFFD7H	割り込みマスク・フラグ・レジスタ 3H	MK3H		R/W	○	○		FFH
FFFD8H	優先順位指定フラグ・レジスタ 02L	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H	優先順位指定フラグ・レジスタ 02H	PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ 03L	PR03L	PR03	R/W	○	○	○	FFH
FFFDBH	優先順位指定フラグ・レジスタ 03H	PR03H		R/W	○	○		FFH
FFFDCH	優先順位指定フラグ・レジスタ 12L	PR12L	PR12	R/W	○	○	○	FFH
FFFDH	優先順位指定フラグ・レジスタ 12H	PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ 13L	PR13L	PR13	R/W	○	○	○	FFH
FFFDFH	優先順位指定フラグ・レジスタ 13H	PR13H		R/W	○	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ 0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ 0H	IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ 1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ 1H	IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ 0L	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H	割り込みマスク・フラグ・レジスタ 0H	MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ 1L	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H	割り込みマスク・フラグ・レジスタ 1H	MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ 00L	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H	優先順位指定フラグ・レジスタ 00H	PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ 01L	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH	優先順位指定フラグ・レジスタ 01H	PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ 10L	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH	優先順位指定フラグ・レジスタ 10H	PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ 11L	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH	優先順位指定フラグ・レジスタ 11H	PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ (L)	MACRL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ (H)	MACRH		R/W	—	—	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

備考 拡張SFR (2nd SFR) については、表3-6 拡張SFR (2nd SFR) 一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (!addr16.bit) には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- ・ 8ビット操作

8ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する拡張SFRが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を○で示します。-は操作できないビット単位であることを示します。

- ・ リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (1/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H
F0038H	プルアップ抵抗オプション・レジスタ8	PU8	R/W	○	○	—	00H
F0039H	プルアップ抵抗オプション・レジスタ9	PU9	R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0044H	ポート入力モード・レジスタ4	PIM4	R/W	○	○	—	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	—	00H
F0048H	ポート入力モード・レジスタ8	PIM8	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	—	00H
F0058H	ポート出力モード・レジスタ8	POM8	R/W	○	○	—	00H
F0062H	ポート・モード・コントロール・レジスタ2	PMC2	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0075H	ボルテージ・リファレンスコントロールレジスタ	VREFAMPCNT	R/W	—	○	—	00H
F0076H	UARTMG0クロックダブル制御レジスタ ^{※1}	CLKDCTL	R/W	○	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	A/D変換クロック制御レジスタ	ADCKS	R/W	—	○	—	00H
F007AH	周波数測定回路クロック選択レジスタ	FMCKS	R/W	○	○	—	00H
F007BH	ポートモード選択レジスタ	PMS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F0098H	ペリフェラル・クロック・コントロール・レジスタ	PCKC	R/W	○	○	—	00H
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定 ^{注2}
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE	R/W	○	○	—	注3
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP	R/W	○	○	—	00H

注1. 100ピン製品のみ搭載し、80ピン製品は非搭載です。

2. オプション・バイト000C2HのFRQSEL2 - FRQSEL0で設定した値になります。
3. FLMODEレジスタのリセット値は、オプション・バイトの設定で決定します。

表3-6 拡張SFR (2nd SFR) 一覧 (2/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	—	00H
F00F1H	周辺リセット制御レジスタ0	PRR0		R/W	○	○	—	00H
F00F2H	中速オンチップ・オシレータ周波数選択 レジスタ	MOCODIV		R/W	—	○	—	00H
F00F3H	サブシステム・クロック供給オプション制御 レジスタ	OSMC		R/W	○	○	—	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	—	00H
F00F8H	レギュレータ・モード制御レジスタ	PMMC		R/W	○	○	—	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR		R/W	—	○	—	00H ^注
F00FAH	周辺イネーブル・レジスタ1	PER1		R/W	○	○	—	00H
F00FBH	周辺リセット制御レジスタ1	PRR1		R/W	○	○	—	00H
F00FCH	周辺イネーブル・レジスタ2	PER2		R/W	○	○	—	00H
F00FDH	周辺リセット制御レジスタ2	PRR2		R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	—	○	—	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—	—		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—	—		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	○	0000H
F0105H		—			—	—		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	○	0000H
F0107H		—			—	—		
F0108H	シリアル・フラグ・クリア・トリガ・ レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—	—		
F010AH	シリアル・フラグ・クリア・トリガ・ レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—	—		
F010CH	シリアル・フラグ・クリア・トリガ・ レジスタ02	SIR02L	SIR02	R/W	—	○	○	0000H
F010DH		—			—	—		
F010EH	シリアル・フラグ・クリア・トリガ・ レジスタ03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—	—		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	—	—	○	0020H
F0111H					—	—		
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	—	—	○	0020H
F0113H					—	—		
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	—	—	○	0020H
F0115H					—	—		
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	—	—	○	0020H
F0117H					—	—		
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	—	○	0087H
F0119H					—	—		

注 パワーオン・リセットによるリセット時のみ初期化されます。

表3-6 拡張SFR (2nd SFR) 一覧 (3/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	—	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	—	—	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	—	—	○	0087H
F011FH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—	—		
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	シリアル出力レジスタ0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—			—	—		
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—			—	—		
F0144H	シリアル・ステータス・レジスタ12	SSR12L	SSR12	R	—	○	○	0000H
F0145H		—			—	—		
F0146H	シリアル・ステータス・レジスタ13	SSR13L	SSR13	R	—	○	○	0000H
F0147H		—			—	—		
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H		—			—	—		
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH		—			—	—		
F014CH	シリアル・フラグ・クリア・トリガ・レジスタ12	SIR12L	SIR12	R/W ^注	—	○	○	0000H
F014DH		—			—	—		
F014EH	シリアル・フラグ・クリア・トリガ・レジスタ13	SIR13L	SIR13	R/W ^注	—	○	○	0000H
F014FH		—			—	—		
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	—	—	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	—	—	○	0020H
F0153H								

注 R5F10NMLはRead Onlyです。

表3-6 拡張SFR (2nd SFR) 一覧 (4/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0154H	シリアル・モード・レジスタ12	SMR12		R/W ^{注1}	-	-	○	0020H/ 0000H ^{注2}
F0155H								
F0156H	シリアル・モード・レジスタ13	SMR13		R/W ^{注1}	-	-	○	0020H/ 0000H ^{注2}
F0157H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	-	-	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	-	-	○	0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ12	SCR12		R/W ^{注1}	-	-	○	0087H/ 0000H ^{注3}
F015DH								
F015EH	シリアル通信動作設定レジスタ13	SCR13		R/W ^{注1}	-	-	○	0087H/ 0000H ^{注3}
F015FH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1	R	○	○	○	0000H
F0161H		-			-			
F0162H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		-			-			
F0164H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		-			-			
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	-	○	○	0000H
F0167H		-			-			
F0168H	シリアル出力レジスタ1	SO1		R/W	-	-	○	0F0FH/ 0303H ^{注4}
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		-			-			
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	-	○	○	0000H
F0175H		-			-			
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	-	-	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	-	-	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	-	-	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	-	-	○	FFFFH
F0187H								

注1. R5F10NMLはRead Onlyです。

2. R5F10NPLは0020H, R5F10NMLは0000Hになります。

3. R5F10NPLは0087H, R5F10NMLは0000Hになります。

4. R5F10NPLは0F0FH, R5F10NMLは0303Hになります。

表3-6 拡張SFR (2nd SFR) 一覧 (5/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	-	-	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	-	-	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	-	-	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	-	-	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	-	-	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	-	-	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	-	-	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	-	-	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	-	-	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	-	-	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	-	-	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	-	-	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	-	○	○	0000H
F01A1H		-						
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	-	○	○	0000H
F01A3H		-						
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	-	○	○	0000H
F01A5H		-						
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	-	○	○	0000H
F01A7H		-						
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	-	○	○	0000H
F01A9H		-						
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	-	○	○	0000H
F01ABH		-						
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	-	○	○	0000H
F01ADH		-						
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	-	○	○	0000H
F01AFH		-						
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		-						

表3-6 拡張SFR (2nd SFR) 一覧 (6/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—	—		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—	—		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—	—		
F01C0H	シリアル・ステータス・レジスタ20 [※]	SSR20L	SSR20	R	—	○	○	0000H
F01C1H		—			—	—		
F01C2H	シリアル・ステータス・レジスタ21 [※]	SSR21L	SSR21	R	—	○	○	0000H
F01C3H		—			—	—		
F01C8H	シリアル・フラグ・クリア・トリガ・レジスタ	SIR20L	SIR20	R/W	—	○	○	0000H
F01C9H	20 [※]	—			—	—		
F01CAH	シリアル・フラグ・クリア・トリガ・レジスタ	SIR21L	SIR21	R/W	—	○	○	0000H
F01CBH	21 [※]	—			—	—		
F01D0H	シリアル・モード・レジスタ20 [※]	SMR20		R/W	—	—	○	0020H
F01D1H								
F01D2H	シリアル・モード・レジスタ21 [※]	SMR21		R/W	—	—	○	0020H
F01D3H								
F01D8H	シリアル通信動作設定レジスタ20 [※]	SCR20		R/W	—	—	○	0087H
F01D9H								
F01DAH	シリアル通信動作設定レジスタ21 [※]	SCR21		R/W	—	—	○	0087H
F01DBH								
F01E0H	シリアル・チャンネル許可ステータス・レジスタ2	SE2L	SE2	R	○	○	○	0000H
F01E1H	※	—			—	—		
F01E2H	シリアル・チャンネル開始レジスタ2 [※]	SS2L	SS2	R/W	○	○	○	0000H
F01E3H		—			—	—		
F01E4H	シリアル・チャンネル停止レジスタ2 [※]	ST2L	ST2	R/W	○	○	○	0000H
F01E5H		—			—	—		
F01E6H	シリアル・クロック選択レジスタ2 [※]	SPS2L	SPS2	R/W	—	○	○	0000H
F01E7H		—			—	—		
F01E8H	シリアル出力レジスタ2 [※]	SO2		R/W	—	—	○	0303H
F01E9H								
F01EAH	シリアル出力許可レジスタ2 [※]	SOE2L	SOE2	R/W	○	○	○	0000H
F01EBH		—			—	—		

注 100ピン製品のみ搭載し、80ピン製品は非搭載です。

表3-6 拡張SFR (2nd SFR) 一覧 (7/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01F4H	シリアル出力レベル・レジスタ ²	SOL2L	SOL2	R/W	—	○	○	0000H
F01F5H		—			—	—		
F0210H	送信バッファ・レジスタ ⁰	TXBMG0		R/W	—	○	—	FFH
F0211H	受信バッファ・レジスタ ⁰	RXBMG0		R	—	○	—	FFH
F0212H	動作モード設定レジスタ ⁰⁰	ASIMMG00		R/W	○	○	—	01H
F0213H	動作モード設定レジスタ ⁰¹	ASIMMG01		R/W	○	○	—	1AH
F0214H	ポー・レート・ジェネレータ・コントロール・レジスタ ⁰	BRGCMG0		R/W	—	○	—	FFH
F0215H	ステータス・レジスタ ⁰	ASISMG0		R	—	○	—	00H
F0216H	ステータス・クリア・トリガ・レジスタ ⁰	ASCTMG0		R/W	○	○	—	00H
F0218H	送信バッファ・レジスタ ¹	TXBMG1		R/W	—	○	—	FFH
F0219H	受信バッファ・レジスタ ¹	RXBMG1		R	—	○	—	FFH
F021AH	動作モード設定レジスタ ¹⁰	ASIMMG10		R/W	○	○	—	01H
F021BH	動作モード設定レジスタ ¹¹	ASIMMG11		R/W	○	○	—	1AH
F021CH	ポー・レート・ジェネレータ・コントロール・レジスタ ¹	BRGCMG1		R/W	—	○	—	FFH
F021DH	ステータス・レジスタ ¹	ASISMG1		R	—	○	—	00H
F021EH	ステータス・クリア・トリガ・レジスタ ¹	ASCTMG1		R/W	○	○	—	00H
F0230H	IICA コントロール・レジスタ ⁰⁰	IICCTL00		R/W	○	○	—	00H
F0231H	IICA コントロール・レジスタ ⁰¹	IICCTL01		R/W	○	○	—	00H
F0232H	IICA ロー・レベル幅設定レジスタ ⁰	IICWLO		R/W	—	○	—	FFH
F0233H	IICA ハイ・レベル幅設定レジスタ ⁰	IICWHO		R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ ⁰	SVA0		R/W	—	○	—	00H
F0240H	イベント出力先選択レジスタ ⁰⁰	ELSELR00		R/W	—	○	—	00H
F0241H	イベント出力先選択レジスタ ⁰¹	ELSELR01		R/W	—	○	—	00H
F0242H	イベント出力先選択レジスタ ⁰²	ELSELR02		R/W	—	○	—	00H
F0243H	イベント出力先選択レジスタ ⁰³	ELSELR03		R/W	—	○	—	00H
F0244H	イベント出力先選択レジスタ ⁰⁴	ELSELR04		R/W	—	○	—	00H
F0245H	イベント出力先選択レジスタ ⁰⁵	ELSELR05		R/W	—	○	—	00H
F0246H	イベント出力先選択レジスタ ⁰⁶	ELSELR06		R/W	—	○	—	00H
F0247H	イベント出力先選択レジスタ ⁰⁷	ELSELR07		R/W	—	○	—	00H
F0248H	イベント出力先選択レジスタ ⁰⁸	ELSELR08		R/W	—	○	—	00H
F0249H	イベント出力先選択レジスタ ⁰⁹	ELSELR09		R/W	—	○	—	00H
F024AH	イベント出力先選択レジスタ ¹⁰	ELSELR10		R/W	—	○	—	00H
F024BH	イベント出力先選択レジスタ ¹¹	ELSELR11		R/W	—	○	—	00H
F024CH	イベント出力先選択レジスタ ¹²	ELSELR12		R/W	—	○	—	00H
F024DH	イベント出力先選択レジスタ ¹³	ELSELR13		R/W	—	○	—	00H
F024EH	イベント出力先選択レジスタ ¹⁴	ELSELR14		R/W	—	○	—	00H
F024FH	イベント出力先選択レジスタ ¹⁵	ELSELR15		R/W	—	○	—	00H

注 100ピン製品のみ搭載し、80ピン製品は非搭載です。

表3-6 拡張SFR (2nd SFR) 一覧 (8/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0250H	イベント出力先選択レジスタ16	ELSELR16	R/W	—	○	—	00H
F0251H	イベント出力先選択レジスタ17	ELSELR17	R/W	—	○	—	00H
F0252H	イベント出力先選択レジスタ18	ELSELR18	R/W	—	○	—	00H
F0253H	イベント出力先選択レジスタ19	ELSELR19	R/W	—	○	—	00H
F0254H	イベント出力先選択レジスタ20	ELSELR20	R/W	—	○	—	00H
F0255H	イベント出力先選択レジスタ21	ELSELR21	R/W	—	○	—	00H
F0256H	イベント出力先選択レジスタ22	ELSELR22	R/W	—	○	—	00H
F0257H	イベント出力先選択レジスタ23	ELSELR23	R/W	—	○	—	00H
F0258H	イベント出力先選択レジスタ24	ELSELR24	R/W	—	○	—	00H
F0259H	イベント出力先選択レジスタ25	ELSELR25	R/W	—	○	—	00H
F0260H	イベント出力先選択レジスタ26	ELSELR26	R/W	—	○	—	00H
F0261H	イベント出力先選択レジスタ27	ELSELR27	R/W	—	○	—	00H
F0262H	イベント出力先選択レジスタ28	ELSELR28	R/W	—	○	—	00H
F0263H	イベント出力先選択レジスタ29	ELSELR29	R/W	—	○	—	00H
F0280H	乗算データ・レジスタA (L)	MUL32UL	R/W	—	—	○	0000H
F0281H	(符号なし乗算)						
F0282H	乗算データ・レジスタA (H)	MUL32UH	R/W	—	—	○	0000H
F0283H	(符号なし乗算)						
F0284H	乗算データ・レジスタA (L)	MUL32SL	R/W	—	—	○	0000H
F0285H	(符号あり乗算)						
F0286H	乗算データ・レジスタA (H)	MUL32SH	R/W	—	—	○	0000H
F0287H	(符号あり乗算)						
F0288H	乗算データ・レジスタA (L)	MAC32UL	R/W	—	—	○	0000H
F0289H	(符号なし積和演算)						
F028AH	乗算データ・レジスタA (H)	MAC32UH	R/W	—	—	○	0000H
F028BH	(符号なし積和演算)						
F028CH	乗算データ・レジスタA (L)	MAC32SL	R/W	—	—	○	0000H
F028DH	(符号あり積和演算)						
F028EH	乗算データ・レジスタA (H)	MAC32SH	R/W	—	—	○	0000H
F028FH	(符号あり積和演算)						
F0290H	演算結果レジスタ0	MULR0	R/W	—	—	○	0000H
F0291H							
F0292H	演算結果レジスタ1	MULR1	R/W	—	—	○	0000H
F0293H							
F0294H	演算結果レジスタ2	MULR2	R/W	—	—	○	0000H
F0295H							
F0296H	演算結果レジスタ3	MULR3	R/W	—	—	○	0000H
F0297H							
F029AH	乗算コントロール・レジスタ	MULC	R/W	○	○	—	00H
F029BH	演算結果選択レジスタ	MULRSEL	R/W	○	○	—	00H

表3-6 拡張SFR (2nd SFR) 一覧 (9/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F02A0H	タイマRJ 制御レジスタ 0	TRJCR0	R/W	-	○	-	00H
F02A1H	タイマRJ I/O 制御レジスタ 0	TRJIOC0	R/W	○	○	-	00H
F02A2H	タイマRJ モードレジスタ0	TRJMR0	R/W	○	○	-	00H
F02A3H	タイマRJ イベント端子選択レジスタ0	TRJISR0	R/W	○	○	-	00H
F02A4H	タイマRJ 制御レジスタ 1	TRJCR1	R/W	-	○	-	00H
F02A5H	タイマRJ I/O 制御レジスタ 1	TRJIOC1	R/W	○	○	-	00H
F02A6H	タイマRJ モードレジスタ 1	TRJMR1	R/W	○	○	-	00H
F02A7H	タイマRJ イベント端子選択レジスタ1	TRJISR1	R/W	○	○	-	00H
F02B0H	SMOTD コンペア・レジスタA0	SMOTDCRSA0	R/W	-	○	-	00H
F02B1H	SMOTD コンペア・レジスタB0	SMOTDCRSB0	R/W	-	○	-	00H
F02B2H	SMOTD クロック選択レジスタ0	SMOTDTCS0	R/W	-	○	-	00H
F02B3H	SMOTD コントロール・レジスタ0	SMOTDCR0	R/W	○	○	-	00H
F02B4H	SMOTD サンプリング・レベル設定レジスタ0	SMOTDSMS0	R/W	○	○	-	00H
F02B5H	SMOTD サンプリング端子状態レジスタ0	SMOTDSMD0	R	○	○	-	00H
F02B6H	SMOTD 出力制御レジスタ0	SMOTDOE0	R/W	○	○	-	00H
F02B8H	SMOTD コンペア・レジスタA1	SMOTDCRSA1	R/W	-	○	-	00H
F02B9H	SMOTD コンペア・レジスタB1	SMOTDCRSB1	R/W	-	○	-	00H
F02BAH	SMOTD クロック選択レジスタ1	SMOTDTCS1	R/W	-	○	-	00H
F02BBH	SMOTD コントロール・レジスタ1	SMOTDCR1	R/W	○	○	-	00H
F02BCH	SMOTD サンプリング・レベル設定レジスタ1	SMOTDSMS1	R/W	○	○	-	00H
F02BDH	SMOTD サンプリング端子状態レジスタ1	SMOTDSMD1	R	○	○	-	00H
F02BEH	SMOTD 出力制御レジスタ1	SMOTDOE1	R/W	○	○	-	00H
F02D0H	発振停止検出制御レジスタ	OSDC	R/W	-	-	○	0FFFH
F02D1H							
F02D8H	高速オンチップ・オシレータ・クロック周波数補正制御レジスタ	HOCOFC	R/W	-	○	-	00H
F02E0H	DTC ベース・アドレス・レジスタ	DTCBAR	R/W	-	○	-	00H
F02E5H	PLL 制御レジスタ	DSCCTL	R/W	○	○	-	00H
F02E6H	メイン・クロック制御レジスタ	MCKC	R/W	○	○	-	00H
F02E8H	DTC 起動許可レジスタ0	DTCEN0	R/W	○	○	-	00H
F02E9H	DTC 起動許可レジスタ1	DTCEN1	R/W	○	○	-	00H
F02EAH	DTC 起動許可レジスタ2	DTCEN2	R/W	○	○	-	00H
F02EBH	DTC 起動許可レジスタ3	DTCEN3	R/W	○	○	-	00H
F02ECH	DTC 起動許可レジスタ4	DTCEN4	R/W	○	○	-	00H
F02EDH	DTC 起動許可レジスタ5	DTCEN5	R/W	○	○	-	00H
F02EEH	DTC 起動許可レジスタ6	DTCEN6	R/W	○	○	-	00H
F02F0H	フラッシュ・メモリCRC 制御レジスタ	CRC0CTL	R/W	○	○	-	00H
F02F2H	フラッシュ・メモリCRC 演算結果レジスタ	PGCRCL	R/W	-	-	○	0000H
F02F3H							
F02FAH	CRC データ・レジスタ	CRCD	R/W	-	-	○	0000H
F02FBH							
F0300H	LCD ポート・ファンクション・レジスタ0	PFSEG0	R/W	○	○	-	FFH
F0301H	LCD ポート・ファンクション・レジスタ1	PFSEG1	R/W	○	○	-	FFH

表3-6 拡張SFR (2nd SFR) 一覧 (10/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0302H	LCDポート・ファンクション・レジスタ2	PFSEG2	R/W	○	○	—	FFH
F0303H	LCDポート・ファンクション・レジスタ3	PFSEG3	R/W	○	○	—	FFH
F0304H	LCDポート・ファンクション・レジスタ4	PFSEG4	R/W	○	○	—	FFH/0FH ^{注1}
F0305H	LCDポート・ファンクション・レジスタ5	PFSEG5	R/W	○	○	—	FFH/3FH ^{注2}
F0306H	LCDポート・ファンクション・レジスタ6	PFSEG6	R/W	○	○	—	03H
F0308H	LCD入力切り替え制御レジスタ	ISCLCD	R/W	○	○	—	00H
F0312H	周波数測定カウント・レジスタL	FMCRL	R	—	—	○	0000H
F0313H							
F0314H	周波数測定カウント・レジスタH	FMCRH	R	—	—	○	0000H
F0315H							
F0316H	周波数測定コントロール・レジスタ	FMCTL	R/W	○	○	—	00H
F0332H	V _{DD} 端子電圧検出制御レジスタ	LVDVDD	R/W	○	○	—	00H
F0333H	VBAT端子電圧検出制御レジスタ	LVDVBAT	R/W	○	○	—	00H
F0334H	VRTC端子電圧検出制御レジスタ	LVDVRTC	R/W	○	○	—	00H
F0335H	EXLVD端子電圧検出制御レジスタ	LVDEXLVD	R/W	○	○	—	00H
F0350H	8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTCMP00	R/W	—	○	○	FFH
F0351H	8ビット・インターバル・タイマ・コンペア・レジスタ01	TRTCMP01					
F0352H	8ビット・インターバル・タイマ制御レジスタ0	TRTCR0	R/W	○	○	—	00H
F0353H	8ビット・インターバル・タイマ分周レジスタ0	TRTMD0	R/W	—	○	—	00H
F0358H	8ビット・インターバル・タイマ・コンペア・レジスタ10	TRTCMP10	R/W	—	○	○	FFH
F0359H	8ビット・インターバル・タイマ・コンペア・レジスタ11	TRTCMP11					
F035AH	8ビット・インターバル・タイマ制御レジスタ1	TRTCR1	R/W	○	○	—	00H
F035BH	8ビット・インターバル・タイマ分周レジスタ1	TRTMD1	R/W	—	○	—	00H
F0360H	8ビット・インターバル・タイマ・コンペア・レジスタ20	TRTCMP20	R/W	—	○	○	FFH
F0361H	8ビット・インターバル・タイマ・コンペア・レジスタ21	TRTCMP22					
F0362H	8ビット・インターバル・タイマ制御レジスタ2	TRTCR2	R/W	○	○	—	00H
F0363H	8ビット・インターバル・タイマ分周レジスタ2	TRTMD2	R/W	—	○	—	00H
F0368H	8ビット・インターバル・タイマ・コンペア・レジスタ30	TRTCMP30	R/W	—	○	○	FFH
F0369H	8ビット・インターバル・タイマ・コンペア・レジスタ31	TRTCMP33					
F036AH	8ビット・インターバル・タイマ制御レジスタ3	TRTCR3	R/W	○	○	—	00H
F036BH	8ビット・インターバル・タイマ分周レジスタ3	TRTMD3	R/W	—	○	—	00H
F0380H	RTCパワーオン・リセット・ステータス・レジスタ	RTCPORSR	R/W	—	○	—	00H
F0382H	RTCICn端子 (n=0-2) 用ノイズ・フィルタ許可レジスタ	RTCICNFEN	R/W	—	○	—	00H
F0384H	サブ・クロック動作モード制御レジスタ	SCMC	R/W	—	○	—	00H ^{注3}
F0386H	サブ・クロック動作ステータス制御レジスタ	SCSC	R/W	○	○	—	40H
F03A0H	IrDAコントロール・レジスタ	IRCR	R/W	○	○	—	00H
F03B0H	温度センサ・コントロール・テスト・レジスタ	TMPCTL	R/W	○	○	—	00H

注1. 100ピン製品はFFH, 80ピン製品は0FHになります。

2. 100ピン製品はFFH, 80ピン製品は3FHになります。

3. パワーオン・リセットによるリセット時のみ初期化されます。

表3-6 拡張SFR (2nd SFR) 一覧 (11/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0400H	LCD表示データ・メモリ0	SEG0	R/W	—	○	—	00H
F0401H	LCD表示データ・メモリ1	SEG1	R/W	—	○	—	00H
F0402H	LCD表示データ・メモリ2	SEG2	R/W	—	○	—	00H
F0403H	LCD表示データ・メモリ3	SEG3	R/W	—	○	—	00H
F0404H	LCD表示データ・メモリ4	SEG4	R/W	—	○	—	00H
F0405H	LCD表示データ・メモリ5	SEG5	R/W	—	○	—	00H
F0406H	LCD表示データ・メモリ6	SEG6	R/W	—	○	—	00H
F0407H	LCD表示データ・メモリ7	SEG7	R/W	—	○	—	00H
F0408H	LCD表示データ・メモリ8	SEG8	R/W	—	○	—	00H
F0409H	LCD表示データ・メモリ9	SEG9	R/W	—	○	—	00H
F040AH	LCD表示データ・メモリ10	SEG10	R/W	—	○	—	00H
F040BH	LCD表示データ・メモリ11	SEG11	R/W	—	○	—	00H
F040CH	LCD表示データ・メモリ12	SEG12	R/W	—	○	—	00H
F040DH	LCD表示データ・メモリ13	SEG13	R/W	—	○	—	00H
F040EH	LCD表示データ・メモリ14	SEG14	R/W	—	○	—	00H
F040FH	LCD表示データ・メモリ15	SEG15	R/W	—	○	—	00H
F0410H	LCD表示データ・メモリ16	SEG16	R/W	—	○	—	00H
F0411H	LCD表示データ・メモリ17	SEG17	R/W	—	○	—	00H
F0412H	LCD表示データ・メモリ18	SEG18	R/W	—	○	—	00H
F0413H	LCD表示データ・メモリ19	SEG19	R/W	—	○	—	00H
F0414H	LCD表示データ・メモリ20	SEG20	R/W	—	○	—	00H
F0415H	LCD表示データ・メモリ21	SEG21	R/W	—	○	—	00H
F0416H	LCD表示データ・メモリ22	SEG22	R/W	—	○	—	00H
F0417H	LCD表示データ・メモリ23	SEG23	R/W	—	○	—	00H
F0418H	LCD表示データ・メモリ24	SEG24	R/W	—	○	—	00H
F0419H	LCD表示データ・メモリ25	SEG25	R/W	—	○	—	00H
F041AH	LCD表示データ・メモリ26	SEG26	R/W	—	○	—	00H
F041BH	LCD表示データ・メモリ27	SEG27	R/W	—	○	—	00H
F041CH	LCD表示データ・メモリ28	SEG28	R/W	—	○	—	00H
F041DH	LCD表示データ・メモリ29	SEG29	R/W	—	○	—	00H
F041EH	LCD表示データ・メモリ30	SEG30	R/W	—	○	—	00H
F041FH	LCD表示データ・メモリ31	SEG31	R/W	—	○	—	00H
F0420H	LCD表示データ・メモリ32	SEG32	R/W	—	○	—	00H
F0421H	LCD表示データ・メモリ33	SEG33	R/W	—	○	—	00H
F0422H	LCD表示データ・メモリ34	SEG34	R/W	—	○	—	00H
F0423H	LCD表示データ・メモリ35	SEG35	R/W	—	○	—	00H
F0424H	LCD表示データ・メモリ36	SEG36	R/W	—	○	—	00H
F0425H	LCD表示データ・メモリ37	SEG37	R/W	—	○	—	00H
F0426H	LCD表示データ・メモリ38	SEG38	R/W	—	○	—	00H
F0427H	LCD表示データ・メモリ39	SEG39	R/W	—	○	—	00H
F0428H	LCD表示データ・メモリ40	SEG40	R/W	—	○	—	00H
F0429H	LCD表示データ・メモリ41	SEG41	R/W	—	○	—	00H

表3-6 拡張SFR (2nd SFR) 一覧 (12/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0540H	8ビット・インターバル・タイマ・カウンタ・レジスタ00	TRT00	TRT0	R	—	○	○	00H
F0541H	8ビット・インターバル・タイマ・カウンタ・レジスタ01	TRT01		R	—	○		00H
F0548H	8ビット・インターバル・タイマ・カウンタ・レジスタ10	TRT10	TRT1	R	—	○	○	00H
F0549H	8ビット・インターバル・タイマ・カウンタ・レジスタ11	TRT11		R	—	○		00H
F0550H	8ビット・インターバル・タイマ・カウンタ・レジスタ20	TRT20	TRT2	R	—	○	○	00H
F0551H	8ビット・インターバル・タイマ・カウンタ・レジスタ21	TRT21		R	—	○		00H
F0558H	8ビット・インターバル・タイマ・カウンタ・レジスタ30	TRT30	TRT3	R	—	○	○	00H
F0559H	8ビット・インターバル・タイマ・カウンタ・レジスタ31	TRT31		R	—	○		00H
F0560H	タイマRJカウンタレジスタ0	TRJ0		R/W	—	—	○	FFFFH
F0561H								
F0562H	タイマRJカウンタレジスタ1	TRJ1		R/W	—	—	○	FFFFH
F0563H								
F0581H	64Hzカウンタ	R64CNT		R	—	○	—	不定
F0583H	秒カウンタ	RSECCNT		R/W	—	○	—	不定
	バイナリカウンタ0	BCNT0		R/W	—	○	—	不定
F0585H	分カウンタ	RMINCNT		R/W	—	○	—	不定
	バイナリカウンタ1	BCNT1		R/W	—	○	—	不定
F0587H	時カウンタ	RHRCNT		R/W	—	○	—	不定
	バイナリカウンタ2	BCNT2		R/W	—	○	—	不定
F0589H	曜日カウンタ	RWKCNT		R/W	—	○	—	不定
	バイナリカウンタ3	BCNT3		R/W	—	○	—	不定
F058BH	日カウンタ	RDAYCNT		R/W	—	○	—	不定
F058DH	月カウンタ	RMONCNT		R/W	—	○	—	不定
F058EH	年カウンタ	RYRCNT		R/W	—	—	○	不定
F058FH								
F0591H	秒アラーム・レジスタ0	RSECAR0		R/W	—	○	—	不定
	バイナリカウンタ0アラーム・レジスタ0	BCNT0AR0		R/W	—	○	—	不定
F0593H	分アラーム・レジスタ0	RMINAR0		R/W	—	○	—	不定
	バイナリカウンタ1アラーム・レジスタ0	BCNT1AR0		R/W	—	○	—	不定
F0595H	時アラーム・レジスタ0	RHRAR0		R/W	—	○	—	不定
	バイナリカウンタ2アラーム・レジスタ0	BCNT2AR0		R/W	—	○	—	不定
F0597H	曜日アラーム・レジスタ0	RWKAR0		R/W	—	○	—	不定
	バイナリカウンタ3アラーム・レジスタ0	BCNT3AR0		R/W	—	○	—	不定
F0599H	日アラーム・レジスタ0	RDAYAR0		R/W	—	○	—	不定
	バイナリカウンタ0アラーム許可レジスタ0	BCNT0AER0		R/W	—	○	—	不定
F059BH	月アラーム・レジスタ0	RMONAR0		R/W	—	○	—	不定
	バイナリカウンタ1アラーム許可レジスタ0	BCNT1AER0		R/W	—	○	—	不定

表3-6 拡張SFR (2nd SFR) 一覧 (13/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F059CH	年アラーム・レジスタ0	RYRAR0	R/W	—	—	○	不定
	バイナリカウンタ2アラーム許可レジスタ0	BCNT2AER0	R/W	—	—	○	不定
F059FH	年アラーム許可レジスタ0	RYRAREN0	R/W	—	○	—	不定
	バイナリカウンタ3アラーム許可レジスタ0	BCNT3AER0	R/W	—	○	—	不定
F05A1H	RTCステータス・レジスタ	RSR	R/W	—	○	—	不定
F05A3H	RTCコントロール・レジスタ1	RCR1	R/W	—	○	—	不定
F05A5H	RTCコントロール・レジスタ2	RCR2	R/W	—	○	—	不定
F05A7H	RTCコントロール・レジスタ3	RCR3	R/W	—	○	—	不定
F05A9H	RTCコントロール・レジスタ4	RCR4	R/W	—	○	—	不定
F05AFH	時間誤差補正レジスタ	RADJ	R/W	—	○	—	不定
F05B1H	秒アラーム・レジスタ1	RSECAR1	R/W	—	○	—	不定
	バイナリカウンタ0アラーム・レジスタ1	BCNT0AR1	R/W	—	○	—	不定
F05B3H	分アラーム・レジスタ1	RMINAR1	R/W	—	○	—	不定
	バイナリカウンタ1アラーム・レジスタ1	BCNT1AR1	R/W	—	○	—	不定
F05B5H	時アラーム・レジスタ1	RHRAR1	R/W	—	○	—	不定
	バイナリカウンタ2アラーム・レジスタ1	BCNT2AR1	R/W	—	○	—	不定
F05B7H	曜日アラーム・レジスタ1	RWKAR1	R/W	—	○	—	不定
	バイナリカウンタ3アラーム・レジスタ1	BCNT3AR1	R/W	—	○	—	不定
F05B9H	日アラーム・レジスタ1	RDAYAR1	R/W	—	○	—	不定
	バイナリカウンタ0アラーム許可レジスタ1	BCNT0AER1	R/W	—	○	—	不定
F05BBH	月アラーム・レジスタ1	RMONAR1	R/W	—	○	—	不定
	バイナリカウンタ1アラーム許可レジスタ1	BCNT1AER1	R/W	—	○	—	不定
F05BCH	年アラーム・レジスタ1	RYRAR1	R/W	—	—	○	不定
	バイナリカウンタ2アラーム許可レジスタ1	BCNT2AER1	R/W	—	—	○	不定
F05BFH	年アラーム許可レジスタ1	RYRAREN1	R/W	—	○	—	不定
	バイナリカウンタ3アラーム許可レジスタ1	BCNT3AER1	R/W	—	○	—	不定
F05C1H	時間キャプチャ制御レジスタ0	RTCCR0	R/W	—	○	—	不定
F05C3H	時間キャプチャ制御レジスタ1	RTCCR1	R/W	—	○	—	不定
F05C5H	時間キャプチャ制御レジスタ2	RTCCR2	R/W	—	○	—	不定
F05D3H	秒キャプチャ・レジスタ0	RSECCP0	R	—	○	—	不定
	BCNT0キャプチャ・レジスタ0	BCNT0CP0	R	—	○	—	不定
F05D5H	分キャプチャ・レジスタ0	RMINCP0	R	—	○	—	不定
	BCNT1キャプチャ・レジスタ0	BCNT1CP0	R	—	○	—	不定
F05D7H	時キャプチャ・レジスタ0	RHRCP0	R	—	○	—	不定
	BCNT2キャプチャ・レジスタ0	BCNT2CP0	R	—	○	—	不定
F05DBH	日キャプチャ・レジスタ0	RDAYCP0	R	—	○	—	不定
	BCNT3キャプチャ・レジスタ0	BCNT3CP0	R	—	○	—	不定

表3-6 拡張SFR (2nd SFR) 一覧 (14/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F05DDH	月キャプチャ・レジスタ0	RMONCP0	R	—	○	—	不定
F05E3H	秒キャプチャ・レジスタ1	RSECCP1	R	—	○	—	不定
	BCNT0キャプチャ・レジスタ1	BCNT0CP1	R	—	○	—	不定
F05E5H	分キャプチャ・レジスタ1	RMINCP1	R	—	○	—	不定
	BCNT1キャプチャ・レジスタ1	BCNT1CP1	R	—	○	—	不定
F05E7H	時キャプチャ・レジスタ1	RHRCP1	R	—	○	—	不定
	BCNT2キャプチャ・レジスタ1	BCNT2CP1	R	—	○	—	不定
F05EBH	日キャプチャ・レジスタ1	RDAYCP1	R	—	○	—	不定
	BCNT3キャプチャ・レジスタ1	BCNT3CP1	R	—	○	—	不定
F05EDH	月キャプチャ・レジスタ1	RMONCP1	R	—	○	—	不定
F05F3H	秒キャプチャ・レジスタ2	RSECCP2	R	—	○	—	不定
	BCNT0キャプチャ・レジスタ2	BCNT0CP2	R	—	○	—	不定
F05F5H	分キャプチャ・レジスタ2	RMINCP2	R	—	○	—	不定
	BCNT1キャプチャ・レジスタ2	BCNT1CP2	R	—	○	—	不定
F05F7H	時キャプチャ・レジスタ2	RHRCP2	R	—	○	—	不定
	BCNT2キャプチャ・レジスタ2	BCNT2CP2	R	—	○	—	不定
F05FBH	日キャプチャ・レジスタ2	RDAYCP2	R	—	○	—	不定
	BCNT3キャプチャ・レジスタ2	BCNT3CP2	R	—	○	—	不定
F05FDH	月キャプチャ・レジスタ2	RMONCP2	R	—	○	—	不定
F0600H	A/Dコントロールレジスタ	ADCSR	R/W	—	—	○	0000H
F0601H							
F0604H	A/Dチャンネル選択レジスタA0	ADANSA0	R/W	—	—	○	0000H
F0605H							
F0608H	A/D変換値加算／平均機能チャンネル選択 レジスタ0	ADADS0	R/W	—	—	○	0000H
F0609H							
F060CH	A/D変換値加算／平均回数選択レジスタ	ADADC	R/W	○	○	—	00H
F060EH	A/Dコントロール拡張レジスタ	ADCER	R/W	—	—	○	0000H
F061EH							
F0610H	A/D変換開始トリガ選択レジスタ	ADSTRGR	R/W	—	—	○	0000H
F0611H							
F0612H	A/D変換拡張入力コントロールレジスタ	ADEXICR	R/W	—	—	○	0000H
F0613H							
F061AH	A/D温度センサデータレジスタ	ADTSDR	R	—	—	○	0000H
F061BH							
F061CH	A/D内部基準電圧データレジスタ	ADOCDR	R	—	—	○	0000H
F061DH							
F061EH	A/D自己診断データレジスタ	ADRD	R	—	—	○	0000H
F061FH							

表3-6 拡張SFR (2nd SFR) 一覧 (15/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0620H	A/Dデータレジスタ0	ADDR0	R	—	—	○	0000H
F0621H							
F0622H	A/Dデータレジスタ1	ADDR1	R	—	—	○	0000H
F0623H							
F0624H	A/Dデータレジスタ2	ADDR2	R	—	—	○	0000H
F0625H							
F0626H	A/Dデータレジスタ3	ADDR3	R	—	—	○	0000H
F0627H							
F0628H	A/Dデータレジスタ4	ADDR4	R	—	—	○	0000H
F0629H							
F062AH	A/Dデータレジスタ5	ADDR5	R	—	—	○	0000H
F062BH							
F0666H	A/D S&H コントロールレジスタ	ADSHCR	R/W	—	—	○	001AH
F0667H							
F068AH	A/D高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	R/W	○	○	—	00H
F06DEH	A/DサンプリングステートレジスタT	ADSSTRT	R/W	—	○	—	00DH
F06DFH	A/DサンプリングステートレジスタO	ADSSTRO	R/W	—	○	—	00DH
F06E0H	A/Dサンプリングステートレジスタ0	ADSSTR0	R/W	—	○	—	00DH
F06E1H	A/Dサンプリングステートレジスタ1	ADSSTR1	R/W	—	○	—	00DH
F06E2H	A/Dサンプリングステートレジスタ2	ADSSTR2	R/W	—	○	—	00DH
F06E3H	A/Dサンプリングステートレジスタ3	ADSSTR3	R/W	—	○	—	00DH
F06E4H	A/Dサンプリングステートレジスタ4	ADSSTR4	R/W	—	○	—	00DH
F06E5H	A/Dサンプリングステートレジスタ5	ADSSTR5	R/W	—	○	—	00DH
F0740H	ΔΣA/Dコンバータ・モード・レジスタ	DSADMR	R/W	—	—	○	0000H
F0741H							
F0742H	ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ0	DSADGCR0	R/W	—	○	—	00H
F0743H	ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ1	DSADGCR1	R/W	—	○	—	00H
F0745H	ΔΣA/DコンバータHPFコントロール・レジスタ	DSADHPFCR	R/W	—	○	—	00H
F0746H	ΔΣA/Dコンバータ・デシメーション・フィルタ・コントロール・レジスタ	DSADDECCR	R/W	○	○	—	00H
F0750H	ΔΣA/Dコンバータ位相コントロール・レジスタ0	DSADPHCR0	R/W	—	—	○	0000H
F0751H							
F0752H	ΔΣA/Dコンバータ位相コントロール・レジスタ1	DSADPHCR1	R/W	—	—	○	0000H
F0753H							
F0754H	ΔΣA/Dコンバータ位相コントロール・レジスタ2	DSADPHCR2	R/W	—	—	○	0000H
F0755H							
F0756H	ΔΣA/Dコンバータ位相コントロール・レジスタ3	DSADPHCR3	R/W	—	—	○	0000H
F0757H				注			

注 100ピン製品のみ搭載し、80ピン製品は非搭載です。

表3-6 拡張SFR (2nd SFR) 一覧 (16/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0760H	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0L	DSADCR0L	DSADCR0	R	—	○	○	00H
F0761H	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0M	DSADCR0M		R	—	○		00H
F0762H	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0H	DSADCR0H		R	—	○	—	00H
F0764H	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1L	DSADCR1L	DSADCR1	R	—	○	○	00H
F0765H	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1M	DSADCR1M		R	—	○		00H
F0766H	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1H	DSADCR1H		R	—	○	—	00H
F0768H	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2L	DSADCR2L	DSADCR2	R	—	○	○	00H
F0769H	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2M	DSADCR2M		R	—	○		00H
F076AH	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2H	DSADCR2H		R	—	○	—	00H
F076CH	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3L 注	DSADCR3L	DSADCR3	R	—	○	○	00H
F076DH	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3M 注	DSADCR3M		R	—	○		00H
F076EH	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3H 注	DSADCR3H		R	—	○	—	00H
F0770H	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ0L	DSADCRLPF0L	DSADCRLPF0	R	—	○	○	00H
F0771H	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ0M	DSADCRLPF0M		R	—	○		00H
F0772H	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ0H	DSADCRLPF0H		R	—	○	—	00H
F0774H	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ1L	DSADCRLPF1L	DSADCRLPF1	R	—	○	○	00H
F0775H	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ1M	DSADCRLPF1M		R	—	○		00H
F0776H	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ1H	DSADCRLPF1H		R	—	○	—	00H
F0778H	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ2L	DSADCRLPF2L	DSADCRLPF2	R	—	○	○	00H
F0779H	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ2M	DSADCRLPF2M		R	—	○		00H
F077AH	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ2H	DSADCRLPF2H		R	—	○	—	00H
F077CH	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ3L ^注	DSADCRLPF3L	DSADCRLPF3	R	—	○	○	00H
F077DH	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ3M ^注	DSADCRLPF3M		R	—	○		00H
F077EH	$\Delta\Sigma$ A/Dコンバータ変換結果(LPF) レジスタ3H ^注	DSADCRLPF3H		R	—	○	—	00H

注 100ピン製品のみ搭載し、80ピン製品は非搭載です。

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

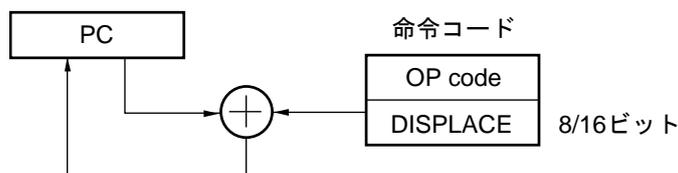
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレイメント値 (符号付きの補数データ: $-128 \sim +127$ または $-32768 \sim +32767$) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-11 レラティブ・アドレッシングの概略



3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-12 CALL !!addr20/BR !!addr20の例

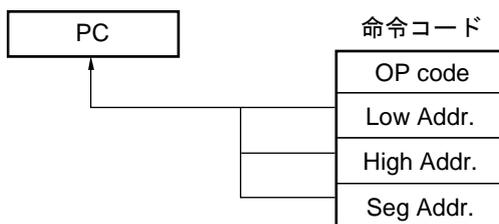
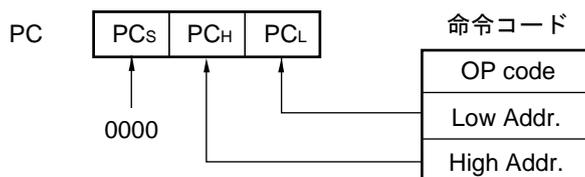


図3-13 CALL !addr16/BR !addr16の例



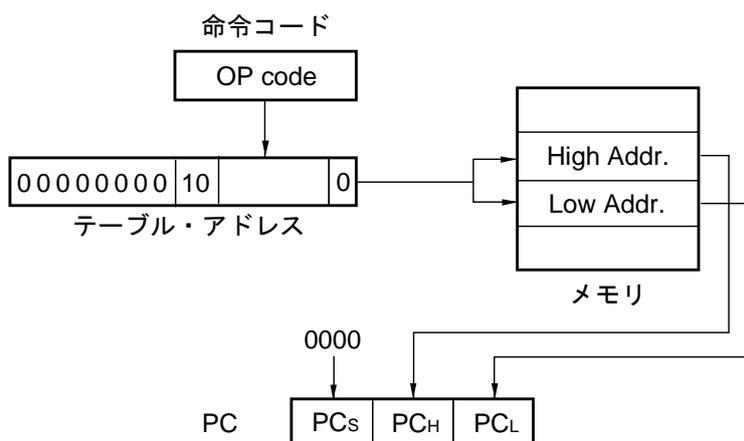
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3-14 テーブル・インダイレクト・アドレッシングの概略

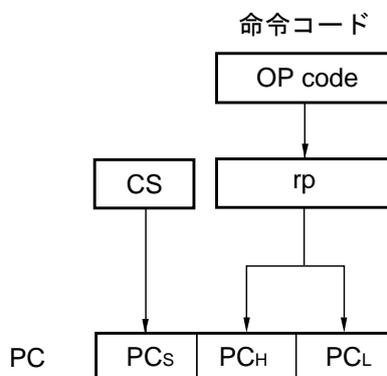


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3-15 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

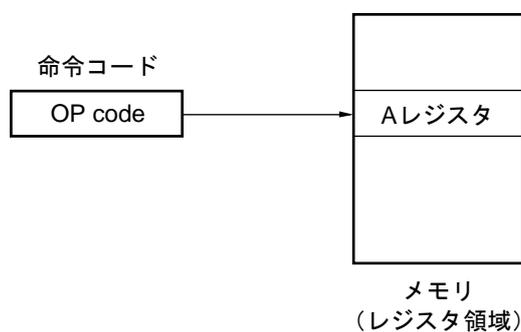
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-16 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

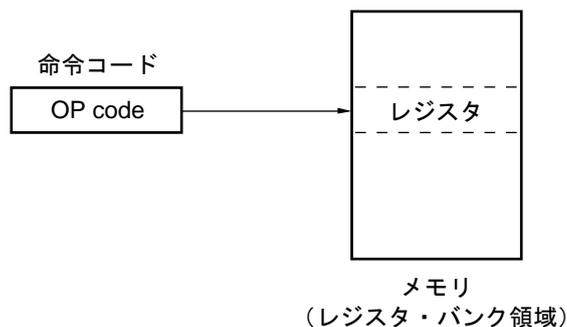
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-17 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3-18 !addr16の例

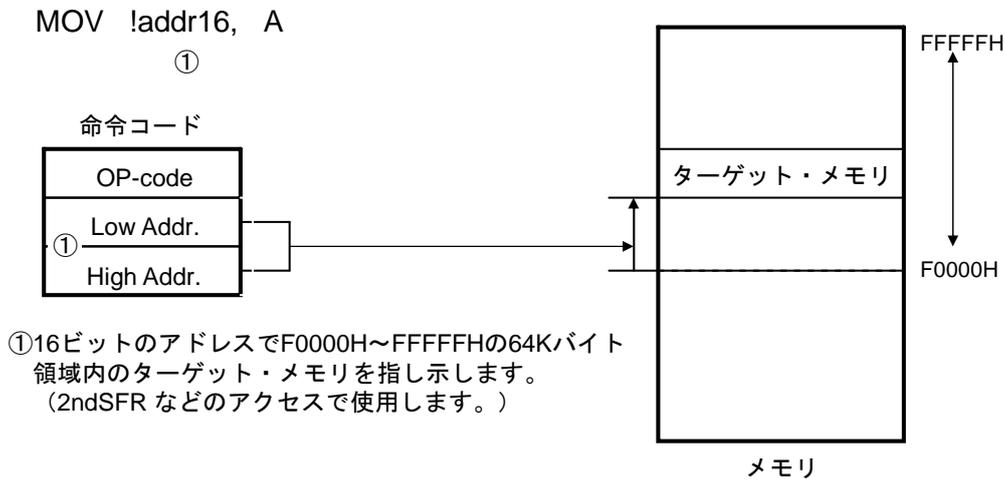
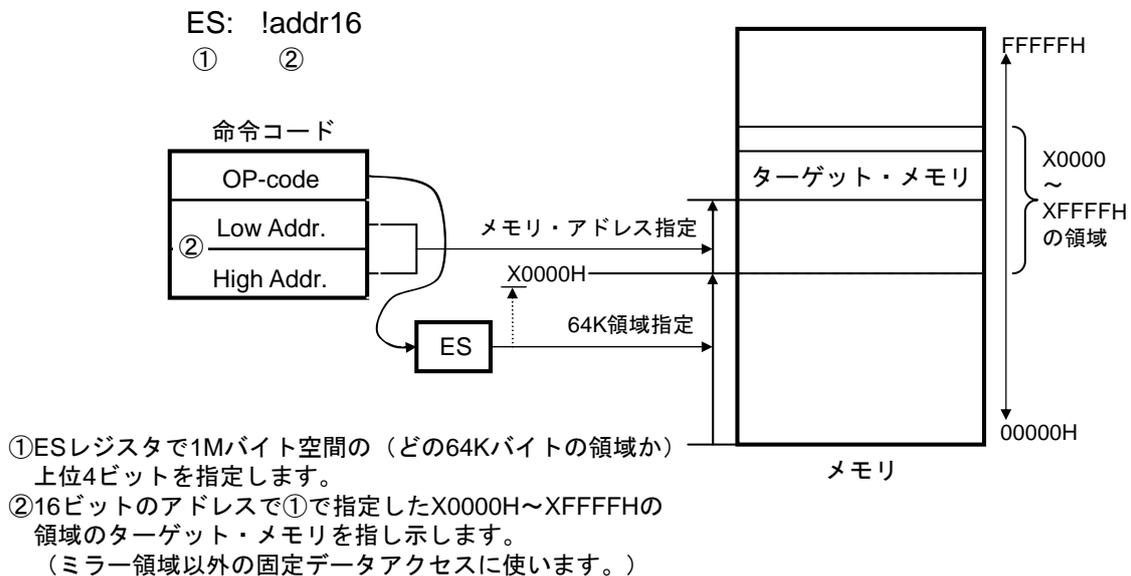


図3-19 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

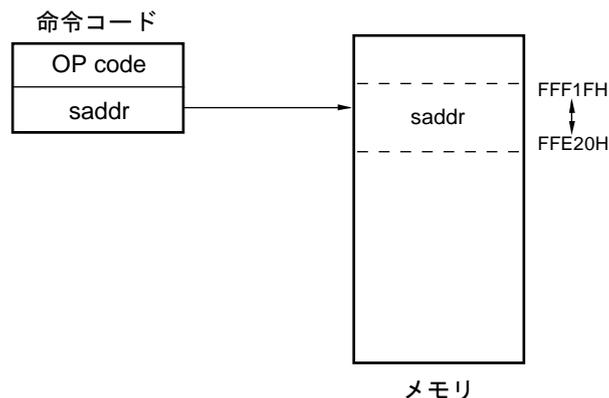
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-20 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

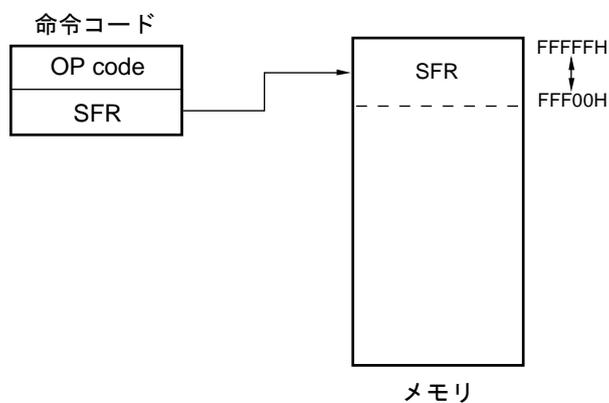
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3-21 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H~FFFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3-22 [DE], [HL]の例

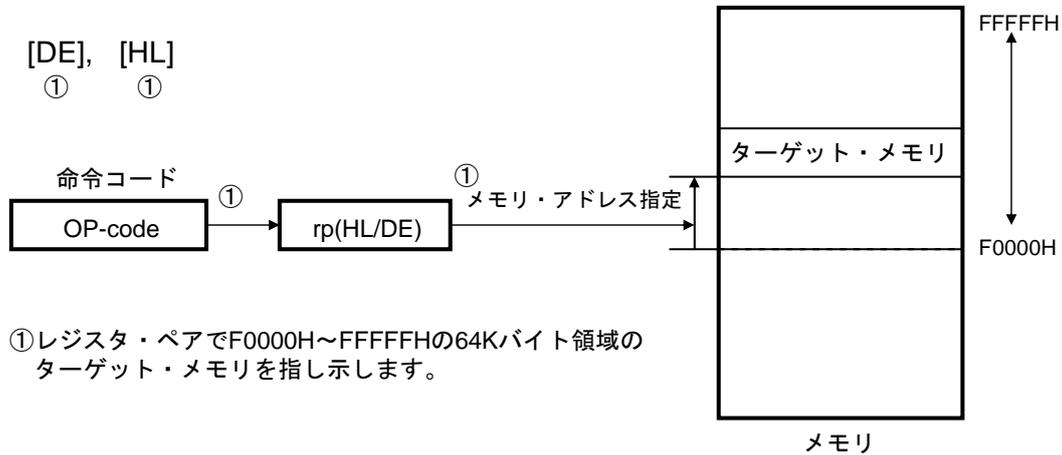
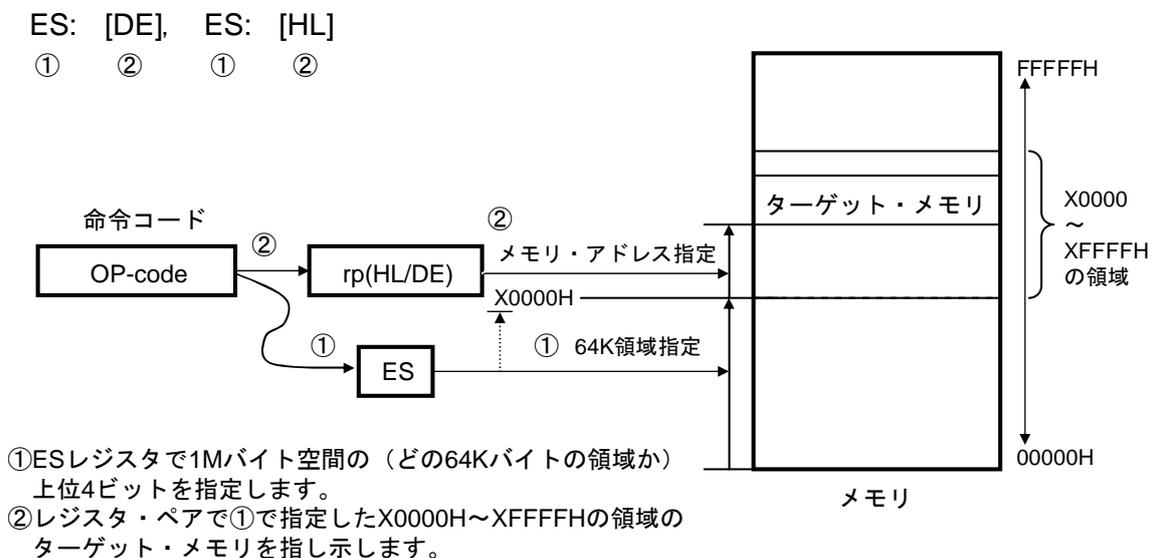


図3-23 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3-24 [SP+byte]の例

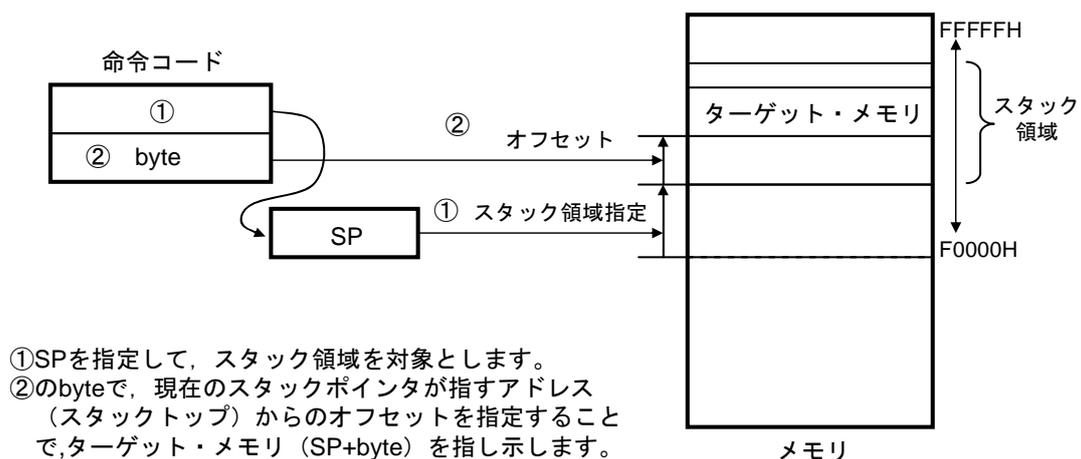


図3-25 [HL+byte], [DE+byte]の例

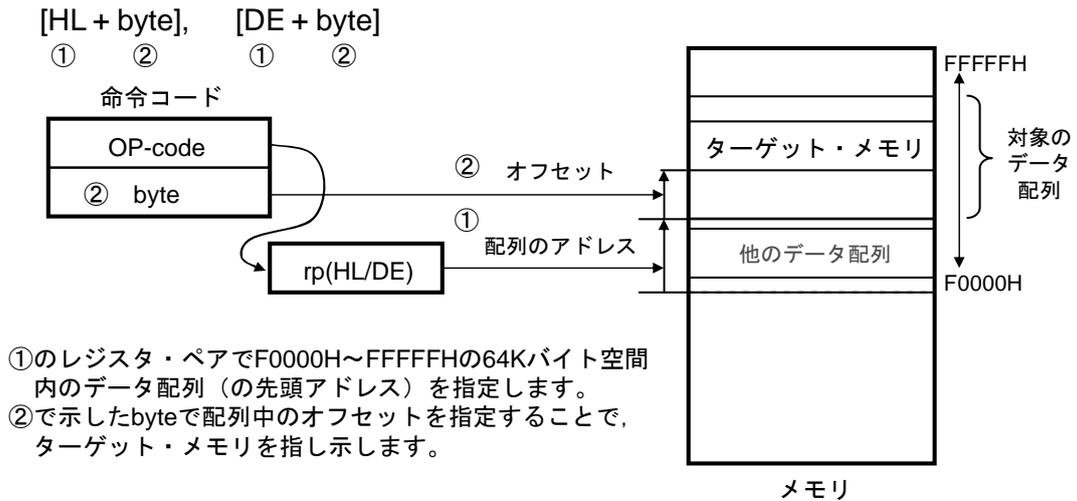


図3-26 word[B], word[C]の例

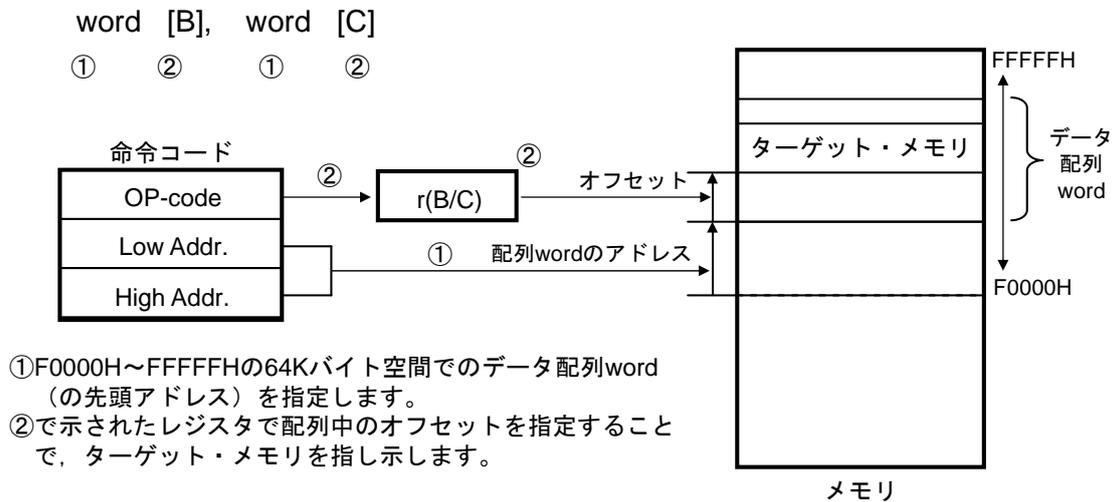


図3-27 word[BC]の例

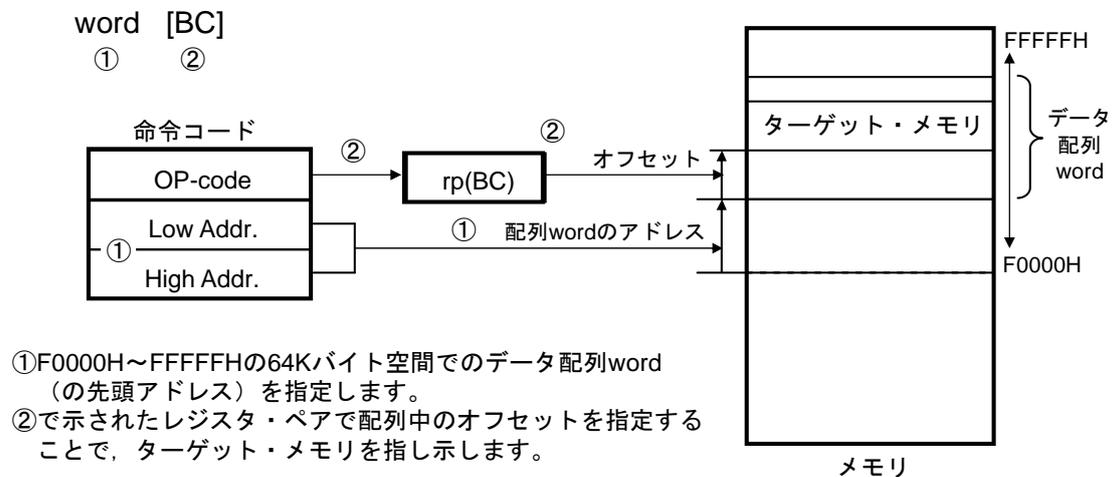


図3-28 ES:[HL+byte], ES:[DE+byte]の例

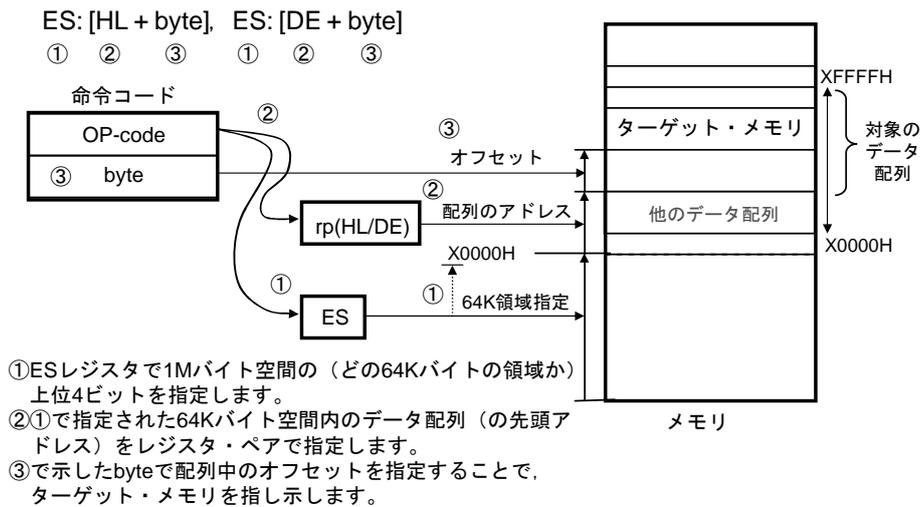


図3-29 ES:word[B], ES:word[C]の例

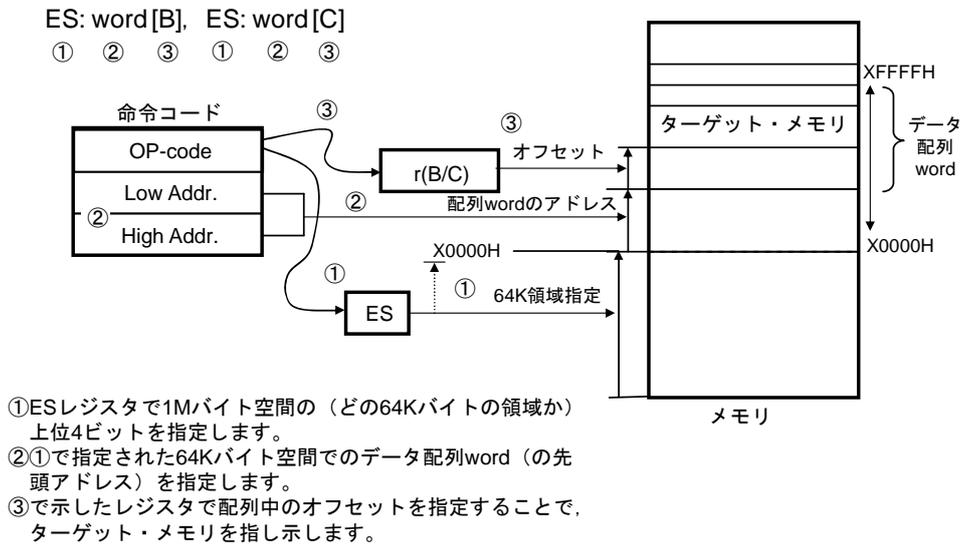
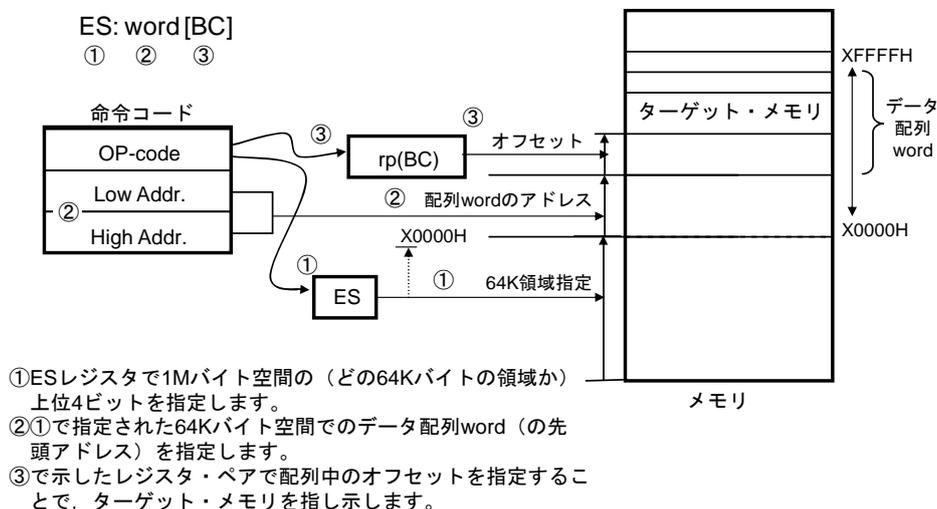


図3-30 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C] (F0000H~FFFFFH空間のみ指定可能)
—	ES:[HL+B], ES:[HL+C] (ESレジスタにて上位4ビット・アドレス指定)

図3-31 [HL+B], [HL+C]の例

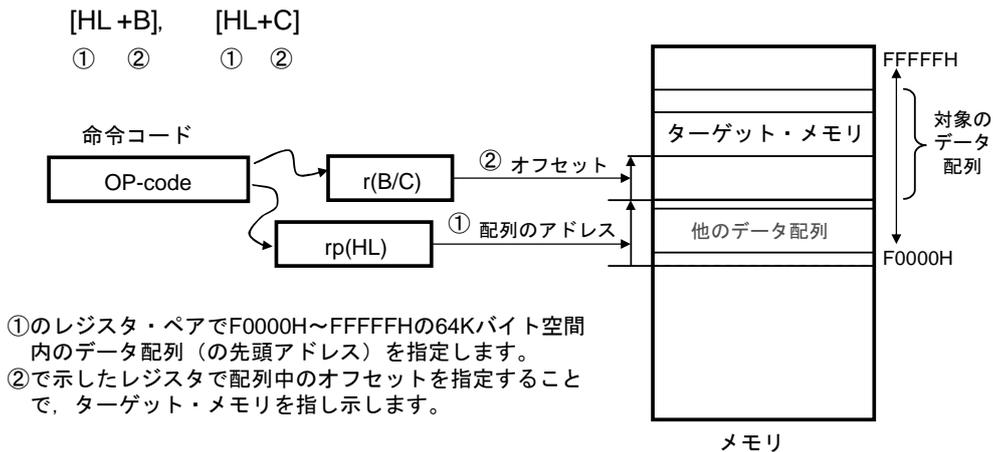
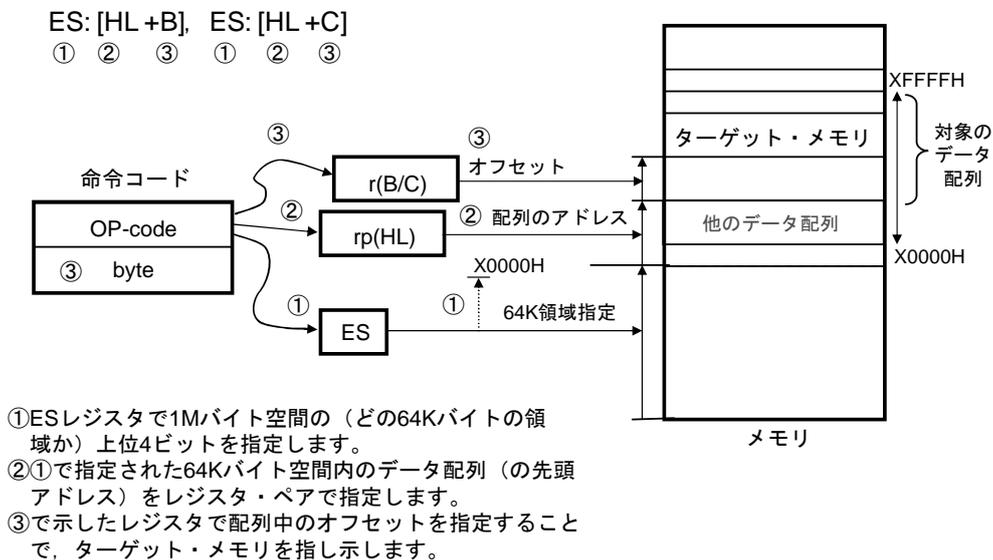


図3-32 ES:[HL+B], ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【オペランド形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避/復帰されるデータは図3-33~図3-38のようになります。

図3-33 PUSH rpの例

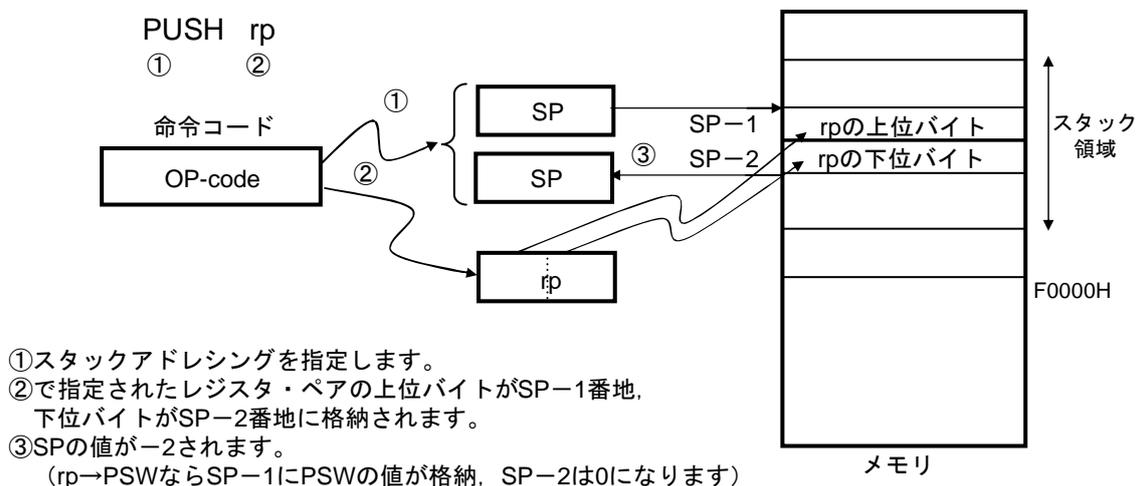


図3-34 POPの例

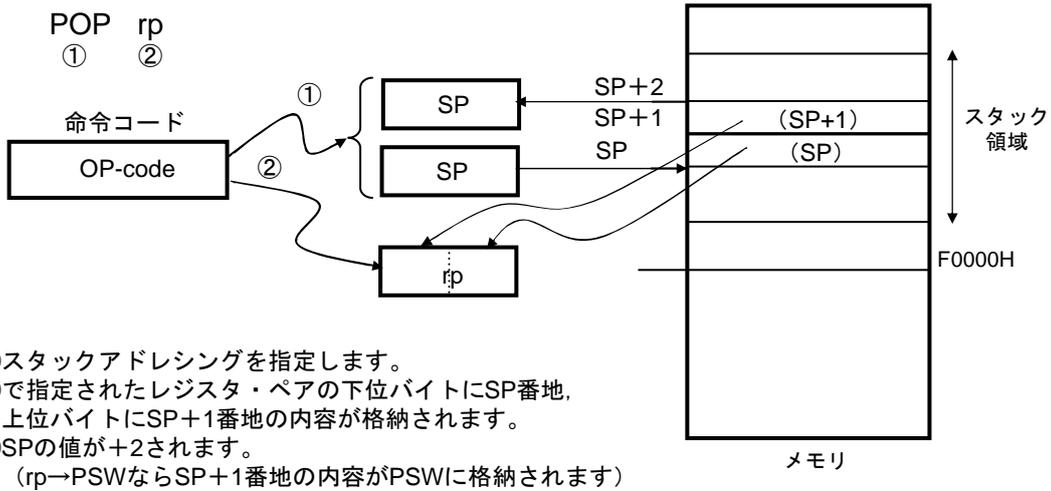


図3-35 CALL, CALLTの例

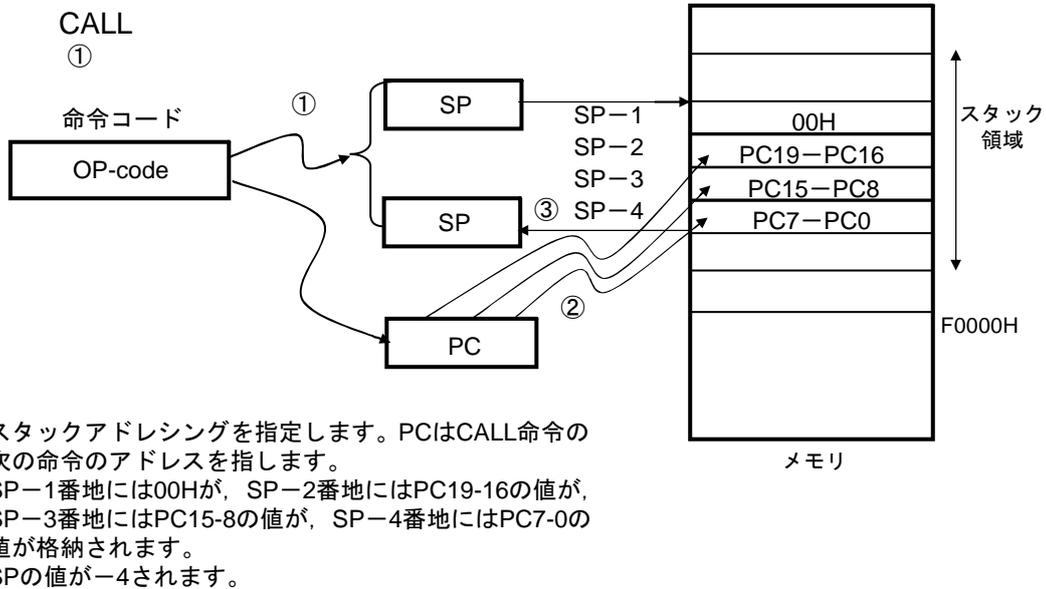


図3-36 RETの例

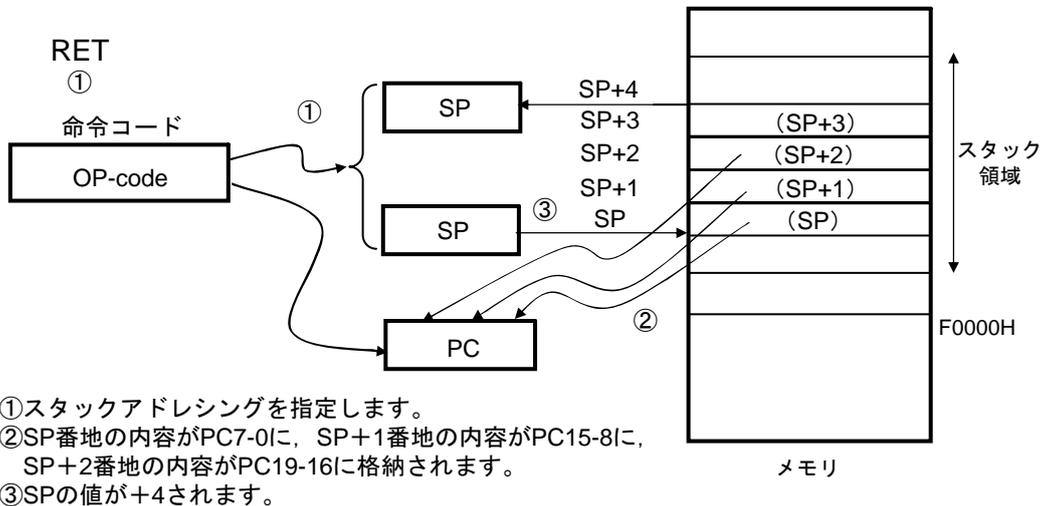
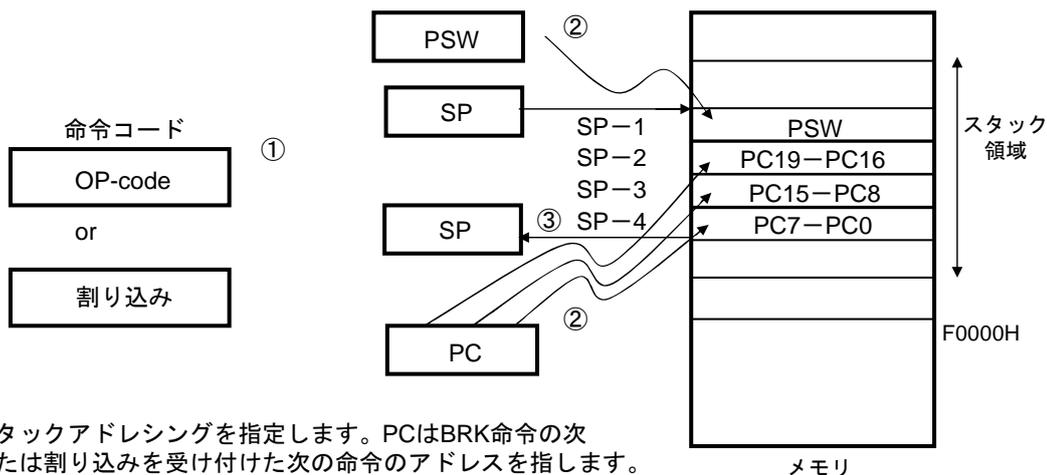
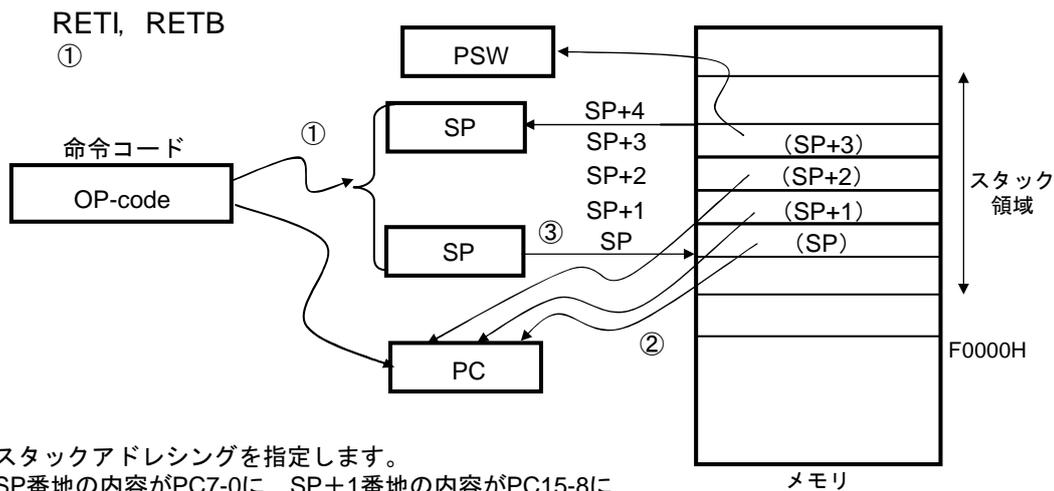


図3-37 割り込み、BRKの例



- ①スタックアドレッシングを指定します。PCはBRK命令の次
または割り込みを受け付けた次の命令のアドレスを指します。
- ②SP-1番地にはPSWの値が、SP-2番地にはPC19-16の値が、
SP-3番地にはPC15-8の値が、SP-4番地にはPC7-0の値が
格納されます。
- ③SPの値が-4されます。

図3-38 RETI, RETBの例



- ①スタックアドレッシングを指定します。
- ②SP番地の内容がPC7-0に、SP+1番地の内容がPC15-8に、
SP+2番地の内容がPC19-16に、SP+3番地の内容がPSW
格納されます。
- ③SPの値が+4されます。

第4章 ポート機能

4.1 ポートの機能

RL78/I1C (512 KB) は、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM9, PM12, PM15) ポート・レジスタ (P0-P9, P12, P13, P15) ブルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU8, PU9, PU12) ポート入力モード・レジスタ (PIM0, PIM1, PIM4, PIM5, PIM8) ポート出力モード・レジスタ (POM0, POM1, POM5, POM8) ポート・モード・コントロール・レジスタ (PMC2) 周辺I/Oリダイレクション・レジスタ (PIOR0) LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG6) LCD入力切り替え制御レジスタ (ISCLCD)
ポート	<ul style="list-style-type: none"> ・ 80ピン製品 : 合計 : 60本 (CMOS入出力 : 48本 (N-chオープン・ドレイン入出力[EV_{DD}耐圧] : 13本) , CMOS 入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 6本) ・ 100ピン製品 : 合計 : 76本 (CMOS入出力 : 64本 (N-chオープン・ドレイン入出力[EV_{DD}耐圧] : 18本) , CMOS 入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 6本)
ブルアップ抵抗	<ul style="list-style-type: none"> ・ 80ピン製品 : 合計 : 45本 ・ 100ピン製品 : 合計 : 59本

4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード／出力モードの指定ができます。P02-P07端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P02, P03, P05, P06端子の入力は、ポート入力モード・レジスタ0 (PIM0) の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P02-P07端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でN-chオープン・ドレイン出力 (EV_{DD}耐圧) に設定可能です。

また、兼用機能としてプログラミングUARTの送受信、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、外部割り込み要求入力があります。80ピン製品はLCDコントローラ／ドライバのセグメント出力、サンプリング出力があります。

リセット信号の発生により、入力モードになります。80ピン製品はP02-P07端子はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P15, P16端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P15-P17端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (EV_{DD}耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能として12ビットA/Dコンバータのアナログ入力, 12ビットA/Dコンバータの+側基準電圧入力, 12ビットA/Dコンバータの-側基準電圧入力, 12ビットA/Dコンバータのボルテージ・リファレンス電圧出力, 外部低電圧検出用電位入力があります。

P20/ANI3-P25/ANI2端子をデジタル入出力ポートとして使用する場合は、ポート・モード・コントロール・レジスタ2 (PMC2) で“デジタル入出力”を設定してください。

P20/ANI3-P25/ANI2端子をアナログ入力として使用する場合は、ポート・モード・コントロール・レジスタ2 (PMC2) で“アナログ入力”に、かつPM2レジスタで入力モードに設定してください。

リセット信号の発生により、アナログ入力になります。

4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード／出力モードの指定ができます。P30-P37端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてクロック出力／ブザー出力, タイマの入出力, LCDコントローラ／ドライバのセグメント出力があります。80ピン製品はサンプリング入力, サンプリング出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力, デジタル入力, LCD出力のいずれも無効な状態を示します。

4.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード／出力モードの指定ができます。P40, P42, P43端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P42, P43端子の入力は、ポート入力モード・レジスタ4 (PIM4) の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

また、兼用機能として外部割り込み要求入力、クロック出力／ブザー出力、タイマ入出力、フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力、リアルタイム・クロックの補正クロック出力があります。

リセット信号の発生により、入力モードになります。

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P52, P53, P55, P57端子の入力は、ポート入力モード・レジスタ5 (PIM5) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P51, P54, P56, P57端子の出力は、ポート出力モード・レジスタ5 (POM5) により1ビット単位でN-chオープン・ドレイン出力 (EV_{DD}耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、IrDA用送受信、LCDコントローラ／ドライバのセグメント出力、サンプリング出力、外部割り込み要求入力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61, P62端子の出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力があります。80ピン製品は外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード／出力モードの指定ができます。P70-P77端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力、キー割り込み入力、外部割り込み要求入力があります。80ピン製品はサンプリング入力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.9 ポート8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード／出力モードの指定ができます。P80-P85端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ8 (PU8) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P80, P81, P84端子の入力は、ポート入力モード・レジスタ8 (PIM8) の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P80-P82, P84-P85端子の出力は、ポート出力モード・レジスタ8 (POM8) により1ビット単位でN-chオープン・ドレイン出力 (EV_{DD}耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、LCDコントローラ／ドライバのセグメント出力、サンプリング入力、タイマ入出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.10 ポート9

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ9 (PM9) により1ビット単位で入力モード／出力モードの指定ができます。P90-P97端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ9 (PU9) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力、サンプリング入力、サンプリング出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.11 ポート12

P125-P127は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード／出力モードの指定ができます。P125-P127端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力専用ポートです。

また兼用機能としてメイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、LCDコントローラ／ドライバ用コンデンサ接続、LCD駆動用電圧端子、外部割り込み要求入力、タイマの入出力があります。

リセット信号の発生により、P121-P124が入力モードになります。P125-P127がデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.12 ポート13

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード、P137は入力モードに固定されています。

また、兼用機能として外部割り込み要求入力があります。80ピン製品はクロック出力／ブザー出力、サンプリング出力があります。

4.2.13 ポート15

P150-P152は出カラッチ付き入出力ポートです。ポート・モード・レジスタ15 (PM15) により1ビット単位で入力モード/出力モードの指定ができます。

★ P150-152端子の出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

また、兼用機能としてRTC時間キャプチャ入力、リアルタイム・クロックの補正クロック出力、外部割り込み要求入力があります。

★ リセット信号の発生により、P150-P152は入力モードとなります。

★

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート入力モード・レジスタ (PIMx)
- ・ポート出力モード・レジスタ (POMx)
- ・ポート・モード・コントロール・レジスタ (PMCx)
- ・周辺I/Oリダイレクション・レジスタ (PIOR0)
- ・LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG6)
- ・LCD入力切り替え制御レジスタ (ISCLCD)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-2~表4-4を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビット

ポート		ビット名					80 ピン	100 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ		
ポート0	0	—	—	—	—	—	—	—
	1	—	—	—	—	—	—	—
	2	PM02	P02	PU02	PIM02	POM02	○	○
	3	PM03	P03	PU03	PIM03	POM03	○	○
	4	PM04	P04	PU04	—	POM04	○	○
	5	PM05	P05	PU05	PIM05	POM05	○	○
	6	PM06	P06	PU06	PIM06	POM06	○	○
	7	PM07	P07	PU07	—	POM07	○	○
ポート1	0	PM10	P10	PU10	—	—	○	○
	1	PM11	P11	PU11	—	—	○	○
	2	PM12	P12	PU12	—	—	○	○
	3	PM13	P13	PU13	—	—	○	○
	4	PM14	P14	PU14	—	—	○	○
	5	PM15	P15	PU15	PIM15	POM15	○	○
	6	PM16	P16	PU16	PIM16	POM16	○	○
	7	PM17	P17	PU17	—	POM17	○	○

表4-3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット

ポート		ビット名					80 ピン	100 ピン	
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ			PMCxx レジスタ
ポート2	0	PM20	P20	—	—	—	PMC20	○	○
	1	PM21	P21	—	—	—	PMC21	○	○
	2	PM22	P22	—	—	—	PMC22	○	○
	3	PM23	P23	—	—	—	PMC23	○	○
	4	PM24	P24	—	—	—	PMC24	—	○
	5	PM25	P25	—	—	—	PMC25	—	○
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—

表4-4 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビット (1/2)

ポート		ビット名					80 ピン	100 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ		
ポート3	0	PM30	P30	PU30	—	—	○	○
	1	PM31	P31	PU31	—	—	○	○
	2	PM32	P32	PU32	—	—	○	○
	3	PM33	P33	PU33	—	—	○	○
	4	PM34	P34	PU34	—	—	—	○
	5	PM35	P35	PU35	—	—	—	○
	6	PM36	P36	PU36	—	—	—	○
	7	PM37	P37	PU37	—	—	—	○
ポート4	0	PM40	P40	PU40	—	—	○	○
	1	—	—	—	—	—	—	—
	2	PM42	P42	PU42	PIM42	—	—	○
	3	PM43	P43	PU43	PIM43	—	—	○
	4	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—
ポート5	0	PM50	P50	PU50	—	—	—	○
	1	PM51	P51	PU51	—	POM51	—	○
	2	PM52	P52	PU52	PIM52	—	—	○
	3	PM53	P53	PU53	PIM53	—	—	○
	4	PM54	P54	PU54	—	POM54	—	○
	5	PM55	P55	PU55	PIM55	—	○	○
	6	PM56	P56	PU56	—	POM56	○	○
	7	PM57	P57	PU57	PIM57	POM57	—	○
ポート6	0	PM60	P60	—	—	—	○	○
	1	PM61	P61	—	—	—	○	○
	2	PM62	P62	—	—	—	○	○
	3	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—
ポート7	0	PM70	P70	PU70	—	—	○	○
	1	PM71	P71	PU71	—	—	○	○
	2	PM72	P72	PU72	—	—	○	○
	3	PM73	P73	PU73	—	—	○	○
	4	PM74	P74	PU74	—	—	○	○
	5	PM75	P75	PU75	—	—	○	○
	6	PM76	P76	PU76	—	—	○	○
	7	PM77	P77	PU77	—	—	○	○

表4-4 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビット (2/2)

ポート		ビット名					80 ピン	100 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ		
ポート8	0	PM80	P80	PU80	PIM80	POM80	○	○
	1	PM81	P81	PU81	PIM81	POM81	○	○
	2	PM82	P82	PU82	—	POM82	○	○
	3	PM83	P83	PU83	—	—	○	○
	4	PM84	P84	PU84	PIM84	POM84	—	○
	5	PM85	P85	PU85	—	POM85	—	○
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—
ポート9	0	PM90	P90	PU90	—	—	○	○
	1	PM91	P91	PU91	—	—	○	○
	2	PM92	P92	PU92	—	—	○	○
	3	PM93	P93	PU93	—	—	○	○
	4	PM94	P94	PU94	—	—	○	○
	5	PM95	P95	PU95	—	—	○	○
	6	PM96	P96	PU96	—	—	○	○
	7	PM97	P97	PU97	—	—	○	○
ポート12	0	—	—	—	—	—	—	—
	1	—	P121	—	—	—	○	○
	2	—	P122	—	—	—	○	○
	3	—	P123	—	—	—	○	○
	4	—	P124	—	—	—	○	○
	5	PM125	P125	PU125	—	—	○	○
	6	PM126	P126	PU126	—	—	○	○
	7	PM127	P127	PU127	—	—	○	○
ポート13	0	—	P130	—	—	—	○	○
	1	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	P137	—	—	—	○	○
ポート15	0	PM150	P150	—	—	—	○	○
	1	PM151	P151	—	—	—	○	○
	2	PM152	P152	—	—	—	○	○
	3	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、**4.5 兼用機能使用時のレジスタの設定**を参照し、設定してください。

図4-1 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	1	1	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	1	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FFF29H	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	1	FFF2CH	FFH	R/W
PM15	1	1	1	1	1	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-9, 12, 15 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラッチの値が読み出されます^注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P20-P25を12ビットA/Dコンバータのアナログ入力機能として設定した場合、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	0	0	FFF00H	00H (出カラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出カラッチ)	R/W
P2	0	0	P25	P24	P23	P22	P21	P20	FFF02H	00H (出カラッチ)	R/W
P3	P37	P36	P35	P34	P33	P32	P31	P30	FFF03H	00H (出カラッチ)	R/W
P4	0	0	0	0	P43	P42	0	P40	FFF04H	00H (出カラッチ)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (出カラッチ)	R/W
P6	0	0	0	0	0	P62	P61	P60	FFF06H	00H (出カラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出カラッチ)	R/W
P8	0	0	P85	P84	P83	P82	P81	P80	FFF08H	00H (出カラッチ)	R/W
P9	P97	P96	P95	P94	P93	P92	P91	P90	FFF09H	00H (出カラッチ)	R/W
P12	P127	P126	P125	P124	P123	P122	P121	0	FFF0CH	不定	R/W ^{注1}
P13	P137	0	0	0	0	0	0	P130	FFF0DH	不定 ^{注2}	R/W ^{注1}
P15	0	0	0	0	0	P152	P151	P150	FFF0FH	00H (出カラッチ)	R/W

Pmn	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P121-P124, P137はRead Onlyです。

- 2.** P137 : 不定
P130 : 0 (出カラッチ)

注意 搭載していないビットには必ず初期値を設定してください。

備考 m = 0-9, 12, 13, 15 ; n = 0-7

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード (POMmn = 0) かつ入力モード (PMmn = 1) に設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4は01H) になります。

注意 PIMnレジスタがあるポートで、異電位デバイスからTTLバッファに入力する場合は、PUmn = 0を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4-3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	0	0	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	PU43	PU42	0	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	0	0	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU9	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90	F0039H	00H	R/W
PU12	PU127	PU126	PU125	0	0	0	0	0	F003CH	00H	R/W
PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 7-9, 12 ; n = 0-7)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	PIM06	PIM05	0	PIM03	PIM02	0	0	F0040H	00H	R/W
PIM1	0	PIM16	PIM15	0	0	0	0	0	F0041H	00H	R/W
PIM4	0	0	0	0	PIM43	PIM42	0	0	F0044H	00H	R/W
PIM5	PIM57	0	PIM55	0	PIM53	PIM52	0	0	F0045H	00H	R/W
PIM8	0	0	0	PIM84	0	0	PIM81	PIM80	F0048H	00H	R/W
PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1, 4, 5, 8 ; n = 0-7)										
0	通常入力バッファ										
1	TTL入力バッファ										

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA00, SDA10端子にN-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択できます。

また、POMxxレジスタはPUxxレジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 N-chオープン・ドレイン出力 (EV_{DD}耐圧) モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	POM02	0	0	F0050H	00H	R/W
POM1	POM17	POM16	POM15	0	0	0	0	0	F0051H	00H	R/W
POM5	POM57	POM56	0	POM54	0	0	POM51	0	F0055H	00H	R/W
POM8	0	0	POM85	POM84	0	POM82	POM81	POM80	F0058H	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 0, 1, 5, 8 ; n = 0-7)
0	通常出力モード
1	N-chオープン・ドレイン出力 (EV _{DD} 耐圧) モード

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-6 ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC2	1	1	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20	F0062H	FFH	R/W

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択 (m = 2 ; n = 0-5)
0	デジタル入出力 (アナログ入力以外の兼用機能)
1	アナログ入力

- 注意1.** PMCxxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
- 2.** PMCxxレジスタでデジタル入出力として設定する端子を、A/Dチャンネル選択レジスタA0 (ADANSA0) で設定しないでください。
- 3.** 搭載していないビットには必ず初期値を設定してください。

4.3.7 周辺I/Oリダイレクション・レジスタ (PIOR0)

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIOR0レジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット

アドレス : F0077H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR0	0	PIOR06	PIOR05	PIOR04	PIOR03	PIOR02	PIOR01	PIOR00

ビット	機能	100ピン		80ピン	
		設定値		設定値	
		0	1	0	1
PIOR06	INTP8	P122	P55	P122	P55
	INTP9	P121	P53	P121	P06
PIOR05	COM0	P90	P37	使用できません。 0 (初期値) を設定して ください。	
	COM1	P91	P36		
	COM2	P92	P35		
	COM3	P93	P34		
	COM4/SEG0	P94	P33		
	COM5/SEG1	P95	P32		
	COM6/SEG2	P96	P31		
	COM7/SEG3	P97	P30		
	SEG24	P30	P97		
	SEG25	P31	P96		
	SEG26	P32	P95		
	SEG27	P33	P94		
	SEG28	P34	P93		
	SEG29	P35	P92		
SEG30	P36	P91			
SEG31	P37	P90			
PIOR04	INTP0	P137	P70	P137	P70
	INTP1	P125	P71	P125	P71
	INTP2	P07	P72	P07	P72
	INTP3	P05	P73	P05	P73
	INTP4	P04	P74	P04	P74
	INTP5	P02	P75	P02	P75
	INTP6	P42	P76	P62	P76
	INTP7	P43	P77	–	P77
PIOR03	PCLBUZ0	P43	P33	–	P33
	PCLBUZ1	P42	P32	P130	P32
	RTCOUT	P150	P40	P150	P40
PIOR02	SO10/TXD1	P04	P82	P04	P82
	SI10/RXD1/SDA10	P03	P81	P03	P81
	SCK10/SCL10	P02	P80	P02	P80
PIOR01	SO00/TXD0	P07	P17	P07	P17
	SI00/RXD0/SDA00	P06	P16	P06	P16
	SCK00/SCL00	P05	P15	P05	P15
PIOR00	TI00/TO00	P43	P60	–	P60
	TI01/TO01	P42	P61	P33	P61
	TI02/TO02	P07	P62	P07	P62
	TI03/TO03	P06	P127	P06	P127
	TI04/TO04	P05	P126	P05	P126
	TI05/TO05	P04	P125	P04	P125
	TI06/TO06	P03	P31	P03	P31
	TI07/TO07	P02	P30	P02	P30

4.3.8 LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6)

P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P90-P97端子をポート（セグメントまたはコモン出力以外）／セグメントまたはコモン出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります（PFSEG0は0FH, PFSEG6は03H）。

備考 コモン出力端子（COMx）とPFSEGレジスタ（PFCOMxビット）の対応と、製品によるCOMx端子の有無を表4-5 各製品で搭載しているコモン出力端子と対応するPFSEGレジスタ（PFCOMビット）に示します。

また、セグメント出力端子（SEGxx）とPFSEGレジスタ（PFSEGxxビット）の対応と、製品によるSEGxx端子の有無を表4-6 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）に示します。

図4-8 LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6) のフォーマット

アドレス : F0300H	リセット時 : 0FH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG0	0	0	0	0	PFCOM3	PFCOM2	PFCOM1	PFCOM0
アドレス : F0301H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG07	PFSEG06	PFSEG05	PFSEG04	PFSEG03	PFSEG02	PFSEG01	PFSEG00
アドレス : F0302H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08
アドレス : F0303H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16
アドレス : F0304H	リセット時 : FFH(R5F10NPL), 0FH(R5F10NML)	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG31 注1,2	PFSEG30 注1,2	PFSEG29 注1,2	PFSEG28 注1,2	PFSEG27	PFSEG26	PFSEG25	PFSEG24
アドレス : F0305H	リセット時 : FFH(R5F10NPL), 3FH(R5F10NML)	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG5	PFSEG39 注1,2	PFSEG38 注1,2	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32
アドレス : F0306H	リセット時 : 03H	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG6 ^{注3}	0	0	0	0	0	0	PFSEG41	PFSEG40

PFCOMx (x=0-3)	Pmn端子のポート (コモン出力以外) / コモン出力の指定 (mn = 90-93)
0	ポート (コモン出力以外) として使用
1	コモン出力として使用

PFSEGxx (xx=00-41)	Pmn端子のポート (セグメント, コモン出力以外) / セグメント, コモン出力の指定 (mn = 02-07, 10-17, 30-37, 50-57, 70-77, 80-85, 94-97)
0	ポート (セグメント, コモン出力以外) として使用
1	セグメント, コモン出力として使用

注1. R5F10NMLの初期値は“0”になります。

また“1”を設定しても動作に影響はなく読み出した値は“0”になります。

- 80ピン製品では必ず“1”を設定してください。
- R5F10NPLのみ。

(注意, 備考は次ページにあります。)

注意 搭載していないビットには必ず初期値を設定してください。

備考 セグメントまたはコモン出力として使用する（PFSEGxx = 1またはPFCOMx = 1）場合には必ず PUmレジスタのPUmnビット = 0, POMmレジスタのPOMmnビット = 0, PIMmレジスタのPIMmnビット = 0に設定してください。

表4-5 各製品で搭載しているコモン出力端子と対応するPFSEGレジスタ（PFCOMビット）

PFSEGレジスタのビット名	対応するCOMx端子	兼用するポート	100-pin	80-pin
PFCOM0	COM0	P90, (P37)	○	—
		P90	—	○
PFCOM1	COM1	P91, (P36)	○	—
		P91	—	○
PFCOM2	COM2	P92, (P35)	○	—
		P92	—	○
PFCOM3	COM3	P93, (P34)	○	—
		P93	—	○

備考 () 内の端子は、周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により、割り当て可能です。
詳細は、[図4-7 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット](#)を参照してください。

表4-6 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ (PFSEGビット) (1/2)

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	100-pin	80-pin
PFSEG00	SEG0	P94, (P33)	○	—
		P94	—	○
PFSEG01	SEG1	P95, (P32)	○	—
		P95	—	○
PFSEG02	SEG2	P96, (P31)	○	—
		P96	—	○
PFSEG03	SEG3	P97, (P30)	○	—
		P97	—	○
PFSEG04	SEG4	P10	○	○
PFSEG05	SEG5	P11	○	○
PFSEG06	SEG6	P12	○	○
PFSEG07	SEG7	P13	○	○
PFSEG08	SEG8	P14	○	○
PFSEG09	SEG9	P15	○	○
PFSEG10	SEG10	P16	○	○
PFSEG11	SEG11	P17	○	○
PFSEG12	SEG12	P80	○	○
PFSEG13	SEG13	P81	○	○
PFSEG14	SEG14	P82	○	○
PFSEG15	SEG15	P83	○	○
PFSEG16	SEG16	P70	○	○
PFSEG17	SEG17	P71	○	○
PFSEG18	SEG18	P72	○	○
PFSEG19	SEG19	P73	○	○
PFSEG20	SEG20	P74	○	○
PFSEG21	SEG21	P75	○	○
PFSEG22	SEG22	P76	○	○
PFSEG23	SEG23	P77	○	○
PFSEG24	SEG24	P30, (P97)	○	—
		P30	—	○
PFSEG25	SEG25	P31, (P96)	○	—
		P31	—	○
PFSEG26	SEG26	P32, (P95)	○	—
		P32	—	○
PFSEG27	SEG27	P33, (P94)	○	—
		P33	—	○
PFSEG28	SEG28	P34, (P93)	○	—
PFSEG29	SEG29	P35, (P92)	○	—
PFSEG30	SEG30	P36, (P91)	○	—
PFSEG31	SEG31	P37, (P90)	○	—

(備考は次ページにあります。)

表4-6 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ (PFSEGビット) (2/2)

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	100-pin	80-pin
PFSEG32	SEG32	P50	○	—
		P02	—	○
PFSEG33	SEG33	P51	○	—
		P03	—	○
PFSEG34	SEG34	P52	○	—
		P04	—	○
PFSEG35	SEG35	P53	○	—
		P05	—	○
PFSEG36	SEG36	P54	○	—
		P06	—	○
PFSEG37	SEG37	P55	○	—
		P07	—	○
PFSEG38	SEG38	P56	○	—
PFSEG39	SEG39	P57	○	—
PFSEG40	SEG40	P84	○	—
PFSEG41	SEG41	P85	○	—

備考 () 内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。

詳細は、[図4-7 周辺I/Oリダイレクション・レジスタ \(PIOR0\) のフォーマット](#)を参照してください。

4.3.9 LCD入力切り替え制御レジスタ (ISCLCD)

P125-P127端子をポート (LCD機能以外) /LCD機能 (VL3, CAPL, CAPH) のどちらで使用するかを設定するレジスタです。

ISCLCDレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-9 LCD入力切り替え制御レジスタ (ISCLCD) のフォーマット

アドレス : F0308H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	VL3/P125端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効 (LCD機能 (VL3) として使用)
1	デジタル入力有効

ISCCAP	CAPL/P126, CAPH/P127端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効 (LCD機能 (CAPL, CAPH) として使用)
1	デジタル入力有効

注意 ISCVL3ビット = 0, ISCCAP ビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0

PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0

PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応

ポート入力モード・レジスタ0, 1, 4, 5, 8 (PIM0, PIM1, PIM4, PIM5, PIM8), ポート出力モード・レジスタ0, 1, 5, 8 (POM0, POM1, POM5, POM8)で入出力バッファを切り換えることにより、異電位（1.8 V系, 2.5 V系, 3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ0, 1, 4, 5, 8 (PIM0, PIM1, PIM4, PIM5, PIM8)をビットごとに設定して、通常入力（CMOS）/TTL入力バッファを切り換えます。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスへ出力する場合、ポート出力モード・レジスタ0, 1, 5, 8 (POM0, POM1, POM5, POM8)をビットごとに設定して、通常出力（CMOS）/N-chオープン・ドレイン（EV_{DD}耐圧）を切り換えます。

以下、シリアル・インタフェースでの接続について説明します。

(1) UART0-UART4, CSI00, CSI10, CSI30機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合 : P06 (P16)
UART1の場合 : P03 (P81)
UART2の場合 : P55
UART3の場合 : P84
UART4の場合 : P52
CSI00の場合 : P05, P06 (P15, P16)
CSI10の場合 : P02, P03 (P80, P81)
CSI30の場合 : P57, P84

備考 () 内の端子は、周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により、割り当て可能です。

- ① 使用する入力端子を、外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② PIM0, PIM1, PIM4, PIM5, PIM8レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、 V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI（CSI^注）モードに設定します。

注 一般的にはSPI と呼ばれる機能ですが、本製品ではCSI とも呼称しているため、本マニュアルでは併記します。

(2) UART0-UART4, CSI00, CSI10, CSI30機能の出力ポートをN-chオープン・ドレイン出力モードで使用する
場合の設定手順

UART0の場合 : P07 (P17)
UART1の場合 : P04 (P82)
UART2の場合 : P56
UART3の場合 : P85
UART4の場合 : P51
CSI00の場合 : P05, P07 (P15, P17)
CSI10の場合 : P02, P04 (P80, P82)
CSI30の場合 : P57, P85

備考 () 内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。

- ① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
- ③ 該当するポートの出力ラッチに1を設定します。
- ④ POM0, POM1, POM5, POM8レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (EV_{DD}耐圧) モードに設定します。
- ⑤ シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI)モードに設定します。
- ⑥ PM0, PM1, PM5, PM8レジスタを操作して出力モードに設定します。
この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

(3) IIC00, IIC10, IIC30機能の入出力ポートを、異電位 (1.8 V系, 2.5 V系, 3 V系) で使用する場合の設定手順

IIC00の場合 : P05, P06 (P15, P16)
IIC10の場合 : P02, P03 (P80, P81)
IIC30の場合 : P57, P84

備考 () 内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
- ③ 該当するポートの出力ラッチに1を設定します。
- ④ POM0, POM1, POM5, POM8レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (EV_{DD}耐圧) モードに設定します。
- ⑤ PIM0, PIM1, PIM5, PIM8レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。
なお、V_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。
- ⑦ PM0, PM1, PM5, PM8レジスタの該当ビットを出力モードに設定します (出力モードのままデータ入出力可能)。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

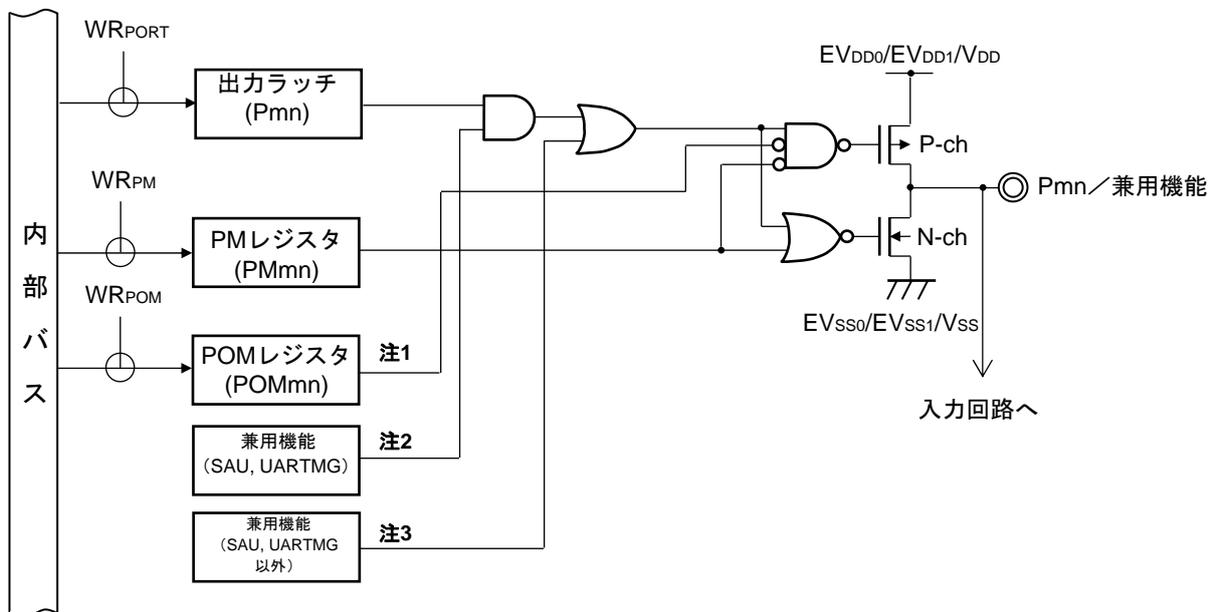
4.5 兼用機能使用時のレジスタの設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ入力と兼用している端子については、アナログ入力で使用するかデジタル入出力で使用するかをポート・モード・コントロール・レジスタ（PMCxx）で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-10に示します。ポートの出力ラッチの出力と兼用しているSAU、UARTMG機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU、UARTMG以外の機能（TAU、独立電源RTC、クロック／ブザー出力、IICA等）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-7に示します。

図4-10 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はLow (0) と考えてください。

2. 兼用機能がない場合には、この信号はHigh (1) と考えてください。

3. 兼用機能がない場合には、この信号はLow (0) と考えてください。

備考 m : ポート番号 (m = 0-9, 12, 13, 15) , n : ビット番号 (n = 0-7)

表4-7 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAU, UARTMGの出力機能	SAU, UARTMG以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAU, UARTMGの出力機能	High (1)	—	出力はLow (0)
SAU, UARTMG以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) 注

注 1つの端子にSAU, UARTMG以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0) にしておく必要があります。具体的な設定方法については、4.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ (PIOR0) を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります。

(1) $SOp = 1/TxDq = 1$ (SAUのシリアル出力 (SO_p/Tx_{Dq}) を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力 (SO_p/Tx_{Dq}) を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ_m (SOEm) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ_m (SO_m) のSO_mビットを1 (High) に設定してください。これは初期状態と同じ設定です。

(2) $SCKp = 1/SDAr = 1/SCLr = 1$ (SAUのチャンネル_nを使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) のビット_n (SE_m_n) を0 (動作停止状態) に設定し、使用しない出力に対応したシリアル出力許可レジスタ_m (SOEm) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ_m (SO_m) のSO_mビットとCKO_mビットを1 (High) に設定してください。これは初期状態と同じ設定です。

(3) $TOmn = 0$ (TAUのチャンネル_nの出力を使用しない場合の設定)

TAUのTO_m_n出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0 (TOE0) のビットを0 (出力禁止)、タイマ出力レジスタ0 (TO0) のビットを0 (Low) に設定してください。これは初期状態と同じ設定です。

(4) $SDAAn = 0/SCLAn = 0$ (IICAを使用しない場合の設定)

IICAを使用しない場合は、IICAコントロール・レジスタ_n0 (IICCTL_n0) のIICEnビットを0 (動作停止) にしてください。これは初期状態と同じ設定です。

(5) $PCLBUZn = 0$ (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ_n (CKSn) のPCLOEnビットを0 (出力禁止) にしてください。これは初期状態と同じ設定です。

(6) TxDMGn = 1 (UARTMGnの出力を使用しない場合の設定)

UARTMGnを使用しない場合は、UARTMGn動作モード設定レジスタn0 (ASIMMGn0) のビット7を0 (UART動作クロック動作禁止)、ビット6を0 (送信動作禁止) に、また、UARTMGnの動作モード設定レジスタn1 (ASIMMGn1) のビット0を0 (正論理) にして下さい。これは初期状態と同じ設定です。

(7) TRJIO_n = 0/TRJOn = 0 (タイマRJn出力を使用しない場合の設定)

タイマRJのパルス出力機能をTRJOn端子で使用しない場合は、タイマRJ I/O制御レジスタn (TRJIO_{Cn}) のビット2 (TOENAn) を0 (TRJOn出力禁止) にして下さい。これは初期値と同じ設定です。

タイマRJのTRJIO_n端子を出力機能として使用しない場合は、タイマRJモードレジスタn (TRJMRn) のビット2~0 (TMO_{Dn2~0}) を001b (パルス出力モード) 以外に設定して下さい。初期値は000bのタイマモードになっています。

(8) SMO_{mj} = 0 (サンプリング・クロック出力を使用しない場合の設定)

サンプリング・クロック出力 (SMO_{mj}) を使用しない場合は、SMOTD出力制御レジスタm (SMOTDOEm) のビットj (SMOTDOEm_j) を0 (SMO_{mj}出力禁止) にして下さい。これは初期値と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4-8に示します。ポート機能を制御するレジスタを表4-8のように設定してください。なお、表4-8の表記については次の備考を参照してください。

備考	—	: 対象外
	x	: don't care
	PIOR0	: 周辺I/Oリダイレクション・レジスタ
	POMxx	: ポート出力モード・レジスタ
	PMCxx	: ポート・モード・コントロール・レジスタ
	PMxx	: ポート・モード・レジスタ
	Pxx	: ポートの出力ラッチ
	PUxx	: プルアップ抵抗オプション・レジスタ
	PIMxx	: ポート入力モード・レジスタ
	PFSEGxx	: LCDポート・ファンクション・レジスタ
	ISCLCD	: LCD入力切り替え制御レジスタ

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (1/12)

端子名称	使用機能		PIOR0	POM xx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) 注	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAU, UARTMGの 出力機能	SAU, UARTMG 以外		
P02	P02	入力	—	x	1	x	0	—	—	○	○
		出力	x	0	0	0/1	0	SCL10 = 1	TO07 = 0		
		N-chOD出力	x	1	0	0/1	0		SMO12 = 0		
	SCL10	出力	PIOR02 = 0	0/1	0	1	0	—	TO07 = 0 SMO12 = 0		
	SCK10	入力	PIOR02 = 0	x	1	x	0	—	—		
		出力	PIOR02 = 0	0/1	0	1	0	—	TO07 = 0 SMO12 = 0		
	TI07	入力	PIOR00 = 0	x	1	x	0	—	—		
	TO07	出力	PIOR00 = 0	0	0	0	0	SCL10 = 1	SMO12 = 0		
	INTP5	入力	PIOR04 = 0	x	1	x	0	—	—		
SEG32	出力	x	0	0	0	1	—	—	○	x	
SMO12	出力	—	0	0	0	0	SCL10 = 1	TO07 = 0			
P03	P03	入力	—	x	1	x	0	—	—	○	○
		出力	x	0	0	0/1	0	SDA10 = 1	TO06 = 0		
		N-chOD出力	x	1	0	0/1	0		TRJO1 = 0 SMO11 = 0		
	RxD1	入力	PIOR02 = 0	x	1	x	0	—	—		
	TI06	入力	PIOR00 = 0	x	1	x	0	—	—		
	TO06	出力	PIOR00 = 0	0	0	0	0	SDA10 = 1	—		
	SDA10	入出力	PIOR02 = 0	1	0	1	0	—	TO06 = 0 TRJO1 = 0 SMO11 = 0		
	SI10	入力	PIOR02 = 0	x	1	x	0	—	—		
	SEG33	出力	x	0	0	0	1	—	—		
TRJO1	出力	—	0	0	0	0	SDA10 = 1	TO06 = 0 SMO11 = 0	○	x	
SMO11	出力	—	0	0	0	0	SDA10 = 1	TO06 = 0 TRJO1 = 0			
P04	P04	入力	—	x	1	x	0	—	—	○	○
		出力	x	0	0	0/1	0	TxD1/SO10 = 1	TO05 = 0		
		N-chOD出力	x	1	0	0/1	0		TRJO0 = 0 SMO10 = 0		
	TxD1	出力	PIOR02 = 0	0/1	0	1	0	—	TO05 = 0 TRJO0 = 0 SMO10 = 0		
	TI05	入力	PIOR00 = 0	x	1	x	0	TxD1/SO10 = 1	—		
	TO05	出力	PIOR00 = 0	0	0	0	0	TxD1 = 1	TRJO0 = 0 SMO10 = 0		
	INTP4	入力	PIOR04 = 0	x	1	x	0	—	—		
	SO10	出力	PIOR02 = 0	0/1	0	1	0	—	TO05 = 0 TRJO0 = 0 SMO10 = 0		
	SEG34	出力	x	0	0	0	1	—	—		
TRJO0	出力	—	0	0	0	0	TxD1/SO10 = 1	TO05 = 0 SMO10 = 0	○	x	
SMO10	出力	—	0	0	0	0	TxD1/SO10 = 1	TO05 = 0 TRJO0 = 0			

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (2/12)

端子 名称	使用機能		PIOR0	POM xx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) 注	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAU, UARTMGの 出力機能	SAU, UARTMG 以外		
P05	P05	入力	—	x	1	x	0	—	—	○	○
		出力	x	0	0	0/1	0	SCK00/SCL00 = 1	TO04 = 0		
		N-chOD出力	x	1	0	0/1	0		TRJIO0 = 0		
	SCK00	入力	PIOR01 = 0	x	1	x	0	—	—		
		出力		0/1	0	1	0	—	TO04 = 0 TRJIO0 = 0		
	SCL00	出力	PIOR01 = 0	0/1	0	1	0	—	TO04 = 0 TRJIO0 = 0		
	TI04	入力	PIOR00 = 0	x	1	x	0	—	—		
	TO04	出力	PIOR00 = 0	0	0	0	0	SCK00/SCL00 = 1	—		
	INTP3	入力	PIOR04 = 0	x	1	x	0	—	—		
	SEG35	出力	x	0	0	0	1	—	—		
TRJIO0	入力	—	0	1	x	0	—	—	○	x	
	出力	—	0	0	0	0	SCK00/SCL00 = 1	TO04 = 0			
P06	P06	入力	—	x	1	x	0	—	—	○	○
		出力	x	0	0	0/1	0	SDA00 = 1	TO03 = 0		
		N-chOD出力	x	1	0	0/1	0		—		
	SI00	入力	PIOR01 = 0	x	1	x	0	—	—		
	RxD0	入力	PIOR01 = 0	x	1	x	0	—	—		
	TI03	入力	PIOR00 = 0	x	1	x	0	—	—		
	TO03	出力	PIOR00 = 0	0	0	0	0	SDA00 = 1	—		
	SDA00	入出力	PIOR01 = 0	1	0	1	0	—	TO03 = 0		
	TOOLRxD	入力	x	x	1	x	0	—	—		
	SEG36	出力	x	0	0	0	1	—	—		
RxDMG1	入力	—	—	1	x	—	—	—	○	x	
(INTP9)	入力	PIOR06 = 1	—	1	x	0	—	—			
P07	P07	入力	—	x	1	x	0	—	—	○	○
		出力	x	0	0	0/1	0	SO00/TxD0/ TxDMG1 = 1	TO02 = 0		
		N-chOD出力	x	1	0	0/1	0		—		
	SO00	出力	PIOR01 = 0	0/1	0	1	0	—	TO02 = 0		
	TxD0	出力	PIOR01 = 0	0/1	0	1	0	—	TO02 = 0		
	TI02	入力	PIOR00 = 0	x	1	x	0	—	—		
	TO02	出力	PIOR00 = 0	0	0	0	0	SO00/TxD0/ TxDMG1 = 1	—		
	INTP2	入力	PIOR04 = 0	x	1	x	0	—	—		
	TOOLTxD	出力	x	0/1	0	1	0	—	—		
SEG37	出力	x	0	0	0	1	—	—			
TxDMG1	出力	—	0/1	0	1	0	—	TO02 = 0	○	x	
P10	P10	入力	—	—	1	x	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG4	出力	—	—	0	0	1	—	—		
P11	P11	入力	—	—	1	x	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
SEG5	出力	—	—	0	0	1	—	—			
P12	P12	入力	—	—	1	x	0	—	—	○	○
		出力	x	—	0	0/1	0	SCK10/SCL10 = 1	—		
	SEG6	出力	x	—	0	0	1	SCK10/SCL10 = 1	—		
P13	P13	入力	—	—	1	x	0	—	—	○	○
		出力	x	—	0	0/1	0	SDA10 = 1	—		
	SEG7	出力	x	—	0	0	1	—	—		

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (3/12)

端子 名称	使用機能		PIOR0	POM xx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) 注	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAU, UARTMGの 出力機能	SAU, UARTMG 以外		
P14	P14	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	SO10/TxD1 = 1	—		
	SEG8	出力	×	—	0	0	1	—	—		
P15	P15	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(SCK00/SCL00) =	—		
		N-chOD出力	×	1	0	0/1	0	1	—		
	SEG9	出力	×	0	0	0	1	—	—		
	(SCK00)	入力	PIOR01 = 1	×	1	×	0	—	—		
		出力	PIOR01 = 1	0/1	0	1	0	—	—		
(SCL00)	出力	PIOR01 = 1	0/1	0	1	0	—	—			
P16	P16	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(SDA00) = 1	—		
		N-chOD出力	×	1	0	0/1	0	—	—		
	SEG10	出力	×	0	0	0	1	—	—		
	(SI00)	入力	PIOR01 = 1	×	1	×	0	—	—		
	(RxD0)	入力	PIOR01 = 1	×	1	×	0	—	—		
	(SDA00)	入出力	PIOR01 = 1	1	0	0	0	—	—		
P17	P17	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(SO00/TxD0) = 1	—		
		N-chOD出力	×	1	0	0/1	0	—	—		
	SEG11	出力	×	0	0	0	1	—	—		
	(SO00)	出力	PIOR01 = 1	0/1	0	1	0	—	—		
(TxD0)	出力	PIOR01 = 1	0/1	0	1	0	—	—			

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (4/12)

端子 名称	使用機能		PMCxx	PMxx	Pxx	80 ピン	100 ピン
	機能名称	入出力					
P20	P20	入力	0	1	×	○	○
		出力	0	0	0/1		
	ANI3	アナログ入力	1	1	×		
	AV _{REFP}	基準電圧入力	1	1	×		
	VREFOUT	アナログ出力					
P21	P21	入力	0	1	×	○	○
		出力	0	0	0/1		
	ANI4	アナログ入力	1	1	×		
	AV _{REFM}	基準電圧入力	1	1	×		
P22	P22	入力	0	1	×	○	○
		出力	0	0	0/1		
	ANI5	アナログ入力	1	1	×		
	EXLVD	アナログ入力	1	1	×		
P23	P23	入力	0	1	×	○	○
		出力	0	0	0/1		
	ANI0	アナログ入力	1	1	×		
P24	P24	入力	0	1	×	×	○
		出力	0	0	0/1		
	ANI1	アナログ入力	1	1	×		
P25	P25	入力	0	1	×	×	○
		出力	0	0	0/1		
	ANI2	アナログ入力	1	1	×		

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (5/12)

端子名称	使用機能		PIOR0	POM xx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) ^注	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAU, UARTMGの 出力機能	SAU, UARTMG 以外		
P30	P30	入力	—	—	1	x	0	—	—	○	○
		出力	x	—	0	0/1	0	—	(TO07) = 0		
	SEG24	出力	x	—	0	0	1	—	—		
	(TI07)	入力	PIOR00 = 1	—	1	x	0	—	—	x	○
	(TO07)	出力	PIOR00 = 1	—	0	0	0	—	—		
	(COM7)	出力	PIOR05 = 1	—	0	0	1	—	—		
	(SEG3)	出力	PIOR05 = 1	—	0	0	1	—	—		
SMP3	入力	—	—	1	x	0	—	—	○	x	
P31	P31	入力	—	—	1	x	0	—	—	○	○
		出力	x	—	0	0/1	0	TxD2/rTxD = 1	(TO06) = 0		
	SEG25	出力	x	—	0	0	1	—	—		
	(TI06)	入力	PIOR00 = 1	—	1	x	0	—	—	x	○
	(TO06)	出力	PIOR00 = 1	—	0	0	0	—	—		
	(COM6)	出力	PIOR05 = 1	—	0	0	1	—	—		
	(SEG2)	出力	PIOR05 = 1	—	0	0	1	—	—		
SMP2	入力	—	—	1	x	0	—	—	○	x	
P32	P32	入力	—	—	1	x	0	—	—	○	○
		出力	x	—	0	0/1	0	—	(PCLBUZ1) = 0 SMO01 = 0		
	SEG26	出力	x	—	0	0	1	—	—		
	(PCLBUZ1)	出力	PIOR03 = 1	—	0	0	0	—	—	x	○
	(COM5)	出力	PIOR05 = 1	—	0	0	1	—	—		
	(SEG1)	出力	PIOR05 = 1	—	0	0	1	—	—		
	SMP1	入力	—	—	1	x	0	—	—		
SMO01	出力	—	—	0	0	0	—	(PCLBUZ1) = 0	○	x	
P33	P33	入力	—	—	1	x	0	—	—	○	○
		出力	x	—	0	0/1	0	—	(PCLBUZ0) = 0 SMO00 = 0 TO01 = 0		
	SEG27	出力	x	—	0	0	1	—	—		
	(PCLBUZ0)	出力	PIOR03 = 1	—	0	0	0	—	—	x	○
	(COM4)	出力	PIOR05 = 1	—	0	0	1	—	—		
	(SEG0)	出力	PIOR05 = 1	—	0	0	1	—	—		
	SMP0	入力	—	—	1	x	0	—	—		
	SMO00	出力	—	—	0	0	0	—	(PCLBUZ0) = 0 TO01 = 0	○	x
TI01	入力	PIOR00 = 0	—	1	x	—	—	—			
TO01	出力	PIOR00 = 0	—	0	0	—	—	(PCLBUZ0) = 0 SMO00 = 0			
P34	P34	入力	—	—	1	x	0	—	—	x	○
		出力	—	—	0	0/1	0	—	—		
	SEG28	出力	—	—	0	0	1	—	—		
	(COM3)	出力	PIOR05 = 1	—	0	0	1	—	—		
P35	P35	入力	—	—	1	x	0	—	—	x	○
		出力	—	—	0	0/1	0	—	—		
	SEG29	出力	—	—	0	0	1	—	—		
(COM2)	出力	PIOR05 = 1	—	0	0	1	—	—			
P36	P36	入力	—	—	1	x	0	—	—	x	○
		出力	—	—	0	0/1	0	—	—		
	SEG30	出力	—	—	0	0	1	—	—		
	(COM1)	出力	PIOR05 = 1	—	0	0	1	—	—		

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (6/12)

端子 名称	使用機能		PIOR0	POM xx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) 注	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAU, UARTMGの 出力機能	SAU, UARTMG 以外		
P37	P37	入力	—	—	1	x	0	—	—	x	○
		出力	—	—	0	0/1	0	—	—		
	SEG31	出力	—	—	0	0	1	—	—		
	(COM0)	出力	PIOR05 = 1	—	0	0	1	—	—		
P40	P40	入力	—	—	1	x	—	—	—	○	○
		出力	—	—	0	0/1	—	—	—		
	TOOL0	入出力	—	—	x	x	—	—	—		
	(RTCOU)	出力	PIOR03 = 1	—	0	0	—	—	—		
P42	P42	入力	—	—	1	x	—	—	—	x	○
		出力	x	—	0	0/1	—	—	TO01 = 0 PCLBUZ1 = 0		
	TI01	入力	PIOR00 = 0	—	1	x	—	—	—		
	TO01	出力	PIOR00 = 0	—	0	0	—	—	PCLBUZ1 = 0		
	PCLBUZ1	出力	PIOR03 = 0	—	0	0	—	—	TO01 = 0		
	INTP6	入力	PIOR04 = 0	—	1	x	—	—	—		
P43	P43	入力	—	—	1	x	—	—	—	x	○
		出力	x	—	0	0/1	—	—	TO00 = 0 PCLBUZ0 = 0		
	TI00	入力	PIOR00 = 0	—	1	x	—	—	—		
	TO00	出力	PIOR00 = 0	—	0	0	—	—	PCLBUZ0 = 0		
	PCLBUZ0	出力	PIOR03 = 0	—	0	0	—	—	TO00 = 0		
	INTP7	入力	PIOR04 = 0	—	1	x	—	—	—		
P50	P50	入力	—	—	1	x	0	—	—	x	○
		出力	—	—	0	0/1	0	—	SMO00 = 0		
	SEG32	出力	—	—	0	0	1	—	—		
	SMO00	出力	—	—	0	0	0	—	—		
P51	P51	入力	—	—	1	x	0	—	—	x	○
		出力	—	—	0	0/1	0	TxD4 = 1	SMO01 = 0		
		N-chOD出力	—	1	0	0/1	0				
	SEG33	出力	—	—	0	0	1	—	—		
	SMO01	出力	—	—	0	0	0	TxD4 = 1	—		
	TxD4	出力	—	0/1	0	1	0	—	SMO01 = 0		
P52	P52	入力	—	—	1	x	0	—	—	x	○
		出力	—	—	0	0/1	0	—	SMO02 = 0		
	SEG34	出力	—	—	0	0	1	—	—		
	SMO02	出力	—	—	0	0	0	—	—		
	RxD4	入力	—	x	1	x	0	—	—		
P53	P53	入力	—	—	1	x	0	—	—	x	○
		出力	—	—	0	0/1	0	—	TRJO0 = 0		
	SEG35	出力	—	—	0	0	1	—	—		
	TRJO0	出力	—	x	1	x	0	—	—		
	RxD4	入力	—	x	1	x	0	—	—		
	(INTP9)	入力	PIOR06 = 1	—	1	x	—	—	—		
P54	P54	入力	—	—	1	x	0	—	—	x	○
		出力	—	—	0	0/1	0	TxD4 = 1	TRJO1 = 0		
	SEG36	出力	—	—	0	0	1	—	—		
	TRJO1	出力	—	x	1	x	0	TxD4 = 1	—		
	TxD4	出力	—	0/1	0	1	0	—	TRJO1 = 0		

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (7/12)

端子 名称	使用機能		PIOR0	POM xx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) 注	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAU, UARTMGの 出力機能	SAU, UARTMG 以外		
P55	P55	入力	—	—	1	x	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	RxD2	入力	—	—	1	x	0	—	—	x	
	IrxD	入力	—	—	1	x	0	—	—		
	SEG37	出力	—	—	0	0	1	—	—	○	
	RxDMG0	入力	—	x	1	x	0	—	—		
(INTP8)	入力	PIOR06 = 1	—	1	x	—	—	—	—		
P56	P56	入力	—	—	1	x	0	—	—	○	○
		出力	—	—	0	0/1	0	TxD2/IrTxD/ TxDMG0 = 1	—		
		N-chOD出力	—	1	0	0/1	0				
	TxD2	出力	—	0/1	0	1	0	—	—	x	
	IrTxD	出力	—	0/1	0	1	0	—	—		
	SEG38	出力	—	—	0	0	1	—	—	○	
TxDMG0	出力	—	0/1	0	1	0	—	—	—		
P57	P57	入力	—	—	1	x	0	—	—	x	○
		出力	—	—	0	0/1	0	SCK30/SCL30 = 1	TRJIO0 = 0		
		N-chOD出力	—	1	0	0/1	0				
	SCK30	入力	—	x	1	x	0	—	—	○	
	出力	—	0/1	0	1	0	—	—			
	SCL30	出力	—	0/1	0	1	0	—	—	○	
	SEG39	出力	—	—	0	0	1	—	—		
	TRJIO0	入力	—	0	1	x	0	—	—	○	
出力	—	0	0	0	0	SCK30/SCL30 = 1	—	—			
P60	P60	入力	—	—	1	x	—	—	—	○	○
		N-chOD出力 (6 V耐圧)	x	—	0	0/1	—	—	SCLA0 = 0 (TO00) = 0		
	SCLA0	入出力	x	—	0	0	—	—	(TO00) = 0		
	(TI00)	入力	PIOR00 = 1	—	1	x	—	—	—		
	(TO00)	出力	PIOR00 = 1	—	0	0	—	—	SCLA0 = 0		
P61	P61	入力	—	—	1	x	—	—	—	○	○
		N-chOD出力 (6 V耐圧)	x	—	0	0/1	—	—	SDAA0 = 0 (TO01) = 0		
	SDAA0	入出力	x	—	0	0	—	—	(TO01) = 0		
	(TI01)	入力	PIOR00 = 1	—	1	x	—	—	—		
	(TO01)	出力	PIOR00 = 1	—	0	0	—	—	SDAA0 = 0		
P62	P62	入力	—	—	1	x	—	—	—	○	○
		N-chOD出力 (6 V耐圧)	x	—	0	0/1	—	—	(TO02) = 0 TRJIO1 = 0		
	(TI02)	入力	PIOR00 = 1	—	1	x	—	—	—		
	(TO02)	出力	PIOR00 = 1	—	0	0	—	—	TRJIO1 = 0		
	TRJIO1	入力	—	0	1	x	0	—	—	○	
	出力	—	0	0	0	0	—	(TO02) = 0	x		
INTP6	入力	PIOR04 = 0	—	1	x	0	—	—	—	—	

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (8/12)

端子 名称	使用機能		PIOR0	POM xx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) 注	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAU, UARTMGの 出力機能	SAU, UARTMG 以外		
P70	P70	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
	SEG16	出力	×	—	0	0	1	—	—		
	KR0 (INTP0)	入力	×	—	1	×	0	—	—		
P71	P71	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
	SEG17	出力	×	—	0	0	1	—	—		
	KR1 (INTP1)	入力	×	—	1	×	0	—	—		
P72	P72	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
	KR2	入力	×	—	1	×	0	—	—		
	SEG18 (INTP2)	出力	×	—	0	0	1	—	—		
P73	P73	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
	KR3	入力	×	—	1	×	0	—	—		
	SEG19 (INTP3)	出力	×	—	0	0	1	—	—		
P74	P74	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	(PCLBUZ0) = 0		
	KR4	入力	×	—	1	×	0	—	—		
	SEG20 (INTP4)	出力	×	—	0	0	1	—	—		
P75	P75	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
	KR5	入力	×	—	1	×	0	—	—		
	SEG21 (INTP5)	出力	×	—	0	0	1	—	—		
P76	P76	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
	KR6	入力	×	—	1	×	0	—	—		
	SEG22 (INTP6)	出力	×	—	0	0	1	—	—		
	SMP5	入力	—	—	1	×	0	—	—		
P77	P77	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
	KR7	入力	×	—	1	×	0	—	—		
	SEG23 (INTP7)	出力	×	—	0	0	1	—	—		
	SMP4	入力	—	—	1	×	0	—	—		
P80	P80	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(SCK10/SCL10) =	—		
		N-chOD出力	×	1	0	0/1	0	1	—		
	SEG12	出力	×	×	0	0	1	—	—		
	(SCL10)	出力	×	0/1	0	1	0	—	—		
	(SCK10)	入力	×	×	1	×	0	—	—		
	出力	×	0/1	0	1	0	—	—			

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (9/12)

端子 名称	使用機能		PIOR0	POM xx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) 注	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAU, UARTMGの 出力機能	SAU, UARTMG 以外		
P81	P81	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(SDA10) = 1	—		
		N-chOD出力	×	1	0	0/1	0		—		
	SEG13	出力	×	×	0	0	1	—	—		
	(RxD1)	入力	PIOR02 = 1	×	1	×	0	—	—		
	(SDA10)	入出力	PIOR02 = 1	1	0	1	0	—	—		
(SI10)	入力	PIOR02 = 1	×	1	×	0	—	—			
P82	P82	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(TxD1/SO10) = 1	—		
		N-chOD出力	×	1	0	0/1	0		—		
	SEG14	出力	×	×	0	0	1	—	—		
	(TxD1)	出力	PIOR02 = 1	0/1	0	1	0	—	—		
(SO10)	出力	PIOR02 = 1	0/1	0	1	0	—	—			
P83	P83	入力	—	—	1	×	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG15	出力	—	—	0	0	1	—	—		
P84	P84	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	SDA30 = 1	TRJIO1 = 0		
		N-chOD出力	—	1	0	0/1	0				
	SEG40	出力	—	—	0	0	1	—	—		
	SI30	入力	—	×	1	×	0	—	—		
	RxD3	入力	—	×	1	×	0	—	—		
	SDA30	入出力	—	1	0	1	0	—	—		
	TRJIO1	入力	—	0	1	×	0	—	—		
P85	P85	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	SO30/ TxD3 = 1	—		
		N-chOD出力	—	1	0	0/1	0		—		
	SEG41	出力	—	—	0	0	1	—	—		
	SO30	出力	—	0/1	0	1	0	—	—		
	TxD3	出力	—	0/1	0	1	0	—	—		
	SMP0	入力	—	—	1	×	0	—	—		
P90	P90	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
	COM0	出力	PIOR05 = 0	—	0	0	1	—	—		
	(SEG31)	出力	PIOR05 = 1	—	0	0	1	—	—		
P91	P91	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
	COM1	出力	PIOR05 = 0	—	0	0	1	—	—		
	(SEG30)	出力	PIOR05 = 1	—	0	0	1	—	—		
SMP2	入力	—	—	1	×	0	—	—	×	○	
P92	P92	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	SMO10 = 0		
	COM2	出力	PIOR05 = 0	—	0	0	1	—	—		
	(SEG29)	出力	PIOR05 = 1	—	0	0	1	—	—		
	SMO10	出力	—	—	0	0	0	—	—		

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例（10/12）

端子 名称	使用機能		PIOR0	POM xx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) 注	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAU, UARTMGの 出力機能	SAU, UARTMG 以外		
P93	P93	入力	—	—	1	x	0	—	—	○	○
		出力	x	—	0	0/1	0	—	SMO11 = 0		
	COM3 (SEG28)	出力	PIOR05 = 0	—	0	0	1	—	—	x	○
	SMO11	出力	PIOR05 = 1	—	0	0	0	—	—		
P94	P94	入力	—	—	1	x	0	—	—	○	○
		出力	—	—	0	0/1	0	—	SMO12 = 0		
	SEG0	出力	PIOR05 = 0	—	0	0	1	—	—	x	○
	COM4 (SEG27)	出力	PIOR05 = 0	—	0	0	1	—	—		
	SMO12	出力	PIOR05 = 1	—	0	0	0	—	—		
P95	P95	入力	—	—	1	x	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG1	出力	PIOR05 = 0	—	0	0	1	—	—	x	○
	COM5 (SEG26)	出力	PIOR05 = 0	—	0	0	1	—	—		
	SMP3	入力	PIOR05 = 1	—	0	0	1	—	—		
P96	P96	入力	—	—	1	x	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG2	出力	PIOR05 = 0	—	0	0	1	—	—	x	○
	COM6 (SEG25)	出力	PIOR05 = 0	—	0	0	1	—	—		
	SMP4	入力	PIOR05 = 1	—	0	0	1	—	—		
P97	P97	入力	—	—	1	x	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG3	出力	PIOR05 = 0	—	0	0	1	—	—	x	○
	COM7 (SEG24)	出力	PIOR05 = 0	—	0	0	1	—	—		
	SMP5	入力	PIOR05 = 1	—	0	0	1	—	—		

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例（11/12）

端子 名称	使用機能		PIOR0	Pxx	CMCレジスタ (EXCLK, OSCSEL)	SCMCレジスタ (EXCLKS, OSCSELS)	80 ピン	100 ピン	
	機能名称	入出力							
P121	P121	入力	—	x	00/10/11	—	○	○	
	X1	—	—	—	01				
	INTP9	入力	PIOR06 = 0	—	—				00/10/11
P122	P122	入力	—	x	00/10	—	○	○	
	X2	—	—	—	01				
	EXCLK	入力	—	—	—				11
	INTP8	入力	PIOR06 = 0	—	—				00/10
P123	P123	入力	—	x	—	00/10/11	○	○	
	XT1	—	—	—		01			
P124	P124	入力	—	x	—	00/10	○	○	
	XT2	—	—	—		01			
	EXCLKS	入力	—	—		—			11

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例（12/12）

端子 名称	使用機能		PIOR0	POMxx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) 注	TCEN ビット	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力							SAU, UARTMG の出力機能	SAU, UARTMG 以外		
P125	P125	入力	—	—	1	x	1	—	—	—	○	○
		出力	x	—	0	0/1	1	—	—	(TO05) = 0 PCLBUZ1 = 0		
	VL3	—	x	—	1	x	0	—	—	—		
	INTP1	入力	PIOR04 = 0	—	1	x	1	—	—	—		
	(TI05)	入力	PIOR00 = 1	—	1	x	1	—	—	—		
(TO05)	出力	PIOR00 = 1	—	0	0	1	—	—	PCLBUZ1 = 0			
P126	P126	入力	—	—	1	x	1	—	—	—	○	○
		出力	x	—	0	0/1	1	—	—	(TO04) = 0		
	CAPL	—	x	—	1	x	0	—	—	—		
	(TI04)	入力	PIOR00 = 1	—	1	x	1	—	—	—		
	(TO04)	出力	PIOR00 = 1	—	0	0	1	—	—	—		
P127	P127	入力	—	—	1	x	1	—	—	—	○	○
		出力	x	—	0	0/1	1	—	—	(TO03) = 0		
	CAPH	—	x	—	1	x	0	—	—	—		
	(TI03)	入力	PIOR00 = 1	—	1	x	1	—	—	—		
(TO03)	出力	PIOR00 = 1	—	0	0	1	—	—	—			
P130	P130	出力	—	—	—	0/1	—	—	—	PCLBUZ1 = 0 SMO02 = 0	○	○
	PCLBUZ1	出力	PIOR03 = 0	—	—	0	—	—	—	SMO02 = 0	○	x
	SMO02	出力	—	—	—	0	0	—	—	PCLBUZ1 = 0	○	x
P137	P137	入力	—	—	—	x	—	—	—	—	○	○
	INTP0	入力	PIOR04 = 0	—	—	x	—	—	—	—	○	○
P150	P150	入力	—	x	1	x	—	—	—	—	○	○
		N-chOD出力 (6 V耐圧)	x	—	0	0/1	—	0	—	—		
	RTCOUT	出力	PIOR03 = 0	—	0	0	—	0	—	—		
	RTCIC0	入力	x	—	1	x	—	1	—	—		
INTP14	入力	—	—	—	x	—	—	—	—			
P151	P151	入力	—	x	1	x	—	—	—	—	○	○
		N-chOD出力 (6 V耐圧)	—	—	0	0/1	—	0	—	—		
	RTCIC1	入力	—	—	1	x	—	1	—	—		
INTP13	入力	—	—	—	x	—	—	—	—			
P152	P152	入力	—	—	1	x	—	—	—	—	○	○
		N-chOD出力 (6 V耐圧)	—	—	0	0/1	—	0	—	—		
	RTCIC2	入力	—	—	1	x	—	1	—	—		
	INTP12	入力	—	—	—	x	—	—	—	—		

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

4.5.4 SEGxx端子またはCOMx端子兼用ポートの動作

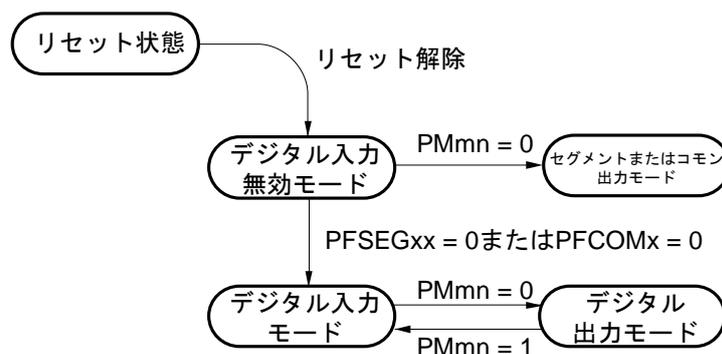
セグメント出力端子 (SEGxx) またはコモン出力端子 (COMx) を兼用するポートの機能は、ポート・モード・レジスタ (PMxx) , LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6) の設定で決定します。

表4-9 SEGxxまたはCOMx/ポート端子機能の設定

PFSEG0-PFSEG6レジスタの PFSEGxx, PFCOMxビット	PMxxレジスタの PMxxビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	-
0	1	デジタル入力モード	-
1	0	セグメントまたはコモン出力モード	-

SEGxxまたはCOMx/ポート端子機能の状態遷移を次に示します。

図4-11 SEGxxまたはCOMx/ポート端子機能の状態遷移図



注意 セグメントまたはコモン出力モードに設定する場合は、セグメントまたはコモン出力開始前 (LCDモード・レジスタ1 (LCDM1) のSCOC = 0の期間) に設定してください。

4.5.5 VL3, CAPL, CAPH端子兼用ポートの動作

VL3/P125, CAPL/P126, CAPH/P127端子の機能は、LCD入力切り替え制御レジスタ (ISCLCD) , LCDモード・レジスタ0 (LCDM0) , ポート・モード・レジスタ12 (PM12) の設定で決定します。

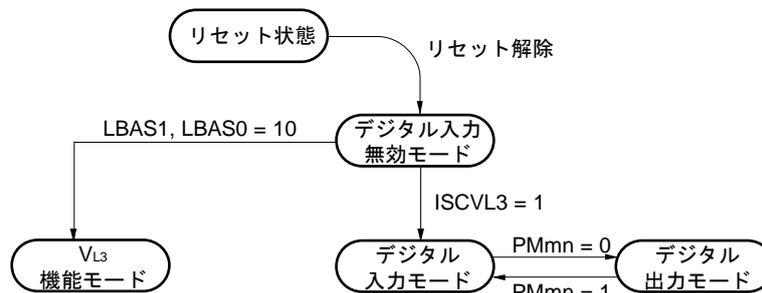
(1) VL3/P125

表4-10 VL3/P125端子機能の設定

バイアス設定 (LCDM0レジスタの LBAS1, LBAS0ビット)	ISCLCDレジスタ のISCVL3ビット	PM12レジスタの PM125ビット	端子機能	初期状態
1/4バイアス法以外 (LBAS1, LBAS0 = 00または 01)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	-
	1	1	デジタル入力モード	-
1/4バイアス法 (LBAS1, LBAS0 = 10)	0	1	VL3機能モード	-
上記以外			設定禁止	

VL3/P125端子機能の状態遷移を次に示します。

図4-12 VL3/P125端子機能の状態遷移図



注意 VL3機能モードに設定する場合は、セグメント出力開始前 (LCDモード・レジスタ1 (LCDM1) の SCOC = 0の期間) に設定してください。

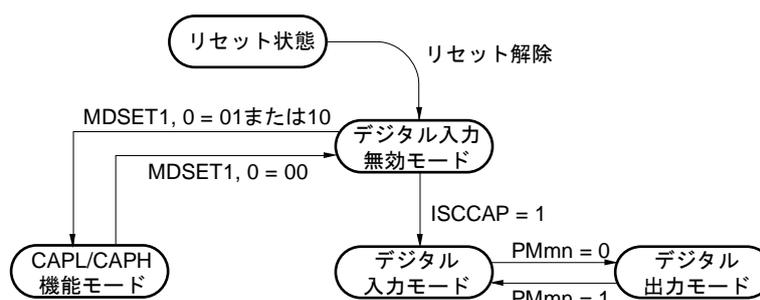
(2) CAPL/P126, CAPH/P127

表4-11 CAPL/P126, CAPH/P127端子機能の設定

LCD駆動電圧生成回路 (LCDM0レジスタのMDSET1, MDSET0ビット)	ISCLCDレジスタ のISCCAPビット	PM12レジスタの PM126, PM127 ビット	端子機能	初期状態
外部抵抗分割 (MDSET1, MDSET0 = 00)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	-
	1	1	デジタル入力モード	-
内部昇圧/容量分割 (MDSET1, MDSET0 = 01また は10)	0	1	CAPL/CAPH機能モード	-
上記以外			設定禁止	

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図4-13 CAPL/P126, CAPH/P127端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOC = 0の期間）に設定してください。

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出カラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出カラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/I1C (512 KB) 内部で、次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

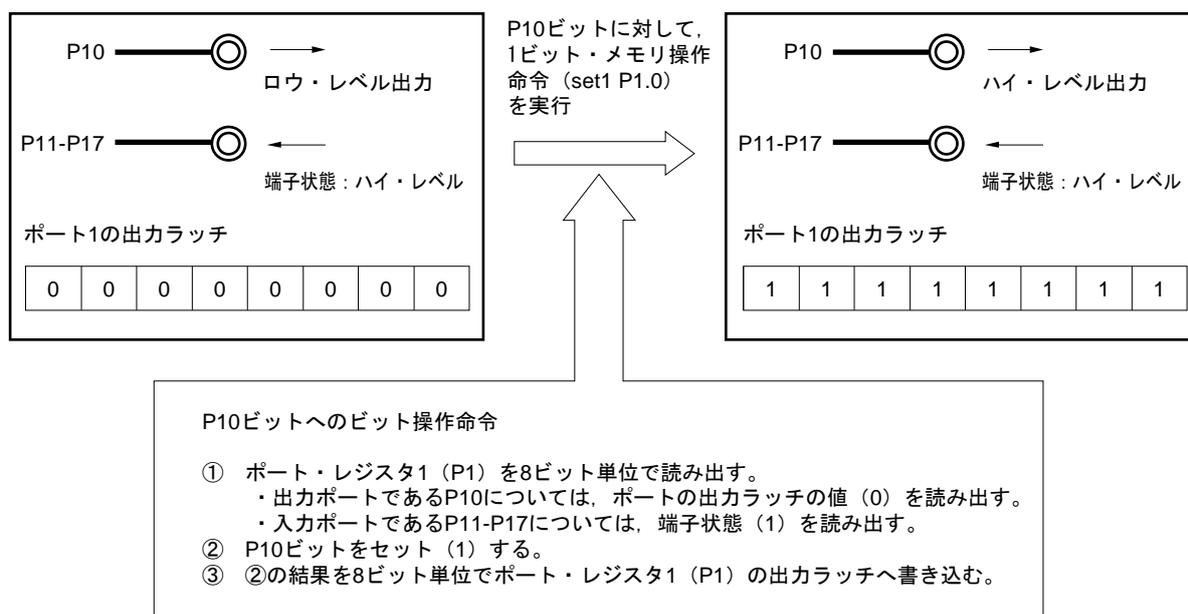
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-14 1ビット・メモリ操作命令（P10の場合）



4.6.2 端子設定に関する注意事項

使用する出力端子に、他の兼用出力機能が割り当てられている場合、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により、割り当てられた機能も同様です。兼用出力については、4.5 兼用機能使用時のレジスタの設定を参照してください。

入力として使用する端子では、兼用の出力機能が無効（バッファ出力がHi-Z）となるので、処理不要です。

なお、入力だけや出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

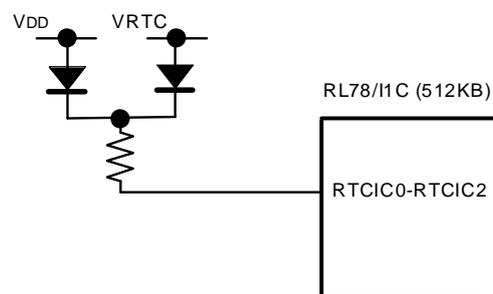
★ 4.6.3 P150-P152に関する注意事項

P150/RTCIC0-P152/RTCIC2端子を使用する場合は下記に注意してください。

(1) 時間キャプチャ入力端子（RTCICn（n = 0~2））として使用する場合

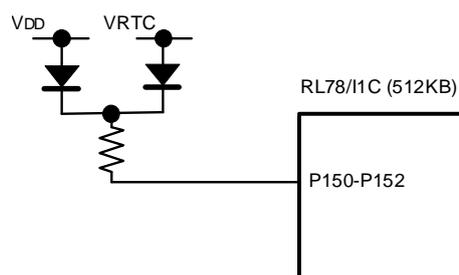
RTCCRY（y = 0~2）レジスタのTCENビットを”1”に設定すると、時間キャプチャ入力端子（RTCICn）が有効となります。

P150/RTCIC0-P152/RTCIC2は、 V_{DD} と V_{RTC} を電源とする2系統の入力バッファで構成されており、入力バッファは常にオンになっているため、入力バッファに中間電位が入力された場合に貫通電流が流れることがあります。そのため、 V_{DD} が変動（例えば、 $V_{RTC} \leq V_{DD} \rightarrow V_{DD} < V_{RTC}$ ）しても中間電位が端子に入力されないように、つぎのような回路を構成して V_{DD} と V_{RTC} のうち高い電圧、または V_{DD} と V_{RTC} より高い電圧（6V以下）を入力するようにしてください。



(2) P150-P152を入力ポートとして使用する場合

P150-P152は、 V_{DD} と V_{RTC} を電源とする2系統の入力バッファで構成されています。入力バッファは常にオンになっているため、入力バッファに中間電位が入力された場合に貫通電流が流れることがあります。そのため、P150-P152にハイ・レベルを入力する場合は、 V_{DD} が変動（例えば、 $V_{RTC} \leq V_{DD} \rightarrow V_{DD} < V_{RTC}$ ）しても中間電位が端子に入力されないように、つぎのような回路を構成して V_{DD} と V_{RTC} のうち高い電圧、または V_{DD} と V_{RTC} より高い電圧（6V以下）を入力するようにしてください。



(3) P150-P152を出力ポート（N-chオープン・ドレイン出力）として使用する場合

P150-P152を出力モードで使用する場合は、RTCCRy (y = 0~2) レジスタのTCENビットを“0”に設定してください。

ハイ・レベル出力する場合は入力ポートとして使用する場合と同様にV_{DD}とVRTCのうち高い電圧、またはV_{DD}とVRTCより高い電圧（6 V以下）を入力するようにしてください。

ロウ・レベル出力をしている場合に、V_{DD}の電源低下もしくは電源遮断によってリセットが発生すると、P150-P152は入力モードになります。このとき、入力バッファに中間電位が入力された場合、貫通電流が流れることがあります。

(4) P150/RTCIC0 - P152/RTCIC2端子を使用しない場合

未使用時の推奨接続方法に従い、P150-P152を入力モードに設定し、個別に抵抗を介してV_{SS}に接続してください。

第5章 オペレーション・ステート・コントロール

内部回路の動作電圧、動作タイミング、動作電流は、フラッシュ動作モードによって最適化されます。マイコンを動作させる電源電圧範囲やクロック周波数に合わせて、適切なフラッシュ動作モードを選択してください。

リセット解除直後はオプション・バイトで設定されたフラッシュ動作モードで動作します。その後、レジスタの設定により各モードで動作します。

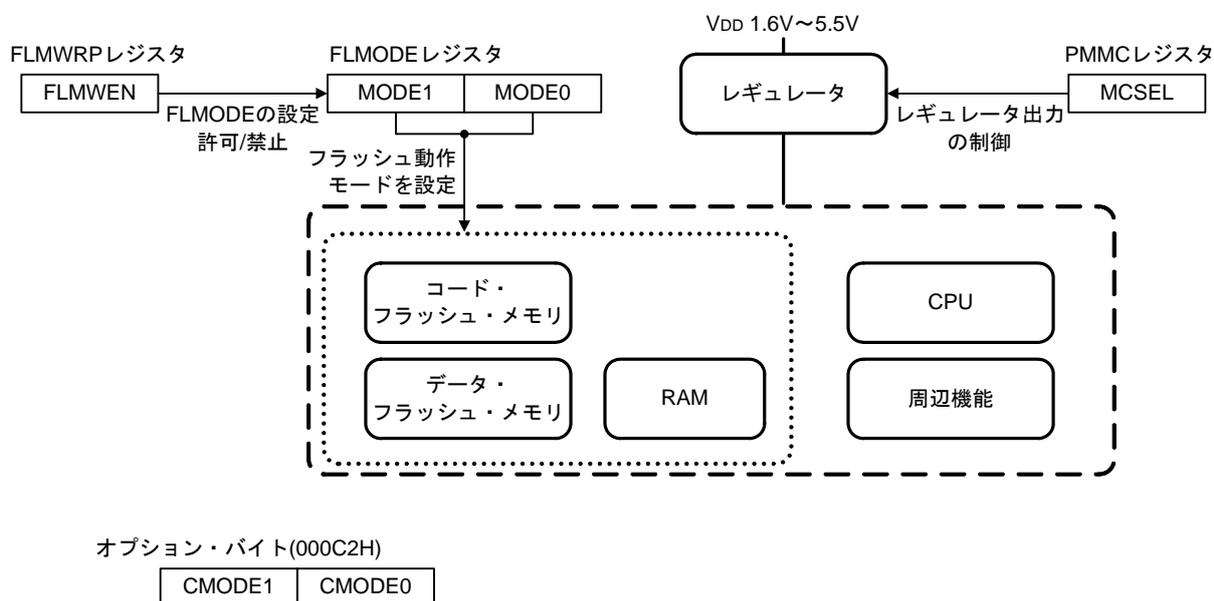
5.1 オペレーション・ステート・コントロールの構成

オペレーション・ステート・コントロールは、次のハードウェアで構成されています。

表5-1 オペレーション・ステート・コントロールの構成

項目	構成
オプション・バイト	• ユーザ・オプション・バイト アドレス : 000C2H
制御レジスタ	• フラッシュ動作モード選択レジスタ (FLMODE) • フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) • レギュレータ・モード制御レジスタ (PMMC)

図5-1 オペレーション・ステート・コントロールの概略図



フラッシュ動作モードは、以下の4つのモードあります。

- HS (高速メイン) モード
- LS (低速メイン) モード
- LV (低電圧メイン) モード
- LP (低電力メイン) モード

マイコンの動作環境に合わせてこれらのフラッシュ動作モードを設定することにより、効率よくマイコンを動作させることができます。表5-2に各フラッシュ動作モードの特長を示します。

表5-2 各フラッシュ動作モードの特長

フラッシュ動作モード	レギュレータ・モード	推奨動作範囲		動作電流 (typ.)	説明
HS (高速メイン) モード	通常設定のみ (MCSEL = 0)	2.7 V~5.5 V	1 MHz~32 MHz	5.6 mA (32 MHz ^{注1} 動作時)	CPUの高速動作 (32 MHz (max.)) が可能なモードです。CPUの処理能力が必要な場合に最適です。
		2.4 V~5.5 V	1 MHz~16 MHz		
		2.1 V~5.5 V	1 MHz~6 MHz		
LS (低速メイン) モード	通常設定 (MCSEL = 0)	1.8 V~5.5 V	1 MHz~8 MHz	1.5 mA (8 MHz ^{注1} 動作時)	動作電流とCPUの演算処理 (8 MHz (max.)) のバランスのとれたモードです。CPUを4 MHz~8 MHzで動作させる場合、レギュレータ・モードを通常設定にしてください。 CPUを1 MHz~4 MHzで動作させる場合は、レギュレータ・モードを低消費設定にする事でより動作電流を低減する事ができます。
	低消費設定 (MCSEL = 1)	1.8 V~5.5 V	1 MHz~4 MHz	0.8 mA (4 MHz ^{注2} 動作時)	
LP (低電力メイン) モード	低消費設定のみ (MCSEL = 1)	1.8 V~5.5 V	1 MHz	170 μA (1 MHz ^{注2} 動作時)	1 MHzで動作するモードです。 1 MHzで低動作電流を実現します。
LV (低電圧メイン) モード ^{注1}	通常設定のみ (MCSEL = 0)	1.6 V~5.5 V	1 MHz~4 MHz	1.7 mA (4 MHz 動作時)	1.6 Vまで低電圧動作が可能なモードです。電源電圧が1.6 V~1.8 VでCPUを動作させる場合はこのモードを選択してください。

注1. 高速オンチップ・オシレータのみで動作可能

2. 中速オンチップ・オシレータ動作時

5.2 オペレーション・ステート・コントロールを制御するレジスタ

オペレーション・ステート・コントロールを制御するレジスタを次に示します。

- フラッシュ動作モード選択レジスタ (FLMODE)
- フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)
- レギュレータ・モード制御レジスタ (PMMC)

5.2.1 フラッシュ動作モード選択レジスタ (FLMODE)

FLMODEレジスタは、フラッシュ動作モードとコード・フラッシュ・メモリの動作を制御する8ビットのレジスタです。

FLMODEレジスタは1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。但し、フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) のFLMWENが0の時、値を変更することはできません。

リセット発生により、MODE1, MODE0はオプション・バイトのCMODE1, CMODE0 (アドレス: 000C2H) の設定値が反映されます。

図5-2 フラッシュ動作モード選択レジスタ (FLMODE) のフォーマット

アドレス: F00AAH リセット時: 00H/80H/C0H^{注1} R/W

略号	7	6	5	4	3	2	1	0
FLMODE	MODE1	MODE0	0	0	0	0	BANKPGEN	0

MODE1	MODE0	フラッシュ動作モードの選択
0	0	LV (低電圧メイン) モード (LSモードで $1\text{ MHz} \leq f_{\text{CLK}} \leq 4\text{ MHz}$ の時, 選択可能です。)
0	1	LP (低電力メイン) モード (LSモードで $1.8\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ かつ $f_{\text{CLK}} = 1\text{ MHz}$ の時, 選択可能です。 ^{注2})
1	0	LS (低速メイン) モード (HSモードまたはLPモードまたはLVモードで $1.8\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ かつ $1\text{ MHz} \leq f_{\text{CLK}} \leq 8\text{ MHz}$ の時, 選択可能です。)
1	1	HS (高速メイン) モード (LSモードで $2.4\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ の時, 選択可能です。)

注1. FLMODEレジスタの初期値は、MODE1ビット、MODE0ビットにオプション・バイトのCMODE1ビット、CMODE0ビット (アドレス: 000C2H) の設定値が反映された値になります。

- LP (低電力メイン) モードを選択後、レギュレータ・モード制御レジスタ (PMMC) のMCSELビットを1に設定してください。

注意1. FLMODEレジスタは、フラッシュ動作モードプロテクトレジスタ (FLMWRP) のFLMWENビットが0の時、値を変更できません。また、レギュレータ・モード制御レジスタのMCSELビットが1の時、値を変更しないでください。FLMODEレジスタの値を変更する場合は、MCSELが0の時にFLMWRPレジスタのFLMWENビットに1を設定した後に行ってください。また、FLMODEレジスタの値を変更した後はFLMWENビットを0に設定してください。

- MODE1ビット、MODE0ビットはシステム・クロック制御レジスタ (CKC) のCSSビットが1 (CPU/周辺機能がサブシステム・クロック動作) の時、設定できません。

注意3. MODE1ビット, MODE0ビットをDTCで値を変更しないでください。

4. フラッシュ動作モードを変更する場合, 変更後のフラッシュ動作モードで動作可能な電圧範囲および動作周波数範囲であることを確認した後, フラッシュ動作モードを変更してください。
5. LV (低電圧メイン) モードでは中速オンチップ・オシレータを使用できません。LVモードに遷移する場合, 前もって動作クロックを中速オンチップ・オシレータ以外の発振に切り替えたのち, LVモードに遷移してください。
6. MODE1ビット, MODE0ビットでフラッシュ動作モードを変更した場合, フラッシュ動作モードが遷移するまで下記の時間CPUはウエイト状態になります。このウエイト期間中の割り込み要求は保留されます。

表5-3 フラッシュ動作モード変更時間

フラッシュ動作モードの変更	変更時間
LS (低速メイン) モード ⇒ HS (高速メイン) モード	225サイクル ^{*1}
LS (低速メイン) モード ⇒ LV (低電圧メイン) モード	99サイクル ^{*1,2}
LP (低電力メイン) モード ⇒ LS (低速メイン) モード	10サイクル ^{*1}
LS (低速メイン) モード ⇒ LP (低電力メイン) モード	10サイクル ^{*1}
LV (低電圧メイン) モード ⇒ LS (低速メイン) モード	20サイクル ^{*1}
HS (高速メイン) モード ⇒ LS (低速メイン) モード	30サイクル ^{*1}

*1 : CPU/周辺クロック (f_{CLK}) のサイクル数

*2 : LV (低電圧メイン) モードに切り替える場合は, 高速オンチップ・オシレータの発振が安定している状態で行ってください。

注意7. FLMODEレジスタの書き換えはFLMODEレジスタの書き換え後, 1クロック以上間を空けてから書き込みを行ってください。FLMODEレジスタへの連続書き込みはしないでください。

8. フラッシュ・メモリ書き換えの際にFLMODEレジスタは変更しないでください。

5.2.2 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)

FLMWRPレジスタは、フラッシュ動作モード選択レジスタへのアクセスを制御する8ビットのレジスタです。FLMWRPレジスタは1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。リセット発生により、FLMWRPレジスタは00HIになります。

図5-3 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) のフォーマット

アドレス : F00ABH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FLMWRP	0	0	0	0	0	0	0	FLMWEN

FLMWEN	フラッシュ動作モード選択レジスタ (FLMODE) の制御
0	FLMODEレジスタの書き換え禁止
1	FLMODEレジスタの書き換え許可

5.2.3 レギュレータ・モード制御レジスタ (PMMC)

PMMCレジスタは、内蔵されているレギュレータのモードを制御する8ビットのレジスタです。PMMCレジスタは1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。リセット発生により、PMMCレジスタは00HIになります。

図5-4 レギュレータ・モード制御レジスタ (PMMC) のフォーマット

アドレス : F00F8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMMC	0	MCSEL	0	0	0	0	0	0

MCSEL	レギュレータ・モードの制御
0	通常設定
1	低消費設定

- 注意1. MCSELが1の時フラッシュ動作モード選択レジスタ (FLMODE) を変更しないでください。
2. HS (高速メイン) モード, LV (低電圧メイン) モードではMCSELを1に設定しないでください。
 3. LS (低速メイン) モードではMCSELが1の時にSTOPモード状態に遷移することは禁止です。

5.3 フラッシュ動作モードの初期設定

オプション・バイト (000C2H) は、フラッシュ動作モードと高速オンチップ・オシレータのリセット解除後の初期状態を設定します。

リセット解除時のV_{DD}の電圧と高速オンチップ・オシレータの周波数に合わせて、適切なフラッシュ動作モードを設定してください。

リセット解除時にCMODE1, CMODE0の値はフラッシュ動作モード選択レジスタ (FLMODE) のMODE1, MODE0に、FRQSEL2-FRQSEL0の値は、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) に反映されます。

図5-5 ユーザ・オプション・バイト (000C2H) のフォーマット

アドレス : 000C2H

略号	7	6	5	4	3	2	1	0
	CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

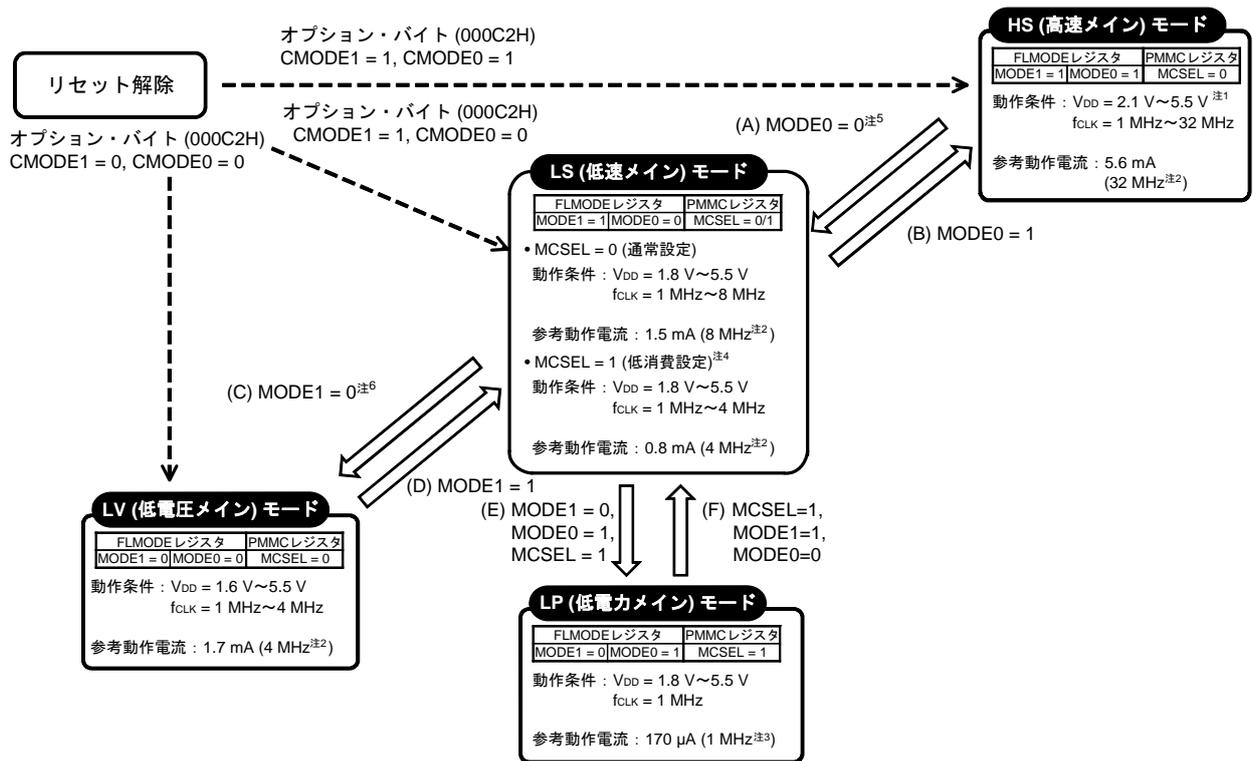
CMODE1	CMODE0	リセット解除後のフラッシュ動作モードの選択
0	0	LV (低電圧メイン) モード
1	0	LS (低速メイン) モード
1	1	HS (高速メイン) モード
上記以外		設定禁止

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
0	1	0	0	1.5 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

5.4 フラッシュ動作モードの遷移

リセット解除直後のフラッシュ動作モードは、オプション・バイト (000C2H) のCMODE1, CMODE0で設定によって、HS (高速メイン) モード, LS (低速メイン) モード, LV (低電圧メイン) モードを選択することができます。また、CMODE1, CMODE0の値はフラッシュ動作モード選択レジスタ (FLMODE) のMODE1, MODE0ビットに反映されます。その後は、CPU動作中にFLMODEレジスタの値を変更することによって、フラッシュ動作モードを遷移させることができます。

図5-6 フラッシュ動作モードの状態遷移



注1. 動作周波数と動作電圧範囲は下記の通りです。

$$1\text{MHz} \leq f_{CLK} \leq 6\text{MHz} \quad (2.1\text{V} \leq V_{DD} \leq 5.5\text{V})$$

$$1\text{MHz} \leq f_{CLK} \leq 16\text{MHz} \quad (2.4\text{V} \leq V_{DD} \leq 5.5\text{V})$$

$$1\text{MHz} \leq f_{CLK} \leq 32\text{MHz} \quad (2.7\text{V} \leq V_{DD} \leq 5.5\text{V})$$

- 高速オンチップ・オシレータ動作時の電流です。
- 中速オンチップ・オシレータ動作時の電流です。
- MCSEL = 1 (低消費設定) の時は、各フラッシュ動作モードおよび、STOPモードへ遷移できません。フラッシュ動作モードを変更、およびSTOPモードに遷移する場合、必ずMCSEL = 0 (通常設定) で変更してください。
- オプション・バイト (000C2H) のCMODE1 = 1, CMODE0 = 1に設定した場合、LS (低速メイン) モードへ遷移後、動作電圧2.4 V未満でリセットが発生した場合の動作は保障できません。
- オプション・バイト (000C2H) のCMODE1 = 1, CMODE0 = 0に設定した場合、LV (低電圧メイン) モードへ遷移後、動作電圧1.8 V未満でリセットが発生した場合の動作は保障できません。

注意 マイコンの動作中にリセットが入った場合、リセット解除後は必ずオプション・バイトで設定したフラッシュ動作モードで動作を開始します。従って、LVDの検出電圧をオプション・バイトに設定したフラッシュ動作モードの動作電圧範囲以上に設定するなど、リセット解除時に動作電圧範囲外で動作を開始しないようにしてください。

5.5 フラッシュ動作モードの詳細

5.5.1 HS（高速メイン）モードの詳細

HS（高速メイン）モードは、CPUの高速処理が必要なアプリケーションに最適なモードです。

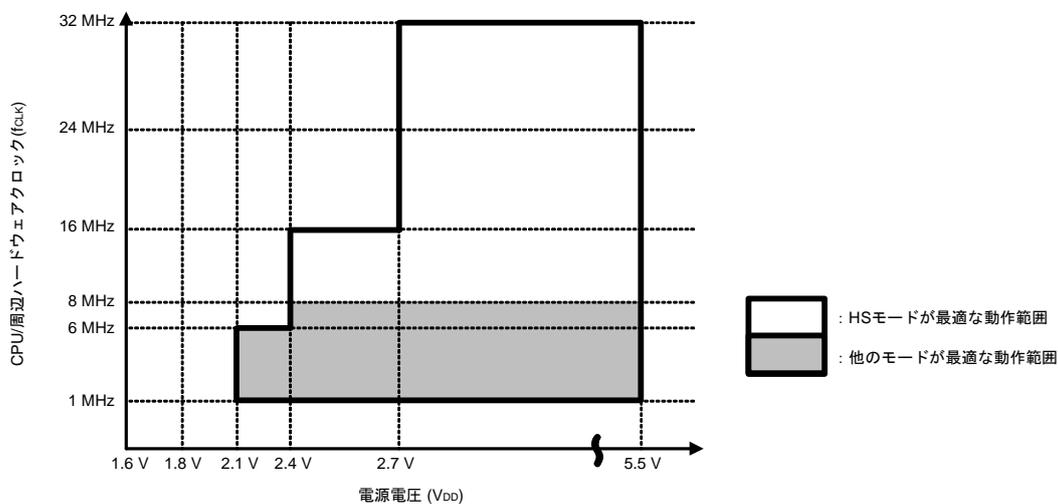
HSモードは、リセット解除直後から動作可能です。また、LS（低速メイン）モードから遷移する事が可能です。HSモードに遷移する場合は、LSモードで電源電圧が $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の状態で遷移してください。

HSモードの最適動作範囲は、電源電圧が以下の条件の時です。

- $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、動作周波数が $8\text{ MHz} < f_{CLK} \leq 16\text{ MHz}$
- $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、動作周波数が $8\text{ MHz} < f_{CLK} \leq 32\text{ MHz}$

8 MHz以下で動作させる場合は、その他のモードが最適なフラッシュ動作モードになります。

図5-7 HSモードの動作範囲



5.5.2 LS（低速メイン）モードの詳細

LS（低速メイン）モードは、CPUの処理能力と動作電力性能を両立しており、1 MHz～8 MHzで低消費電力が必要なアプリケーションに最適なモードです。

LSモードはリセット解除直後から動作可能です。また、HS（高速メイン）モード、LV（低電圧メイン）モード、LP（低電力メイン）モードから遷移する事が可能です。HSモードからLSモードに遷移する場合、動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 8\text{ MHz}$ の状態での遷移してください。

LSモードはレギュレータ・モード制御レジスタ（PMMC）のMCSELビットによって、低消費設定にすることが可能です。低消費設定にする場合、動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 4\text{ MHz}$ の状態でのMCSELビットを1に設定してください。

LSモードの最適動作範囲は、MCSEL = 0の場合、電源電圧が $1.8\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 、動作周波数が $4\text{ MHz} < f_{\text{CLK}} \leq 8\text{ MHz}$ の時、MCSEL = 1の場合、電源電圧が $1.8\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 、動作周波数が $1\text{ MHz} < f_{\text{CLK}} \leq 4\text{ MHz}$ の時です。

図5-8 LSモードの動作範囲（MCSEL = 0）

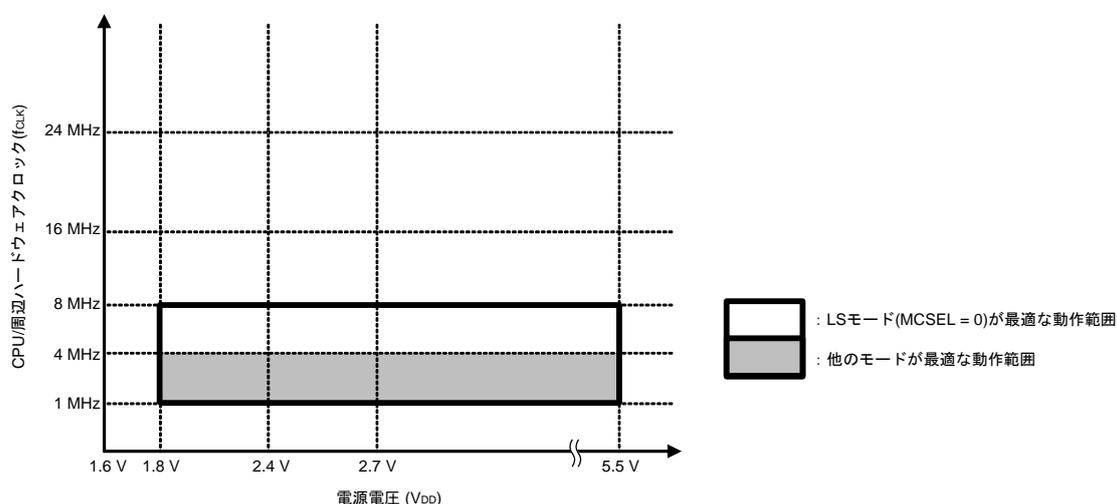
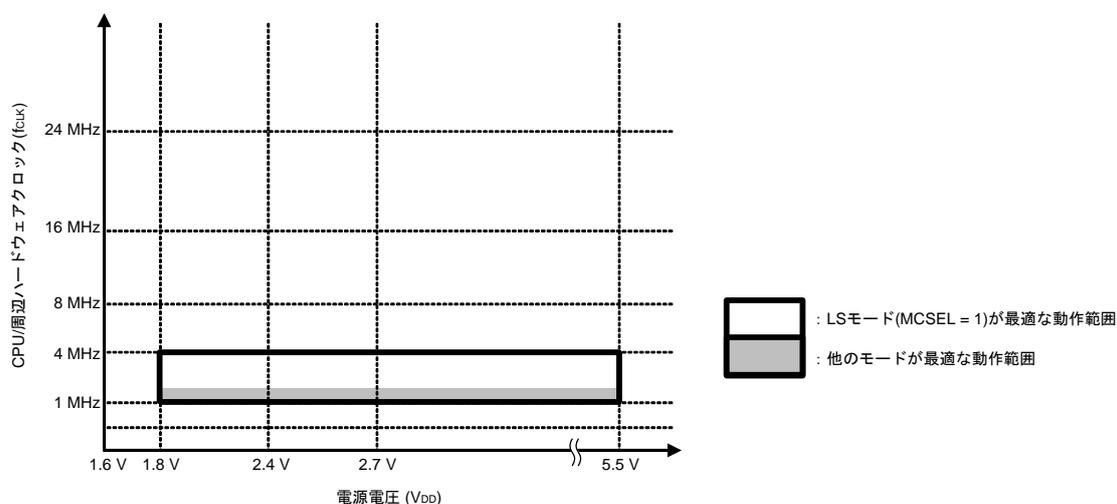


図5-9 LSモードの動作範囲（MCSEL = 1）



注意 他のフラッシュ動作モードに遷移する場合は、MCSEL = 0の状態での遷移してください。

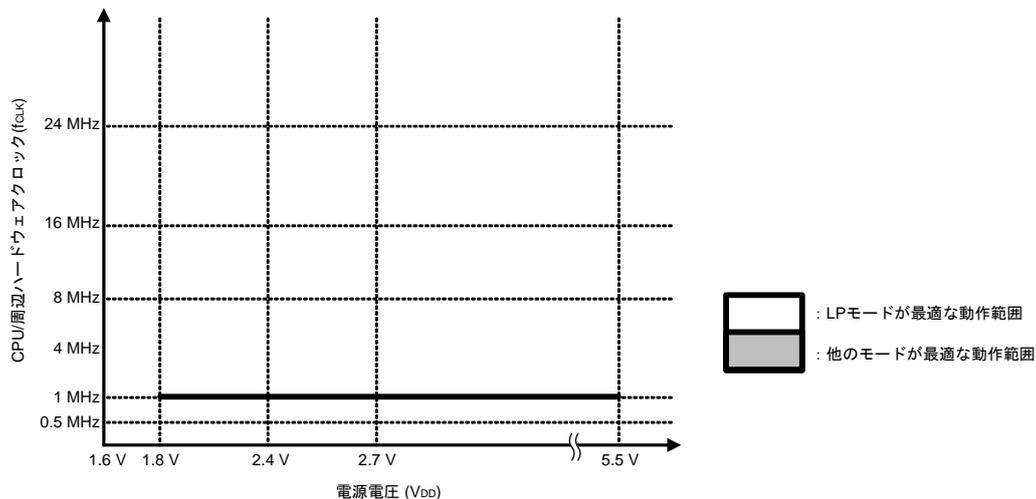
5.5.3 LP（低電力メイン）モードの詳細

LP（低電力メイン）モードは、1 MHzの動作周波数によって低電力でCPUを動作させるモードです。

LPモードはLS（低速メイン）モードから遷移する事が可能です。LSモードからLPモードに遷移する場合、動作周波数が $f_{CLK} = 1 \text{ MHz}$ の状態での遷移してください。遷移後は、レギュレータ・モード制御レジスタのMCSELビットを1にセットしてください。

LPモードの最適動作範囲は、電源電圧が $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ 、動作周波数が1 MHzの時です。

図5-10 LPモードの動作範囲



注意1. LS（低速メイン）モードに遷移する場合は、MCSEL = 0の状態での遷移してください。

2. LP（低電力メイン）モード、LV（低電圧メイン）モード時には24ビット $\Delta\Sigma$ A/Dコンバータ機能は使用できません。

5.5.4 LV（低電圧メイン）モードの詳細

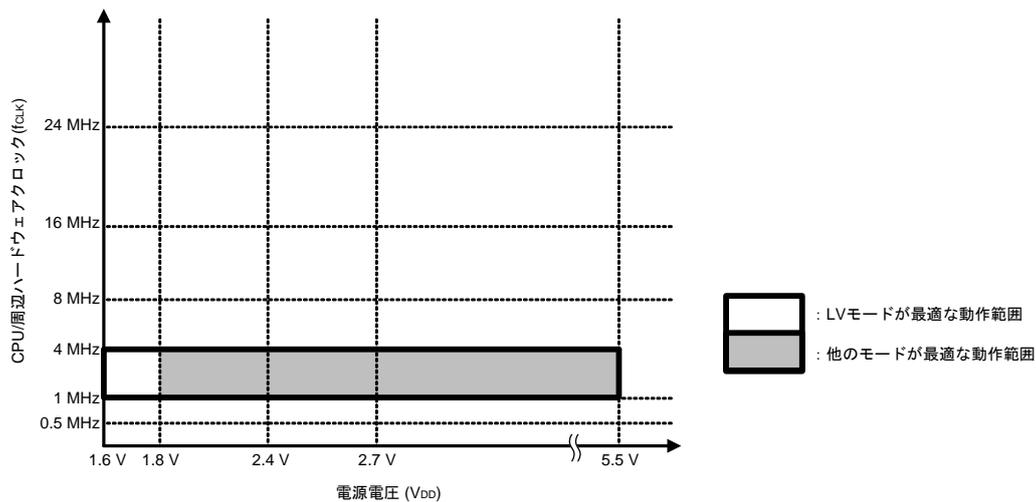
LV（低電圧メイン）モードは、1.8 V以下の動作が必要なアプリケーションに最適なモードです。

LVモードはリセット解除直後から動作可能です。また、LS（低速メイン）モードから遷移する事が可能です。

LSモードからLVモードに遷移する場合、動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 4\text{ MHz}$ の状態に遷移してください。

LVモードの最適動作範囲は、電源電圧が $1.6\text{ V} \leq V_{\text{DD}} < 1.8\text{ V}$ の時です。電源電圧が $1.8\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ で動作させる場合は他のモードが最適なフラッシュ動作になります。

図5-11 LVモードの動作範囲



- 注意1. LV（低電圧メイン）モードでは中速オンチップ・オシレータを使用できません。LVモードに遷移する場合、前もって動作クロックを中速オンチップ・オシレータ以外の発振に切り替えたのち、LVモードに遷移してください。
2. LP（低電力メイン）モード、LV（低電圧メイン）モード時には24ビット $\Delta\Sigma$ A/Dコンバータ機能は使用できません。

第6章 クロック発生回路

6.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子、X2端子に発振子を接続することにより、 $f_x = 1 \sim 20 \text{ MHz}$ ^注のクロックを発振させることができます。STOP命令の実行または MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

注 24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックに高速システム・クロック（ f_{MX} ）を供給する場合は、水晶発振子は12 MHzのみ使用可能です。

② 高速オンチップ・オシレータ

オプションバイト（000C2H）により、 $f_{IH} = 24 \text{ MHz}/12 \text{ MHz}/6 \text{ MHz}/3 \text{ MHz}/1.5 \text{ MHz}$ （FRQSEL3 = 0 設定時）または、 $f_{IH} = 32 \text{ MHz}/16 \text{ MHz}/8 \text{ MHz}/4 \text{ MHz}/2 \text{ MHz}/1 \text{ MHz}$ （FRQSEL3 = 1 設定時）から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、**図6-14 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット**を参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数 (MHz)										
	1	1.5	2	3	4	6	8	12	16	24	32
$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	○	○	○	○	○	○	○	○	○
$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	○	○	○	○	○	○	○	—	—
$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	○	○	○	○	○	—	—	—	—
$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	○	○	○	—	—	—	—	—	—

注意 24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロックを供給する場合は、FRQSEL3 = 0 ($f_{HOCO} = 24 \text{ MHz}$) を選択してください。高速オンチップ・オシレータ・クロック (f_{IH}) の周波数設定に因らず $f_{HOCO}/2 = 12 \text{ MHz}$ が供給されます。

③中速オンチップ・オシレータ

MOCODIVビット（MOCODIVレジスタのビット0, 1）の設定により、 $f_{IM} = 4 \text{ MHz}/2 \text{ MHz}/1 \text{ MHz}$ （TYP.）から周波数を選択し、発振させることができます。STOP命令の実行またはMIOENビット（CSCレジスタのビット1）の設定により、発振を停止することができます。

④PLL発振回路

メイン・クロック制御レジスタ（MCKC）からPLLクロックを選択し、PLL制御レジスタ（DSCCTL）の設定することにより、 $f_{PLL} = 32 \text{ MHz}$ を発振することが可能です。

また、EXCLK/X2/P122/INTP8端子から外部メイン・システム・クロック（ $f_{EX} = 1 \sim 20 \text{ MHz}^{\text{※}}$ ）を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、PLLクロックを切り替えられます。

なお、メイン・システム・クロックは、電源電圧 V_{DD} によって使用可能な周波数範囲が異なり、オプション・バイト（000C2H）のCMODE0、CMODE1もしくはフラッシュ動作モード選択レジスタ（FLMODE）によりフラッシュの動作電圧モードの設定（**第37章 オプション・バイト**参照もしくは**第5章 オペレーション・ステート・コントロール**参照）が必要です。

注 24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックに高速システム・クロック（ f_{MX} ）を供給する場合は、外部メイン・システム・クロック（ f_{EX} ）に12 MHzを供給してください。

(2) サブシステム・クロック

① XT1発振回路

XT1端子、XT2端子に32.768 kHzまたは38.4 kHzの発振子を接続することにより、 $f_{XT} = 32.768 \text{ kHz}$ または38.4 kHzのクロックを発振させることができます。XTSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット6）の設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック（ $f_{EXS} = 32.768 \text{ kHz}$ または38.4 kHz）を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

注意 XT1発振回路は、VRTC電源で動作します。VRTC端子に電源を投入後、RTCパワーオン・リセット解除後に動作可能となります。VRTC端子電圧が検出電圧(V_{PDR})を下回った場合、RTCパワーオン・リセットが発生しXT1発振回路は停止します。

② 低速オンチップ・オシレータ

$f_{IL} = 15 \text{ kHz}$ （TYP.）のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして選択する事ができます。また、低速オンチップ・オシレータ・クロックで下記の周辺ハードウェアが動作します。

- ・ウォッチドッグ・タイマ
- ・12ビット・インターバル・タイマ
- ・8ビット・インターバル・タイマ
- ・周波数測定回路
- ・発振停止検出回路
- ・LCDコントローラ／ドライバ
- ・タイマRJ0, 1

オプション・バイト（000C0H）のビット4（WDTON）または、サブシステム・クロック供給オプション制御レジスタ（OSMC）のビット4（WUTMMCK0）または、サブシステム・クロック選択レジスタ（CKSEL）のビット0（SELLOSC）のいずれか、または複数のビットが1の時に動作します。

ただし、WDTON = 1, WUTMMCK0 = 0, SELLOSC = 0かつオプション・バイト（000C0H）のビット0（WDSTBYON）が0のときにHALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

備考	f_X	: X1クロック発振周波数
	f_{IH}	: 高速オンチップ・オシレータ・クロック周波数（最大32 MHz）
	f_{IM}	: 中速オンチップ・オシレータ・クロック周波数（最大4 MHz）
	f_{EX}	: 外部メイン・システム・クロック周波数
	f_{XT}	: XT1クロック発振周波数
	f_{EXS}	: 外部サブシステム・クロック周波数
	f_{IL}	: 低速オンチップ・オシレータ・クロック周波数
	f_{PLL}	: PLLクロック周波数

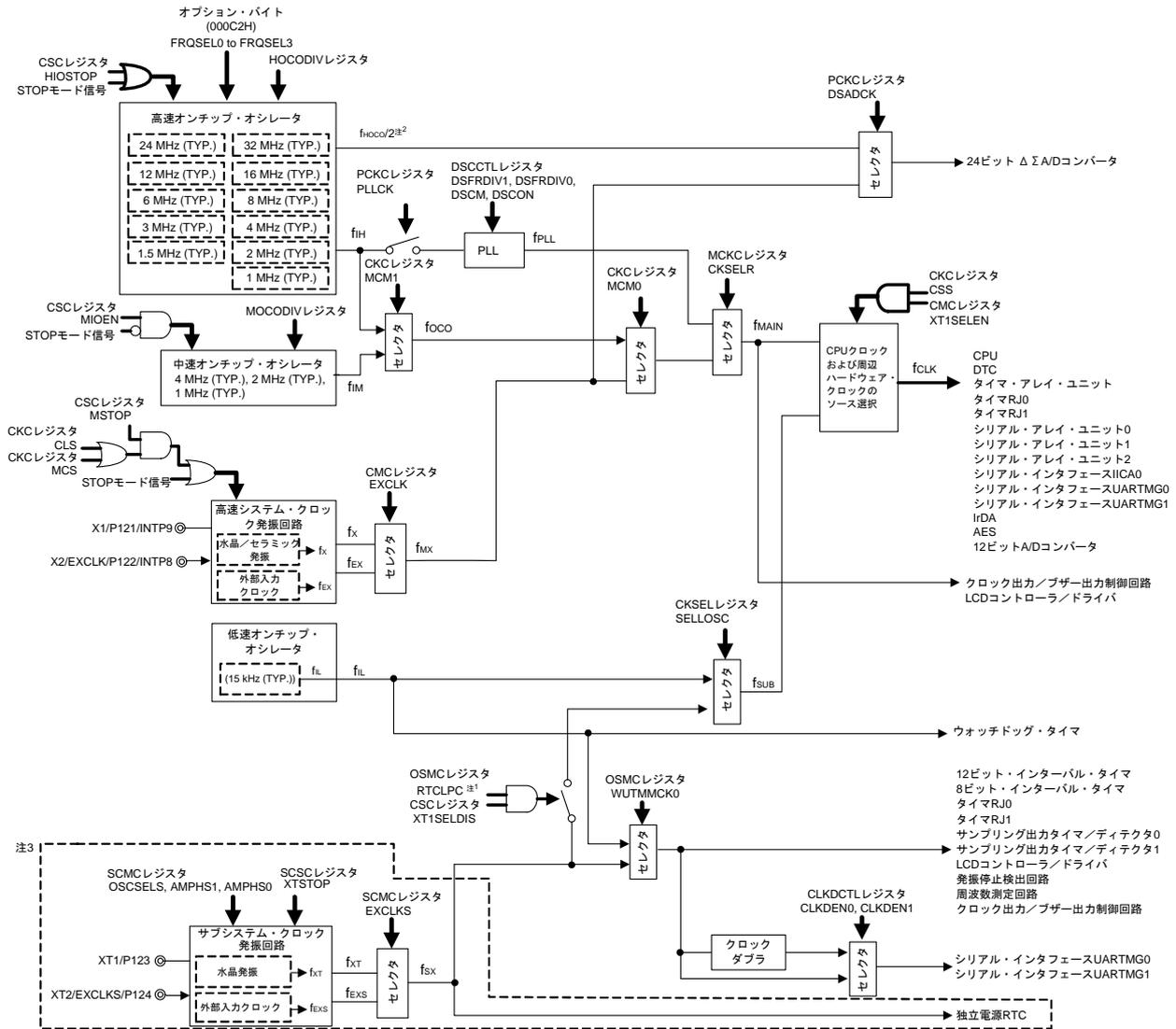
6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2) サブシステム・クロック供給オプション制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) サブシステム・クロック選択レジスタ (CKSEL) 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV) 周波数測定回路クロック選択レジスタ (FMCKS) ペリフェラル・クロックコントロールレジスタ (PCKC) PLL制御レジスタ (DSCCTL) メイン・クロック制御レジスタ (MCKC) サブ・クロック動作モード制御レジスタ (SCMC) サブ・クロック動作ステータス制御レジスタ (SCSC)
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 中速オンチップ・オシレータ 低速オンチップ・オシレータ PLL発振回路

図6-1 クロック発生回路のブロック図



- 注1. RTCLPC = 1に設定した場合、STOPモード時又はサブ・クロック (fsx) でCPU動作中のHALTモード時にクロック供給を停止します。
2. 24ビットΔΣA/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロックを供給する場合はFRQSEL3 = 0 (fHOCO = 24 MHz) を選択してください。高速オンチップ・オシレータ・クロック (fH) の周波数設定に因らずfHOCO/2 = 12 MHzが供給されます。
3. 点線で囲ったブロックはVRTC電源で動作します。VRTC端子に電源を投入後、RTCパワーオン・リセット解除後に動作可能となります。VRTC端子電圧が検出電圧(VPDR)を下回った場合、RTCパワーオン・リセットが発生し点線で囲ったブロックは動作停止します。

注意 シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1の動作クロックに低速オンチップ・オシレータ・クロック (fL) を選択することはできません。シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1を使用する場合は、WUTMMCK0ビットを0に設定して、動作クロックにサブ・クロック (fsx) を選択してください。

(備考は次ページにあります。)

備考	f_X	: X1クロック発振周波数
	f_{IH}	: 高速オンチップ・オシレータ・クロック周波数 (最大32 MHz)
	f_{IM}	: 中速オンチップ・オシレータ・クロック周波数 (最大4 MHz)
	f_{EX}	: 外部メイン・システム・クロック周波数
	f_{MX}	: 高速システム・クロック周波数
	f_{MAIN}	: メイン・システム・クロック周波数
	f_{XT}	: XT1クロック発振周波数
	f_{EXS}	: 外部サブシステム・クロック周波数
	f_{SX}	: サブ・クロック周波数
	f_{SUB}	: サブシステム・クロック周波数
	f_{CLK}	: CPU/周辺ハードウェア・クロック周波数
	f_{IL}	: 低速オンチップ・オシレータ・クロック周波数
	f_{OCO}	: メイン・オンチップ・オシレータ・クロック周波数 (f_{IH} または f_{IM})
	f_{PLL}	: PLLクロック周波数
	f_{HOCO}	: 高速オンチップ・オシレータ・クロック発振周波数 (24 MHz (FRQSEL3 = 0設定時), 32 MHz (FRQSEL3 = 1設定時))

6.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- サブ・クロック動作モード制御レジスタ (SCMC)
- サブ・クロック動作ステータス制御レジスタ (SCSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2)
- サブシステム・クロック供給オプション制御レジスタ (OSMC)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- サブシステム・クロック選択レジスタ (CKSEL)
- 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)
- 周波数測定回路クロック選択レジスタ (FMCKS)
- PLL制御レジスタ (DSCCTL)
- メイン・クロック制御レジスタ (MCKC)
- ペリフェラル・クロックコントロールレジスタ (PCKC)

注意 製品によって、搭載しているビットは異なります。搭載していないビットには必ず初期値を設定してください。

6.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121/INTP9, X2/EXCLK/P122/INTP8端子の動作モードの設定と、X1発振回路のゲインを選択及びXT1発振クロックまたは外部サブシステム・クロックの選択許可を制御するレジスタです。

CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

RTCパワーオン・リセットを除くすべてのリセット信号の発生により、00Hになります。

図6-2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	XT1SELEN	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121/INTP9端子	X2/EXCLK/P122/INTP8端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶/セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

XT1SELEN	CPU/周辺ハードウェア・クロック (f _{CLK}) へのXT1発振クロック (f _{XT}) または外部サブシステム・クロック (f _{EXS}) の選択許可 ^{注1, 2, 3}
0	禁止 (CKCレジスタのCSSビットによるクロック切り替えが無効)
1	許可 (CKCレジスタのCSSビットによるクロック切り替えが有効)

AMPH	X1クロック発振周波数の制御
0	1 MHz ≤ f _x ≤ 10 MHz
1	10 MHz < f _x ≤ 20 MHz

- 注 1. CKCレジスタのCSSビットによるクロック切り替えを許可するだけであり、本ビットの設定によりCPU/周辺ハードウェア・クロック (f_{CLK}) が切り替わることはありません。
2. 低速オンチップ・オシレータ・クロック (f_{IL}) をCPU/周辺ハードウェア・クロック (f_{CLK}) に選択する場合は、本ビットの設定は必要ありません。
3. 必ずSCMCレジスタのOSCSELSビットと同じ値を書き込んでください。

- 注意 1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作 (00H以外の誤書き込みで復帰不可) を防止するために、リセット解除後は必ず00Hに設定してください。
2. リセット解除後、クロック動作ステータス制御レジスタ (CSC) またはサブ・クロック動作ステータス制御レジスタ (SCSC) の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。
3. X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHビットに1を設定してください。
4. AMPHビットは、リセット解除後f_{CLK}にf_{IH}を選択した状態 (f_{CLK}をf_{MX}やf_{SUB}に切り替える前の状態) で設定してください。
5. システム・クロックの周波数上限は32 MHzですが、X1発振回路の周波数上限は20 MHzになります。

備考 f_x : X1クロック発振周波数

6.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。
CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RTCパワーオン・リセットを除くすべてのリセット信号の発生により、00Hになります。

図6-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	MCS1	MCM1

CLS	CPU/周辺ハードウェア・クロック (fCLK) のステータス
0	メイン・システム・クロック (fMAIN)
1	サブシステム・クロック (fSUB)

CSS ^{注2}	CPU/周辺ハードウェア・クロック (fCLK) の選択
0	メイン・システム・クロック (fMAIN)
1	サブシステム・クロック (fSUB)

MCS	メイン・システム・クロック (fMAIN) のステータス
0	メイン・オンチップ・オシレータ・クロック (foco)
1	高速システム・クロック (fMX)

MCM0 ^{注2}	メイン・システム・クロック (fMAIN) の動作制御
0	メイン・システム・クロック (fMAIN) にメイン・オンチップ・オシレータ・クロック (foco) を選択
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択

MCS1	メイン・オンチップ・オシレータ・クロック (foco) のステータス
0	高速オンチップ・オシレータ・クロック
1	中速オンチップ・オシレータ・クロック

MCM1 ^{注2}	メイン・オンチップ・オシレータ・クロック (foco) の動作制御
0	高速オンチップ・オシレータ・クロック
1	中速オンチップ・オシレータ・クロック

注1. ビット7, 5, 1は、Read Onlyです。

2. CSS = 1を設定した状態で、MCM0ビット、MCM1ビットの値を変更することは禁止です。

備考

- f_H : 高速オンチップ・オシレータ・クロック周波数 (最大32 MHz)
- f_{MX} : 高速システム・クロック周波数
- f_{MAIN} : メイン・システム・クロック周波数
- f_{SUB} : サブシステム・クロック周波数
- f_{oco} : メイン・オンチップ・オシレータ・クロック周波数 (f_Hまたはf_M)

- 注意 1. ビット2, 3には, 必ず0を設定してください。
2. CSSビットで設定したクロックは, CPUと周辺ハードウェアに供給されます。したがって, CPUクロックを変更すると, 周辺ハードウェア・クロックも同時に変更されます(独立電源RTC, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路, LCDコントローラ/ドライバ, 発振停止検出回路, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1, タイマRJ0, 1およびウォッチドッグ・タイマは除く)。よって, CPU/周辺ハードウェア・クロック を変更する場合は, 各周辺機能を停止してください。
 3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合, 12ビットA/Dコンバータ, IICAの動作は保証できません。周辺ハードウェアの動作特性については, 各周辺ハードウェアの章および第43章 電気的特性を参照してください。

6.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック，高速オンチップ・オシレータ・クロック，中速オンチップ・オシレータ・クロック，サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。RTCパワーオン・リセットを除くすべてのリセット信号の発生により，C0Hになります。

図6-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XT1SELDIS	0	0	0	0	MIOEN	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XT1SELDIS	CPU/周辺ハードウェア・クロック (fCLK) へのサブ・クロック (fsx) ^{注3} の供給停止制御 ^{注1,2}
0	供給
1	停止

MIOEN	中速オンチップ・オシレータ・クロックの動作制御
0	中速オンチップ・オシレータ停止
1	中速オンチップ・オシレータ動作

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注 1. サブ・クロック (fsx) の供給停止を制御するだけであり，本ビットによりXT1発振回路の発振制御を行うわけではありません。

2. CPU/周辺ハードウェア・クロック (fCLK) にXT1発振クロック (fXT) または外部サブシステム・クロック (fEXS) を設定する場合は必ず本ビットに"0"を書いてください。

3. 独立電源RTC，12ビット・インターバル・タイマ，8ビット・インターバル・タイマ，クロック出力/ブザー出力制御回路，LCDコントローラ/ドライバ，発振停止検出回路，周波数測定回路，シリアル・インターフェースUARTMG0, 1，サンプリング出力タイマ/ディテクタ0, 1，タイマRJ0, 1へ供給されるクロックを除く。

注意 1. リセット解除後は，クロック動作モード制御レジスタ (CMC) を設定してからCSCレジスタを設定してください。

2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ (OSTS) を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。

3. MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

4. CPU/周辺ハードウェア・クロック (fCLK) に選択しているクロックは，CSCレジスタで停止させないでください。

- 注意5. クロック発振停止（外部クロック入力無効）するための停止前条件とレジスタの設定は、表6-2のようになります。
 クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表6-2 クロック発振停止前の条件とレジスタの設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタの設定
高速オンチップ・オシレータ・クロック	MCS1 = 1またはMCS = 1または CLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック またはPLLクロック以外で動作)	CSC.HIOSTOP = 1
中速オンチップ・オシレータ・クロック	MCS1 = 0またはMCS = 1またはCLS = 1 (CPUクロックが中速オンチップ・オシレータ・クロック 以外で動作)	CSC.MIOEN = 0
PLLクロック	CKSTR = 0 (CPUクロックがPLLクロック以外で動作)	DSCCTL.DSCON = 0
X1クロック	MCS = 0またはCLS = 1	CSC.MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	
XT1クロック	CLS = 0	SCSC.XTSTOP = 1
外部サブシステム・クロック	(CPUクロックがサブシステム・クロック以外で動作)	CMC.XT1SELEN = 0 CSC.XT1SELDIS = 1
低速オンチップ・オシレータ・クロック	CLS = 0 (CPUクロックが低速オンチップ・オシレータ・クロック 以外で動作)	CKSEL.SELLOSC = 0

6.3.4 サブ・クロック動作モード制御レジスタ (SCMC)

XT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

SCMCレジスタは、すべてのリセット要因及びRTCパワーオン・リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

SCMCレジスタはVRTC電源で動作します。VRTC電源起動直後は、RTC端子の電圧検出機能(32.3.5 VRTC端子電圧検出制御レジスタ (LVDVRTC) 参照)を使用して、VRTC端子への電源供給開始を確認してください。RTCパワーオン・リセット信号の発生により、00Hになります。その他リセット要因 (V_{DD}電源のパワーオン・リセットを含む) ではリセットされません。

図6-5 サブ・クロック動作モード制御レジスタ (SCMC) のフォーマット

アドレス : F0384H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SCMC	0	0	EXCLKS	OSCSLS	0	AMPHS1	AMPHS0	0

EXCLKS ^注	OSCSLS ^注	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1 ^注	AMPHS0 ^注	XT1発振回路の発振モード選択
0	0	低消費発振 (デフォルト)
0	1	通常発振
1	0	超低消費発振
1	1	禁止設定

注 EXCLKS, OSCSLS, AMPHS1, AMPHS0ビットはRTCパワーオン・リセットによるリセット時のみ初期化され、その他リセット要因 (V_{DD}電源のパワーオン・リセットを含む) では、値を保持します。

- 注意 1.** SCMCレジスタは、CPUのリセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。SCMCレジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作 (00H以外の誤書き込みで復帰不可) を防止するために、CPUのリセット解除後は必ず00Hに設定してください。
- 2.** CPUのリセット解除後、サブ・クロック動作ステータス制御レジスタ (SCSC) の設定でXT1発振を開始する前に、SCMCレジスタを設定してください。
- 3.** AMPHS1, AMPHS0ビットは、リセット解除後f_{CLK}にf_{IH}を選択した状態 (f_{CLK}をf_{MX}に切り替える前の状態) で設定してください。
- 4.** f_{XT}の発振安定時間は、ソフトウェアでカウントしてください。
- 5.** SCMCレジスタ書き込み後、RTCパワーオン・リセット以外のリセットが発生した場合、暴走時の誤動作を防ぐためCPUのリセット解除後は必ずリセット発生前と同じ値を設定してください。

注意 6. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。

- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
 - ・XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は、6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。なお、高い発振余裕度を確保が必要な用途（例：ユーティリテメータ）では超低消費発振（AMPHS1, AMPHS0 = 1, 0）のご使用は推奨しません。通常発振（AMPHS1, AMPHS0 = 0, 1）のご使用を推奨します。
 - ・XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
 - ・回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
 - ・XT1発振回路の周辺には、できるかぎりV_{SS}と同電位のグランド・パターンを配置してください。
 - ・XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
 - ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
 - ・回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。
7. XT1発振回路は、VRTC電源で動作します。VRTC端子に電源を投入し、RTCパワーオン・リセットを解除した後に動作可能となります。
8. ビット7-6, 3, 0には必ず"0"を設定してください。

6.3.5 サブ・クロック動作ステータス制御レジスタ (SCSC)

サブ・クロックの動作を制御するレジスタです。

SCSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

SCSCレジスタはVRTC電源で動作します。VRTC電源起動直後は、VRTC端子の電圧検出機能 (32.3.5 VRTC端子電圧検出制御レジスタ (LVDVRTC) 参照) を使用して、VRTC端子への電源供給開始を確認してください。

RTCのパワーオン・リセット信号の発生により、40Hになります。

図6-6 サブ・クロック動作ステータス制御レジスタ (SCSC) のフォーマット

アドレス : F0386H リセット時 : 40H R/W

略号	7	6	5	4	3	2	1	0
SCSC	0	XTSTOP	0	0	0	0	0	0

XTSTOP ^注	XT1発振回路の動作/停止制御
0	XT1発振モード時 : XT1発振回路動作 外部クロック入力モード時 : EXCLKSからの外部クロック有効 入力ポート・モード時 : 入力ポート
1	XT1発振モード時 : XT1発振回路停止 外部クロック入力モード時 : EXCLKSから外部クロック無効 入力ポート・モード時 : 入力ポート

注 XTSTOPビットはRTCのパワーオン・リセット時のみ初期化され、その他のリセット要因 (V_{DD}電源のパワーオン・リセットを含む) では値を保持します。

- 注意 1. XTSTOPビットの設定でXT1発振を開始する場合は、サブ・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
2. ビット7, 5-0には必ず"0"を設定してください。

6.3.6 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット (クロック動作ステータス制御レジスタ (CSC) のビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・X1 クロック発振開始時 (EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- ・STOPモードを解除したとき

図6-7 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST							
	8	9	10	11	13	15	17	18

MOST	発振安定時間のステータス									
								fx = 10 MHz時	fx = 20 MHz時	
8	9	10	11	13	15	17	18			
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁹ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

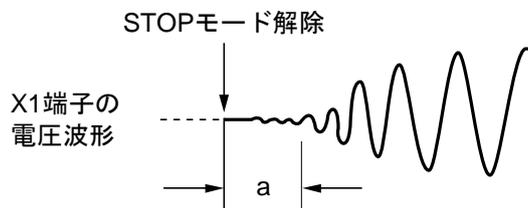
注意 1. 上記時間経過後、MOST8ビットから順番に“1”となっていき、そのまま“1”を保持します。

2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・ CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないの注意してください)

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

6.3.7 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作 (MSTOP = 0) 後、OSTSレジスタで設定した時間を自動でウエイトします。

CPUクロックを高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができません。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図6-8 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs	12.8 μs
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204 μs	102 μs
1	0	0	$2^{13}/f_x$	819 μs	409 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.63 ms
1	1	0	$2^{17}/f_x$	13.1 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.2 ms	13.1 ms

注意 1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) のMSTOPビットを0に設定する前に行ってください。

2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

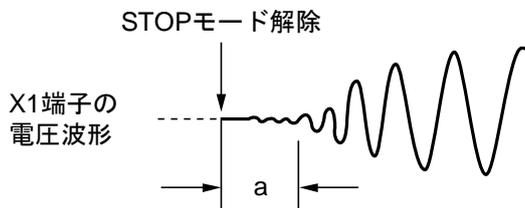
次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・CPUクロックが高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合

- ・CPUクロックが高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合

(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

6.3.8 サブシステム・クロック選択レジスタ (CKSEL)

サブシステム・クロックとしてサブ・クロック/低速オンチップ・オシレータ・クロックを選択するレジスタです。

CKSELレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-9 サブシステム・クロック選択レジスタ (CKSEL) のフォーマット

アドレス : FFFA7H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	SELLOSC
CKSEL	0	0	0	0	0	0	0	SELLOSC

SELLOSC	サブシステム・クロック (f _{SUB}) の選択
0	サブ・クロック (f _{SX})
1	低速オンチップ・オシレータクロック (f _{IL}) ^注

注 サブ・クロック (f_{SX}) 動作時はSELLOSC = 1の設定は禁止です。

注意 SELLOSCを変更する場合は、必ずCSS = 0 (f_{MAIN}選択) に設定し、CLS = 0の状態
切り替えてください。

6.3.9 周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット (1) してください。

- ・ タイマ・アレイ・ユニット
- ・ シリアル・アレイ・ユニット0
- ・ シリアル・アレイ・ユニット1
- ・ シリアル・アレイ・ユニット2
- ・ シリアル・インターフェースIICA0
- ・ 12ビットA/Dコンバータ
- ・ IrDA
- ・ 24ビット $\Delta\Sigma$ 型A/Dコンバータ
- ・ DTC
- ・ 周波数測定回路
- ・ 独立電源RTC
- ・ 32ビット積和演算器
- ・ 発振停止検出回路
- ・ 12ビット・インターバル・タイマ
- ・ シリアル・インターフェースUARTMG0
- ・ シリアル・インターフェースUARTMG1
- ・ サンプルング出力タイマ／ディテクタ0
- ・ サンプルング出力タイマ／ディテクタ1
- ・ タイマRJ0
- ・ タイマRJ1

PER0, PER1, PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図6-10 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	SAU2EN	TAU0EN

IRDAEN	IrDAの入カクロック供給の制御
0	入カクロック供給停止 ・ IrDAで使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注1}
1	入カクロック供給 ・ IrDAで使用するSFRへのリード/ライト可

ADCEN	12ビットA/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ 12ビットA/Dコンバータで使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注2}
1	入カクロック供給 ・ 12ビットA/Dコンバータで使用するSFRへのリード/ライト可

IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・インタフェースIICA0で使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注3}
1	入カクロック供給 ・ シリアル・インタフェースIICA0で使用するSFRへのリード/ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・アレイ・ユニット1で使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注4}
1	入カクロック供給 ・ シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・アレイ・ユニット0で使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注5}
1	入カクロック供給 ・ シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

SAU2EN	シリアル・アレイ・ユニット2の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・アレイ・ユニット2で使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注6}
1	入カクロック供給 ・ シリアル・アレイ・ユニット2で使用するSFRへのリード/ライト可

(注, 注意は次ページにあります。)

図6-10 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	SAU2EN	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注7}
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

- 注 1.** IrDAおよびIrDAで使用するSFRを初期化する場合, PRR0のビット6 (IRDARES) を使用してください。
2. 12ビットA/Dコンバータおよび12ビットA/Dコンバータで使用するSFRを初期化する場合, PRR0のビット5 (ADCRES) を使用してください。
3. シリアル・インタフェースIICA0およびシリアル・インタフェースIICA0で使用するSFRを初期化する場合, PRR0のビット4 (IICA0RES) を使用してください。
4. シリアル・アレイ・ユニット1およびシリアル・アレイ・ユニット1で使用するSFRを初期化する場合, PRR0のビット3 (SAU1RES) を使用してください。
5. シリアル・アレイ・ユニット0およびシリアル・アレイ・ユニット0で使用するSFRを初期化する場合, PRR0のビット2 (SAU0RES) を使用してください。
6. シリアル・アレイ・ユニット2およびシリアル・アレイ・ユニット2で使用するSFRを初期化する場合, PRR0のビット1 (SAU2RES) を使用してください。
7. タイマ・アレイ・ユニット0およびタイマ・アレイ・ユニット0で使用するSFRを初期化する場合, PRR0のビット0 (TAU0RES) を使用してください。

注意 1. 次のビットには必ず“0”を設定してください。

ビット7

2. 各周辺機能が動作許可の状態, PER0レジスタの対象ビットを切り替えないでください。PER0による設定は, PER0に割り当てている各周辺機能が停止している状態で切り替えてください。

図6-11 周辺イネーブル・レジスタ1 (PER1) のフォーマット (1/2)

アドレス : F00FAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCEN	SMOTD1EN	SMOTD0EN	DTCEN	TRJ1EN	TRJ0EN	DSADCEN

FMCEN	周波数測定回路の入カクロック供給の制御
0	入カクロック供給停止 ・周波数測定回路で使用するSFRへのライト不可, リードした場合は00Hが読めません。 ・周波数測定回路はリセット状態
1	入カクロック供給 ・周波数測定回路で使用するSFRへのリード/ライト可

SMOTD1EN	サンプリング出力タイマ/ディテクタ1の入カクロック供給の制御
0	入カクロック供給停止 ・サンプリング出力タイマ/ディテクタ1で使用するSFRへのライト不可, リードした場合は00Hが読めません。ただし, 初期化はされていません。 ^{注1}
1	入カクロック供給 ・サンプリング出力タイマ/ディテクタ1で使用するSFRへのリード/ライト可

SMOTD0EN	サンプリング出力タイマ/ディテクタ0の入カクロック供給の制御
0	入カクロック供給停止 ・サンプリング出力タイマ/ディテクタ0で使用するSFRへのライト不可, リードした場合は00Hが読めません。ただし, 初期化はされていません。 ^{注2}
1	入カクロック供給 ・サンプリング出力タイマ/ディテクタ0で使用するSFRへのリード/ライト可

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・DTCは動作不可
1	入カクロック供給 ・DTCは動作可

TRJ1EN	タイマRJ1の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ1で使用するSFRへのライト不可, リードした場合は00Hが読めません。ただし, 初期化はされていません。 ^{注3}
1	入カクロック供給 ・タイマRJ1で使用するSFRへのリード/ライト可

TRJ0EN	タイマRJ0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ0で使用するSFRへのライト不可, リードした場合は00Hが読めません。ただし, 初期化はされていません。 ^{注4}
1	入カクロック供給 ・タイマRJ0で使用するSFRへのリード/ライト可

(注, 注意は次ページにあります。)

図6-11 周辺イネーブル・レジスタ1 (PER1) のフォーマット (2/2)

アドレス : F00FAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCCEN	SMOTD1EN	SMOTD0EN	DTCEN	TRJ1EN	TRJ0EN	DSADCEN

DSADCEN	24ビット $\Delta\Sigma$ A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・24ビット $\Delta\Sigma$ 型A/Dコンバータで使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^注
1	入カクロック供給 ・24ビット $\Delta\Sigma$ 型A/Dコンバータで使用するSFRへのリード/ライト可

- 注1.** サンプリング出力タイマ/ディテクタ1およびサンプリング出力タイマ/ディテクタ1で使用するSFRを初期化する場合, PRR1のビット5 (SMOTD1RES) を使用してください。
- 2.** サンプリング出力タイマ/ディテクタ0およびサンプリング出力タイマ/ディテクタ0で使用するSFRを初期化する場合, PRR1のビット4 (SMOTD0RES) を使用してください。
- 3.** タイマRJ1およびタイマRJ1で使用するSFRを初期化する場合, PRR1のビット2 (TRJ1RES) を使用してください。
- 4.** タイマRJ0およびタイマRJ0で使用するSFRを初期化する場合, PRR1のビット1 (TRJ0RES) を使用してください。
- 5.** 24ビット $\Delta\Sigma$ 型A/Dコンバータおよび24ビット $\Delta\Sigma$ 型A/Dコンバータで使用するSFRを初期化する場合, PRR1のビット0 (DSADRES) を使用してください。

注意 1. 次のビットには必ず“0”を設定してください。

ビット7

- 2.** 各周辺機能が動作許可の状態、PER1レジスタの対象ビットを切り替えないでください。PER1による設定は、PER1に割り当てている各周辺機能が停止している状態で切り替えてください。

図6-12 周辺イネーブル・レジスタ2 (PER2) のフォーマット (1/2)

アドレス : F00FCH リセット時 : 00H R/W

略号 [7] [6] [5] [4] 3 [2] 1 [0]

PER2	TMKAEN	OSDCEN	UARTMG1EN	UARTMG0EN	0	MACEN	0	VRTCEN
------	--------	--------	-----------	-----------	---	-------	---	--------

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注1}
1	入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

OSDCEN	発振停止検出回路の入カクロック供給の制御
0	入カクロック供給停止 ・発振停止検出回路で使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注2}
1	入カクロック供給 ・発振停止検出回路で使用するSFRへのリード/ライト可

UARTMG1EN	シリアル・インタフェースUARTMG1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースUARTMG1で使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注3}
1	入カクロック供給 ・シリアル・インタフェースUARTMG1で使用するSFRへのリード/ライト可

UARTMG0EN	シリアル・インタフェースUARTMG0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースUARTMG0で使用するSFRへのライト不可, リードした場合は00Hが読めます。ただし, 初期化はされていません。 ^{注4}
1	入カクロック供給 ・シリアル・インタフェースUARTMG0で使用するSFRへのリード/ライト可

MACEN	32ビット積和演算器の入カクロック供給の制御
0	入カクロック供給停止 ・32ビット積和演算器で使用するSFRへのライト不可, リードした場合は00Hが読めません。ただし, 初期化はされていません。 ^{注5}
1	入カクロック供給 ・32ビット積和演算器で使用するSFRへのリード/ライト可

(注, 注意は次ページにあります。)

図6-12 周辺イネーブル・レジスタ2 (PER2) のフォーマット (2/2)

アドレス : F00FCH リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	3	[2]	1	[0]
PER2	TMKAEN	OSDCEN	UARTMG1EN	UARTMG0EN	0	MACEN	0	VRTCEN

VRTCEN	独立電源RTCの入カクロック供給の制御
0	入カクロック供給停止 ・独立電源RTCで使用するSFRへのライト不可, リードした場合は00Hが読めます。独立電源RTCはサブ・クロック (fsx) により動作可能。
1	入カクロック供給 ・独立電源RTCで使用するSFRへのリード/ライト可 ^{注6}

- 注 1. 12ビット・インターバル・タイマおよび12ビット・インターバル・タイマで使用するSFRを初期化する場合, PRR2のビット7 (TMKARES) を使用してください。
2. 発振停止検出回路および発振停止検出回路で使用するSFRを初期化する場合, PRR2のビット6 (OSDCRES) を使用してください。
3. シリアル・インタフェースUARTMG1およびシリアル・インタフェースUARTMG1で使用するSFRを初期化する場合, PRR2のビット5 (UARTMG1RES) を使用してください。
4. シリアル・インタフェースUARTMG0およびシリアル・インタフェースUARTMG0で使用するSFRを初期化する場合, PRR2のビット4 (UARTMG0RES) を使用してください。
5. 32ビット積和演算器および32ビット積和演算器で使用するSFRを初期化する場合, PRR2のビット2 (MACRES) を使用してください。
6. 独立電源RTCで使用するSFRへリード/ライトアクセスする時以外は, VRTCEN = 0に設定してください。

注意 1. 次のビットには必ず“0”を設定してください。

ビット1, 3

2. 各周辺機能が動作許可の状態、PER2レジスタの対象ビットを切り替えないでください。PER2による設定は、PER2に割り当てている各周辺機能が停止している状態で切り替えてください。

6.3.10 サブシステム・クロック供給オプション制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブ・クロック (fsx) でCPU動作中のHALTモード時に、独立電源RTC、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、発振停止検出回路、周波数測定回路、シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1、タイマRJ0, 1以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタでは12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、周波数測定回路、シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1、タイマRJ0, 1の動作クロックを選択できます。

ただし、シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1の動作クロックに低速オンチップ・オシレータ・クロックを選択することはできません。シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1を使用する場合は、WUTMMCK0ビットを0に設定して、動作クロックにサブ・クロック (fsx) を選択してください。

OSMCレジスタは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-13 サブシステム・クロック供給オプション制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC ^{注4}	STOPモード時およびサブ・クロック (fsx) でCPU動作中のHALTモード時の設定
0	周辺機能へのサブ・クロック (fsx) 供給許可 (動作許可となる周辺機能については、表29-1~表29-3参照)
1	独立電源RTC, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路, LCDコントローラ/ドライバ, 発振停止検出回路, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1, タイマRJ0, 1以外の周辺機能へのサブ・クロック (fsx) 供給停止

WUTMMCK0	12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバ, 周波数測定回路, タイマRJ0, 1の動作クロックの選択	周波数測定回路のカウンタ動作/停止トリガクロック選択	クロック出力/ブザー出力制御回路の出力クロックの選択	シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1の動作クロック選択
0	サブ・クロック (fsx)	サブ・クロック (fsx) を選択	サブ・クロック (fsx)	サブ・クロック (fsx)
1	低速オンチップ・オシレータ・クロック (fil) <small>注2, 3, 6, 7</small>	低速オンチップ・オシレータ・クロック (fil) を選択 ^{注6}	クロック出力禁止 ^{注5}	設定禁止

注 1. ビット0-3, 5, 6には、必ず0を設定してください。

2. サブ・クロック (fsx) 発振中にWUTMMCK0ビットを“1”に設定することは禁止です。
3. WUTMMCK0ビットによるサブ・クロック (fsx) と低速オンチップ・オシレータ・クロック (fil) の切り替えは、12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路, LCDコントローラ/ドライバ, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1, タイマRJ0, 1の全ての機能が停止中のみ可能です。
4. CKSELレジスタのビット0 (SELLOSC) によりサブ・クロック (fsx) を選択 (SELLOSC = 0) してRTCLPC = 1とした場合、サブシステム・クロック (fsUB) は停止しますが、低速オンチップ・オシレータ・クロックを選択 (SELLOSC = 1) してRTCLPC = 1とした場合、サブシステム・クロック (fsUB) は停止しません。
5. WUTMMCK0を“1”に設定した場合、PCLBUZn端子からクロック出力を禁止します。
6. WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロック (fil) が発振します。
7. WUTMMCK0を“1”に設定した場合、LCDコントローラ/ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

6.3.11 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト (000C2H) で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、オプション・バイト (000C2H) のFRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト (000C2H) のFRQSEL2-FRQSEL0で設定した値になります。

図6-14 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト (000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1 ^{注2}
0	0	0	$f_{IH} = 24 \text{ MHz}$ ^{注1}	$f_{IH} = 32 \text{ MHz}$
0	0	1	$f_{IH} = 12 \text{ MHz}$	$f_{IH} = 16 \text{ MHz}$
0	1	0	$f_{IH} = 6 \text{ MHz}$	$f_{IH} = 8 \text{ MHz}$
0	1	1	$f_{IH} = 3 \text{ MHz}$	$f_{IH} = 4 \text{ MHz}$
1	0	0	$f_{IH} = 1.5 \text{ MHz}$	$f_{IH} = 2 \text{ MHz}$
1	0	1	設定禁止	$f_{IH} = 1 \text{ MHz}$
上記以外			設定禁止	

注 1. 24ビット $\Delta\Sigma/A/D$ コンバータの動作クロックに高速オンチップ・オシレータ・クロック ($f_{Hoco}/2$) を選択した状態 (PCKCレジスタのDSADCKビットに0設定時) でCPU/周辺ハードウェア・クロック (f_{CLK}) に32 MHzを選択する場合は、高速オンチップ・オシレータクロック (f_{IH}) を24 MHzに設定して、PLLクロック (32 MHz) を選択してください。

2. 24ビット $\Delta\Sigma/A/D$ コンバータの動作クロックに高速オンチップ・オシレータ・クロック ($f_{Hoco}/2$) を選択する場合 (PCKCレジスタのDSADCKビットに0設定時) , 24ビット $\Delta\Sigma/A/D$ コンバータは使用できません。

注意1. HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト (000C2H) で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV (低電圧メイン) モード	1 MHz~4 MHz	1.6 V~5.5 V
1	0	LS (低速メイン) モード	1 MHz~8 MHz	1.8 V~5.5 V
1	1	HS (高速メイン) モード	1 MHz~6 MHz	2.1 V~5.5 V
			1 MHz~16 MHz	2.4 V~5.5 V
			1 MHz~32 MHz	2.7 V~5.5 V
上記以外		設定禁止		

2. HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック (f_{IH}) をCPU/周辺ハードウェア・クロック (f_{CLK}) に選択している状態で行ってください。

3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- ・変更前の周波数で最大3クロック動作
- ・変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウエイト

6.3.12 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)

中速オンチップ・オシレータの分周比を選択するレジスタです。

MOCODIVレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-15 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV) のフォーマット

アドレス : F00F2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MOCODIV	0	0	0	0	0	0	MOCODIV1	MOCODIV0

MOCODIV1	MOCODIV0	中速オンチップ・オシレータ・クロック選択
0	0	4 MHz
0	1	2 MHz
1	0	1 MHz
上記以外		設定禁止

6.3.13 周波数測定回路クロック選択レジスタ (FMCKS)

FMCKSレジスタは、周波数測定回路に入力する動作クロックおよび周波数カウントクロックを選択するレジスタです。

FMCKSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FMCKSレジスタは00Hになります。

図6-16 周波数測定回路クロック選択レジスタ (FMCKS) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FMCKS	0	0	0	0	0	0	FMCKSEL1	FMCKSEL0

FMCKSEL1	FMCKSEL0	周波数カウントクロック選択
0	0	fmxを選択
0	1	fimを選択
1	x	fiHを選択

6.3.14 PLL制御レジスタ (DSCCTL)

PLL発振回路の動作を制御するレジスタです。

24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロック ($f_{HOCO}/2$) を選択 (PCKCレジスタのDSADCKビットに0設定) した状態でCPU/周辺ハードウェアクロック (f_{CLK}) に32 MHzを選択した場合は、高速オンチップ・オシレータクロック ($f_{IH} = 24$ MHz) を6分周した4 MHzをPLLリファレンスクロックとし、PLLで16通倍/2 (8倍) した32 MHzのPLLクロック (f_{PLL}) を選択することができます。

DSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-17 PLL制御レジスタ (DSCCTL) のフォーマット

アドレス : F02E5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	DSFRDIV1	DSFRDIV0	DSCM	DSCON

DSFRDIV1	DSFRDIV0	PLLリファレンス・クロック分周制御 ^{注3,4}
1	1	6分周 ($f_{IH}/6$)
上記以外		設定禁止

DSCM	PLL通倍選択 ^{注1}	
1	16通倍/2 (8倍)	
上記以外		設定禁止

DSCON	PLL発振, 出力制御 ^{注5}
0	PLL停止
1	PLL発振, 出力 ^{注2}

注1. PLL発振回路の最終段にて2分周されるため、()内の倍数となります。

- PLL動作開始後、周波数安定の為にロックアップ待ち時間 (40 μ s以上) が必要となります。
- PLL動作中は、PLLリファレンス・クロックの分周設定を変更しないでください。変更する場合はPLLを停止させてください。
- PLLリファレンス・クロックは $f_{IH} = 24$ MHzのみです。
- STOPモードに移行する際は、CPU/周辺ハードウェア・クロック (f_{CLK}) を高速オンチップ・オシレータクロック ($f_{IH} = 24$ MHz) に切り替え、PLLを停止させてください。

注意 ビット4-7には必ず"0"を設定してください。

6.3.15 メイン・クロック制御レジスタ (MCKC)

メイン・クロックの動作を制御するレジスタです。

MCKCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-18 メイン・クロック制御レジスタ (MCKC) のフォーマット

アドレス : F02E6H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
MCKC	CKSTR	0	0	0	0	0	0	CKSELR

CKSTR	メイン・システム・クロック (f _{MAIN}) 切り替えのステータス
0	オンチップ・オシレータクロック (f _{OCO}) / 高速システム・クロック (f _{MX}) ^{注2}
1	PLLクロック (f _{PLL})

CKSELR	メイン・システム・クロック (f _{MAIN}) の選択
0	オンチップ・オシレータクロック (f _{OCO}) / 高速システム・クロック (f _{MX}) ^{注2}
1	PLLクロック (f _{PLL}) ^{注3}

注 1. ビット7はRead onlyです。

2. システム・クロック制御レジスタ (CKC) のビット4 (MCM0) で選択してください。
3. PLL選択時は、高速オンチップ・オシレータクロックは停止しないでください。

注意 ビット1~6には必ず"0"を設定してください。

備考 MCM0ビットのクロック選択に対して、CKSELRビットのクロック選択が優先して、メイン・システム・クロック (f_{MAIN}) になります。

6.3.16 ペリフェラル・クロックコントロールレジスタ (PCKC)

周辺クロック (24ビット $\Delta\Sigma$ A/Dコンバータの動作クロック及びPLLクロック) を選択するレジスタです。

24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックとして使用する場合、高速システム・クロックの周波数 (f_{MX}) は水晶発振子12 MHzのみ使用可能です。PCKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00HIになります。

図6-19 ペリフェラル・クロックコントロールレジスタ (PCKC) のフォーマット

アドレス : F0098H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PCKC	0	0	0	0	0	0	PLLCK	DSADCK

PLLCK	PLLの動作クロック供給制御
0	高速オンチップ・オシレータ・クロック (f_{IH}) 供給停止
1	高速オンチップ・オシレータ・クロック (f_{IH}) 供給

DSADCK	24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックの選択
0	高速オンチップ・オシレータ・クロック ($f_{HOCO}/2$) ^{注2,3} 供給。(f_{MX} 供給停止)
1	高速システム・クロック (f_{MX}) 供給 ^{注1}

注1. 高速システム・クロックの周波数 (f_{MX}) は水晶発振子12 MHzのみ使用可能。

2. 高速オンチップ・オシレータ・クロック ($f_{HOCO}/2$) を選択する場合は、 $f_{IH} = 24\text{MHz}/12\text{MHz}/6\text{MHz}/3\text{MHz}/1.5\text{MHz}$ ($FRQSEL3 = 0$) の設定にすること。

3. CPU/周辺ハードウェア・クロック (f_{CLK}) にPLLクロック (f_{PLL}) を選択した場合でも、24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックには高速オンチップ・オシレータ・クロック ($f_{HOCO}/2 = 12\text{MHz}$) が供給されます。

6.4 システム・クロック発振回路

6.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1~20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

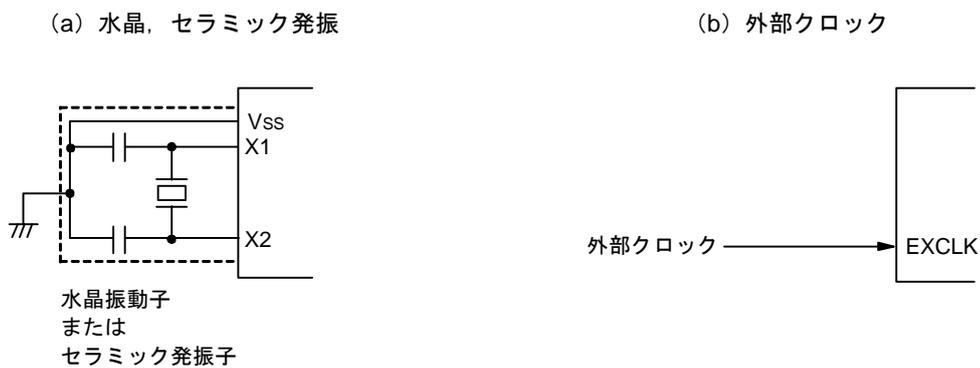
- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図6-20にX1発振回路の外付け回路例を示します。

図6-20 X1発振回路の外付け回路例



注意を次ページに示します。

6.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（32.768 kHzまたは38.4 kHz（TYP.））によって発振します。

XT1発振回路は、VRTC電源で動作します。XT1発振回路を使用する場合、VRTC端子に電源を投入しRTCのパワーオン・リセット解除後に、サブ・クロック動作モード制御レジスタ（SCMC）のビット4（OSCSELS）とクロック動作モード制御レジスタ（CMC）のビット4（XT1SELEN）の両方のビットに1を設定してください。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合、VRTC端子に電源を投入しRTCのパワーオン・リセット解除後に、サブ・クロック動作モード制御レジスタ（SCMC）のビット5, 4（EXCLKS, OSCSELS）およびクロック動作モード制御レジスタ（CMC）のビット4（XT1SELEN）を次のように設定してください。

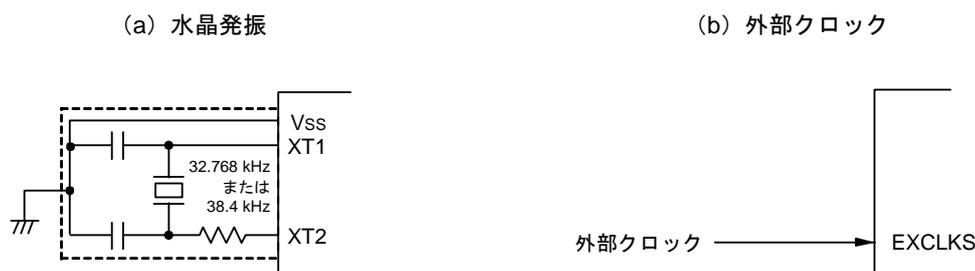
- ・水晶発振 : EXCLKS, OSCSELS = 0, 1, XT1SELEN = 1
- ・外部クロック入力 : EXCLKS, OSCSELS = 1, 1, XT1SELEN = 1

XT1発振回路を使用しない場合は、入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図6-21にXT1発振回路の外付け回路例を示します。

図6-21 XT1発振回路の外付け回路例



注意 XT1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図6-20、図6-21の破線の部分を次のように配線してください。

- ・配線は極力短くしてください。
- ・他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

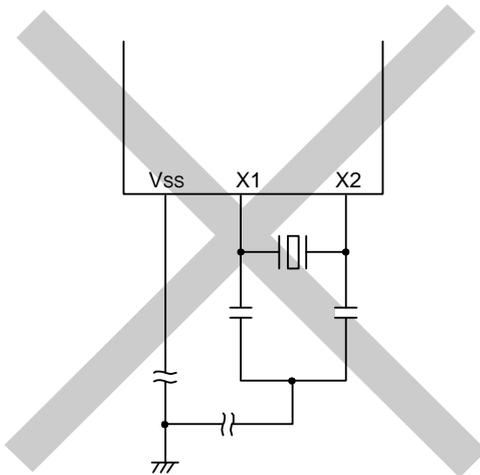
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- ・XT1発振回路のモードを超低消費発振（AMP_{HS1}, AMP_{HS0} = 1, 0）で使用する場合は6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- ・XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振（AMP_{HS1}, AMP_{HS0} = 1, 0）を選択している場合はご注意ください。
- ・回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には、できるかぎりV_{SS}と同電位のグランド・パターンを配置してください。
- ・XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

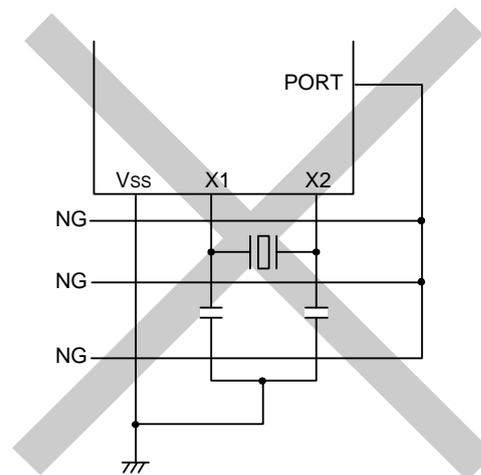
図6-22に発振子の接続の悪い例を示します。

図6-22 発振子の接続の悪い例 (1/2)

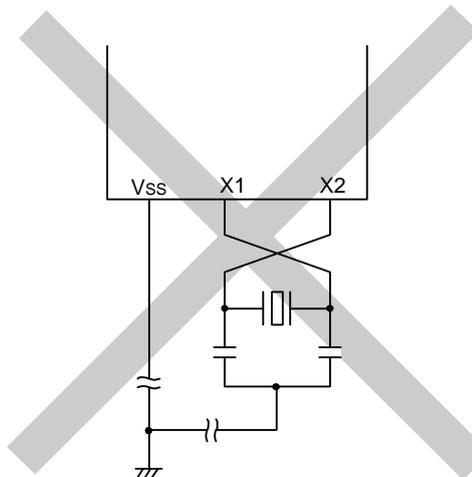
(a) 接続回路の配線が長い



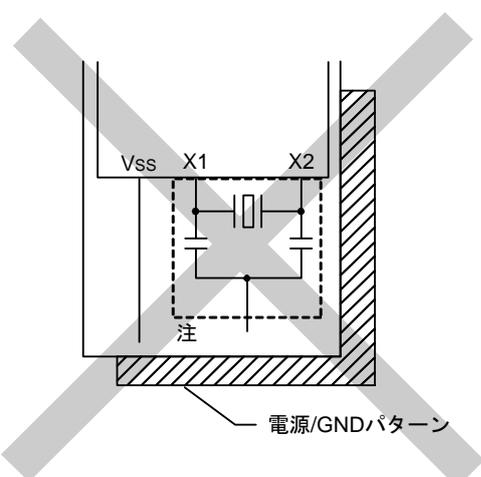
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源/GNDパターンがある



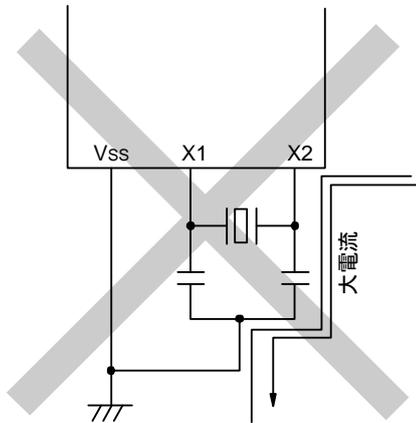
注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

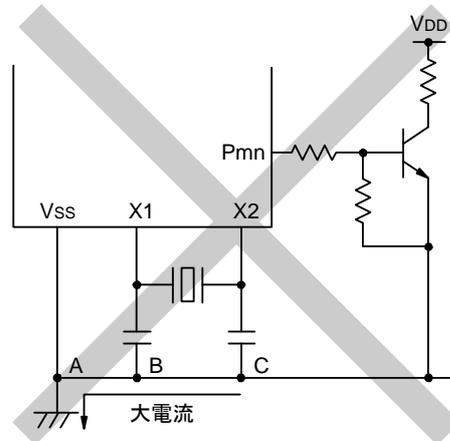
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。

図6-22 発振子の接続の悪い例 (2/2)

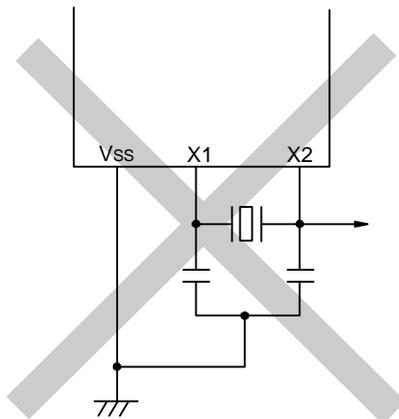
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。

6.4.3 高速オンチップ・オシレータ

RL78/I1C (512 KB) は、高速オンチップ・オシレータを内蔵しています。オプションバイト (000C2H) により 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1.5 MHz, 1 MHz から周波数を選択することが可能です。クロック動作ステータス制御レジスタ (CSC) のビット 0 (HIOSTOP) にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

6.4.4 中速オンチップ・オシレータ

RL78/I1C (512 KB) は、中速オンチップ・オシレータを内蔵しています。クロック動作ステータス制御レジスタ (CSC) のビット 1 (MIOEN) にて発振を制御できます。

6.4.5 低速オンチップ・オシレータ

RL78/I1C (512 KB) は、低速オンチップ・オシレータを内蔵しています。ウォッチドッグ・タイマの動作時、または、サブシステム・クロック供給モード制御レジスタ (OSMC) のビット 4 (WUTMMCK0) とサブシステム・クロック選択レジスタ (CKSEL) のビット 0 (SELLOSC) のいずれか、または両ビットが 1 のときに低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0 かつ、SELLOSC = 0 のとき、低速オンチップ・オシレータは停止します。

6.4.6 PLL (Phase Locked Loop)

RL78/I1C (512 KB) は、PLL 回路を内蔵しています。

高速オンチップ・オシレータクロック ($f_{IH} = 24 \text{ MHz}$) を 6 分周した 4 MHz を PLL リファレンス・クロックとし、PLL によって 16 通倍 / 2 (8 倍) した 32 MHz の PLL クロック (f_{PLL}) を生成することができます。

PLL 制御レジスタ (DSCCTL) のビット 0 (DSCON) にて動作を制御できます。

注意 STOP モードに移行する場合、高速オンチップ・オシレータ・クロックに切り替え、PLL を停止してください。

PLL 使用中は、高速オンチップ・オシレータクロックは停止しないでください。

6.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（**図6-1**を参照）。

○CPU／周辺ハードウェア・クロック f_{CLK}

- (1) メイン・システム・クロック f_{MAIN}
 - (1-1) 高速システム・クロック f_{MX}
 - ・X1クロック f_X
 - ・外部メイン・システム・クロック f_{EX}
 - (1-2) メイン・オンチップ・オシレータ・クロック f_{OCO}
 - ・高速オンチップ・オシレータ・クロック f_{HOCO/2}
 - ・中速オンチップ・オシレータ・クロック f_{IM}
 - (1-3) PLLクロック f_{PLL}
- (2) サブシステム・クロック f_{SUB}
 - (2-1) サブ・クロック f_{SX}
 - ・XT1クロック f_{XT}
 - ・外部サブシステム・クロック f_{EXS}
 - (2-2) 低速オンチップ・オシレータ・クロック f_{IL}

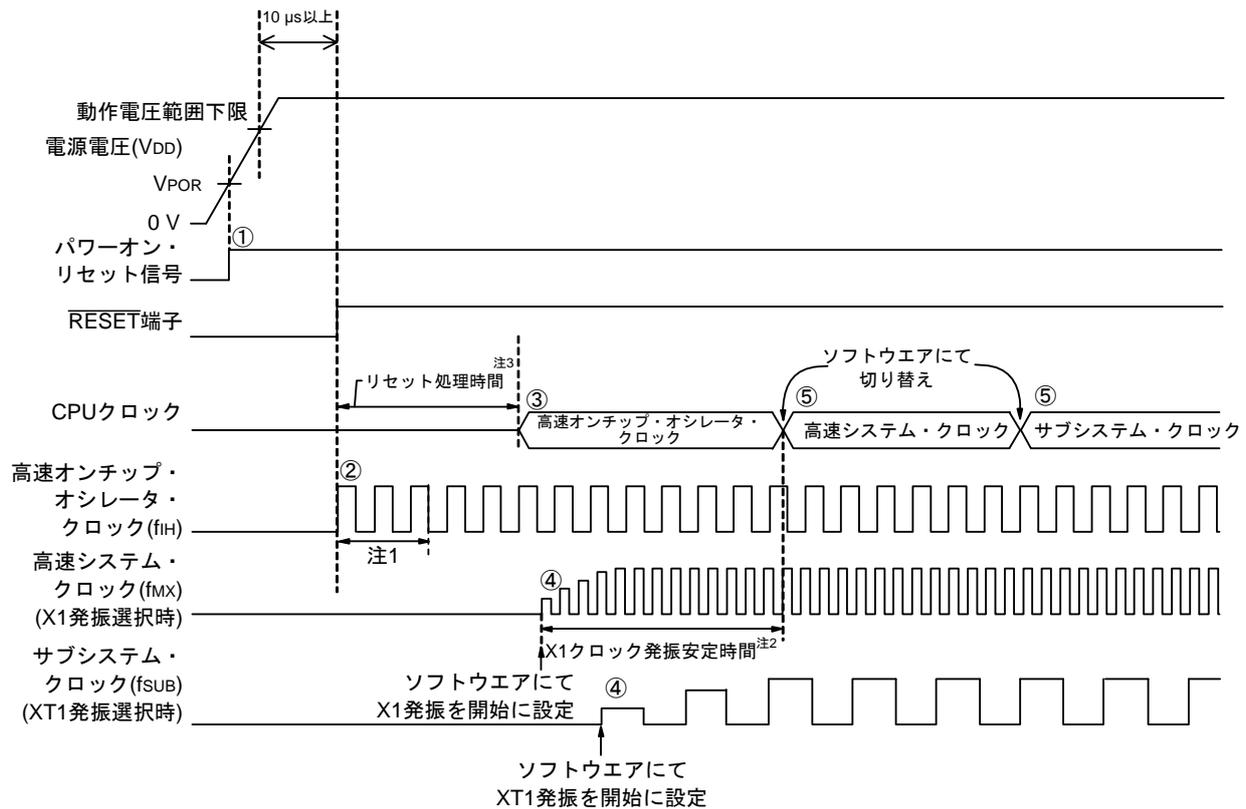
○周辺ハードウェア用クロック

- (1) ウォッチドッグ・タイマ用クロック
 - ・低速オンチップ・オシレータ・クロック f_{IL}
- (2) 独立電源RTC, サンプリング出力タイマ/ディテクタ0, 1, シリアル・インターフェースUARTMG0, 1用クロック
 - ・サブ・クロック f_{SX}
- (3) 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, 発振停止検出回路, 周波数測定回路, タイマRJ0, 1
 - ・サブ・クロック f_{SX}
 - ・低速オンチップ・オシレータ・クロック f_{IL}
- (4) 24ビットΔΣA/Dコンバータ動作クロック
 - ・高速オンチップ・オシレータ・クロック f_{HOCO/2}
 - ・高速システム・クロック f_{MX}
- (5) LCDコントローラ/ドライバ, クロック出力/ブザー出力制御回路用クロック
 - ・メイン・システム・クロック f_{MAIN}
 - ・サブ・クロック f_{SX}
 - ・低速オンチップ・オシレータ・クロック f_{IL}

RL78/I1C (512 KB) では、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。

電源電圧投入時のクロック発生回路の動作を、**図6-23**に示します。

図6-23 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット (POR) 回路による内部リセット信号が発生します。
ただし、43.4 AC特性に示す動作電圧範囲に達するまで、電圧検出回路が外部リセットでリセット状態を保ちます (上図は、外部リセット使用時の例)。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (6.6.2 X1発振回路の設定例、6.6.3 XT1発振回路の設定例を参照)。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (6.6.2 X1発振回路の設定例、6.6.3 XT1発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

3. リセット処理時間は、第31章 パワーオン・リセット回路を参照してください。

注意1. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

2. サブシステム・クロックはVRTC端子に電源を投入し、RTCパワーオン・リセットを解除した後に設定してください。

6.6 クロックの制御

6.6.1 高速オンチップ・オシレータの設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) のFRQSEL0-FRQSEL3により、32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1.5 MHz, 1 MHzから選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・ バイト (000C2H)	7	6	5	4	3	2	1	0
	CMODE1	CMODE0			FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
	0/1	0/1	1	0	0/1	0/1	0/1	0/1

CMODE1	CMODE0	フラッシュの動作モード設定
0	0	LV (低電圧メイン) モード V _{DD} = 1.6 V ~ 5.5 V @ 1 MHz ~ 4 MHz
1	0	LS (低速メイン) モード V _{DD} = 1.8 V ~ 5.5 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン) モード V _{DD} = 2.1 V ~ 5.5 V @ 1 MHz ~ 6 MHz V _{DD} = 2.4 V ~ 5.5 V @ 1 MHz ~ 16 MHz V _{DD} = 2.7 V ~ 5.5 V @ 1 MHz ~ 32 MHz
上記以外		設定禁止

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
0	1	0	0	1.5 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0 ^{注2}	FRQSEL3 = 1 ^{注2}
0	0	0	$f_{IH} = 24 \text{ MHz}$ ^{注1}	$f_{IH} = 32 \text{ MHz}$
0	0	1	$f_{IH} = 12 \text{ MHz}$	$f_{IH} = 16 \text{ MHz}$
0	1	0	$f_{IH} = 6 \text{ MHz}$	$f_{IH} = 8 \text{ MHz}$
0	1	1	$f_{IH} = 3 \text{ MHz}$	$f_{IH} = 4 \text{ MHz}$
1	0	0	$f_{IH} = 1.5 \text{ MHz}$	$f_{IH} = 2 \text{ MHz}$
1	0	1	設定禁止	$f_{IH} = 1 \text{ MHz}$
上記以外			設定禁止	

- 注1. 24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロック ($f_{Hoco}/2$) を選択した状態 (PCKCレジスタのDSADCKビットに0設定時) でCPU/周辺ハードウェア・クロック (f_{CLK}) に32 MHzを選択する場合は、高速オンチップ・オシレータクロック (f_{IH}) を24 MHzに設定して、PLLクロック (32 MHz) を選択してください。
2. 24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロック ($f_{Hoco}/2$) を選択する場合 (PCKCレジスタのDSADCKビットに0設定時), FRQSEL3 = 0 に設定してください。

6.6.2 X1発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット (1)、f_x>10 MHz以上の場合はAMPHビットをセット (1) してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL		XT1SELEN				AMPH
	0	1	0	0	0	0	0	0/1

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。
例) 10 MHzの発振子で102 μs以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア (0) してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XT1SELDIS					MIOEN	HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。
例) 10 MHzの発振子で102 μs以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0			MCS1	MCM1
	0	0	0	1	0	0	0	0

注意 HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト（000C2H）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV（低電圧メイン）モード	1 MHz～4 MHz	1.6 V～5.5 V
1	0	LS（低速メイン）モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS（高速メイン）モード	1 MHz～6 MHz	2.1 V～5.5 V
			1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～32 MHz	2.7 V～5.5 V
上記以外		設定禁止		

6.6.3 XT1発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後 (但しRTCパワーオン・リセットを除く) 必ず高速オンチップ・オシレータ・クロックで動作します。VRTC端子に電源を投入しRTCパワーオン・リセット解除後に、XT1発振回路およびRTC回路は動作可能となります。その後、CPU/周辺ハードウェア・クロック (f_{CLK}) をXT1発振クロックに変更する場合、サブシステム・クロック供給オプション制御レジスタ (OSMC)、サブ・クロック動作モード制御レジスタ (SCMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC)、サブ・クロック動作ステータス制御レジスタ (SCSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) でXT1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①~⑩の順に設定してください。

- ① VRTC端子に電源を投入し、RTCパワーオン・リセットを解除します。
- ② STOPモード時およびサブ・クロック (f_{sx}) でCPU動作中のHALTモード時に周波数測定回路、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力/ブザー出力、発振停止検出回路、LCDコントローラ/ドライバ、シリアル・インターフェースUARTMG0、1、サンプリング出力タイマ/ディテクタ0、1、タイマRJ0、1のみサブ・クロック (f_{sx}) で動作 (超低消費電流) させる場合はRTCLPCビットを1に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

- ③ PER2レジスタVRTCENビットをセット (1) してVRTC電源で動作する領域のSFRへのアクセスを許可します。
- ④ SCMCレジスタのEXCLKSビット、OSCSELSビット、AMPHS1ビット、AMPHS0ビットを設定してXT1発振モードおよびXT1発振回路のゲインを設定します。

	7	6	5	4	3	2	1	0
SCMC			EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	0

AMPHS0, AMPHS1ビット : XT1発振回路の発振モードを設定します。

- ⑤ CMCレジスタのXT1SELENビットをセット (1) してCPUへのXT1クロック選択を許可します。
- ⑥ SCSCレジスタのXTSTOPビットをクリア (0) してXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
SCSC		XTSTOP 0	0	0	0	0	0	0

- ⑦ タイマ機能などを用いて、XT1発振クロックに必要な発振安定時間をソフトウェアでウエイトしてください。
- ⑧ CSCレジスタのXT1SELDISビットをクリア (0) してCPU/周辺ハードウェア・クロックへのXT1クロック選択を許可します。

- ⑨ CKCレジスタのCSSビットでXT1発振クロックをCPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0			MCS1	MCM1
	0	1	0	0	0	0	0	0

- ⑩ VRTC電源領域のSFRの設定が完了したらPER2レジスタのVRTCENビットをクリア（0）して、VRTC電源領域のSFRへのアクセスを禁止します。

注意 手順④, ⑥, ⑦の処理は一度設定したら、RTCパワーオン・リセットが発生していない場合は値を保持する為、再度設定は不要です。

6. 6. 4 XT1発振回路をCPU／周辺ハードウェア・クロックに使用しない場合の設定手順

【レジスタ設定】①～④の順に設定してください。

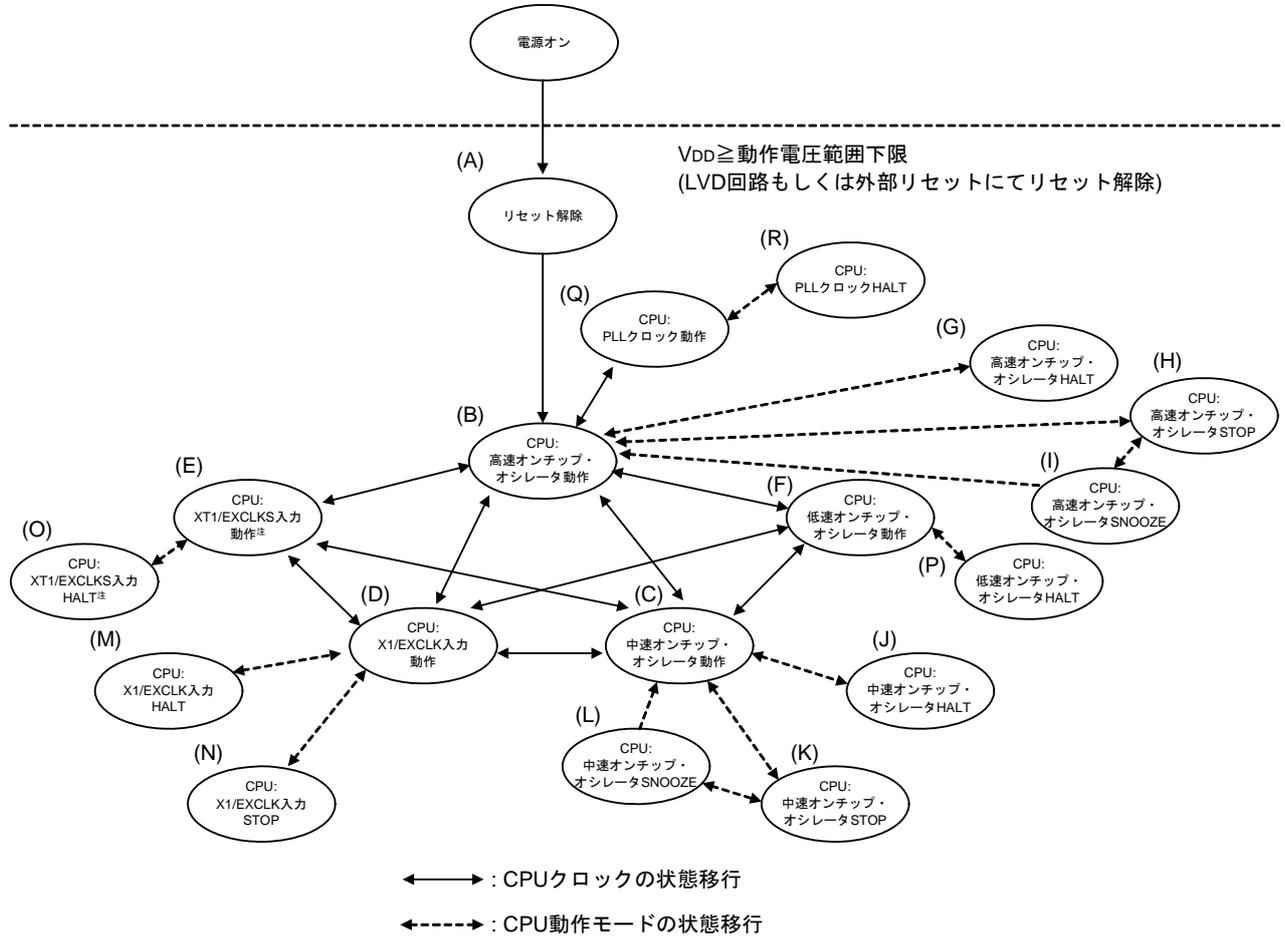
- ① VRTC端子に電源を投入しRTCパワーオン・リセットを解除します。
- ② SCMCレジスタのEXCLKSビット, OSCSELSビット, AMPHS1ビット, AMPHS0ビットを設定してXT1発振モードおよびXT1発振回路のゲインを設定します。XT1クロックを使用しない場合はSCMCレジスタに00Hを設定してXT1/P123端子, XT2/EXCLKS/P124端子を入力ポート・モードに設定してください。
- ③ CMCレジスタのXT1SELENビットをクリア（0）してCPUへのXT1クロック選択を禁止します。
- ④ CSCレジスタのXT1SELDISビットをセット（1）してCPU／周辺ハードウェア・クロックへのXT1クロック選択を禁止します。

注意 手順②の処理は一旦設定したら、RTCパワーオン・リセットが発生していない場合は設定は保持される為、リセット解除後に再度設定は不要です。

6.6.5 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図6-24に示します。

図6-24 CPUクロック状態移行図



注 RTCパワーオン・リセット解除後に動作可能

CPUクロックの状態移行とレジスタの設定例などを表6-3に示します。

表6-3 CPUクロックの移行とSFRレジスタの設定例 (1/4)

- (1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行
 対象状態遷移 : (A) → (B)

移行先のクロック	SFRレジスタの設定
高速オンチップ・オシレータ	SFRレジスタ設定不要 (リセット解除後の初期状態)

- (2) 高速オンチップ・オシレータ・クロック動作 (B) へ移行
 対象状態遷移 : (C) → (B), (D) → (B), (E) → (B), (F) → (B)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ		
	HIOSTOP		CSS	MCM0	MCM1
高速オンチップ・オシレータ	0	65 μs	0	0	0

高速オンチップ・オシレータ・
 クロック動作中の場合は不要

- 対象状態遷移 : (Q) → (B)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 移行先のクロック	MCKCレジスタ	クロック切り替え 待ち	DSCCTLレジスタ	PCKCレジスタ
	CKSELR		DSCON	PLLCK
高速オンチップ・オシレータ	0	MCKCレジスタの CKSTR = 0を確認	0	0

- (3) 中速オンチップ・オシレータ・クロック動作 (C) へ移行
 対象状態遷移 : (B) → (C), (D) → (C), (E) → (C), (F) → (C)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 移行先のクロック	CSCレジスタ	発振安定待ち	CKCレジスタ		
	MIOEN		CSS	MCM0	MCM1
中速オンチップ・オシレータ	1	4 μs	0	0	1

中速オンチップ・オシレータ・
 クロック動作中の場合は不要

備考 表6-3の (A) - (R) は、図6-24の (A) - (R) と対応しています。

表6-3 CPUクロックの移行とSFRレジスタの設定例 (2/4)

(4) PLLクロック動作 (Q) へ移行

対象状態遷移 : (B) → (Q)

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ	DSCCTLレジスタ			PCKC レジスタ	DSCCTL レジスタ
	DSFRDIV1	DSFRDIV0	DSCM	PLLCK	DSCON
移行先のクロック					
PLLクロック	1	1	1	1	1

ロックアップ 待ち時間	MCKCレジスタ	クロック切り替え確認
	CKSELR	
40 μs	1	MCKCレジスタのCKSTR = 1を 確認

注意 高速オンチップ・オシレータ (f_{IH}) の周波数は24 MHzを選択すること。

(5) CPUを高速システム・クロック動作 (D) へ移行

対象状態遷移 : (B) → (D), (C) → (D), (E) → (D), (F) → (D)

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ	
	EXCLK	OSCSEL	AMPH				MSTOP	CSS
X1クロックに移行 : 1 MHz ≤ f _x ≤ 10 MHz	0	1	0	注2	0	確認必要	0	1
X1クロックに移行 : 10 MHz < f _x ≤ 20 MHz	0	1	1	注2	0	確認必要	0	1
外部メイン・クロックに移行	1	1	×	注2	0	確認不要	0	1

設定済みの場合は不要 高速システム・クロック動作中
の場合は不要

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

- ・ 期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第43章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考 表6-3の (A) - (R) は、図6-24の (A) - (R) と対応しています。

表6-3 CPUクロックの移行とSFRレジスタの設定例 (3/4)

(6) CPUをサブシステム・クロック動作 (E) へ移行
 対象状態遷移 : (B) → (E), (C) → (E), (D) → (E)

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ 移行先のクロック	PER2レジスタ	SCMCレジスタ ^注			
	VRTCEN	EXCLKS	OSCSELS	AMPHS1	AMPHS0
XT1クロックに移行	1	0	1	0/1	0/1
外部サブ・クロックに移行	1	1	1	×	×

設定済みの場合は不要

SCSC レジスタ	CMC レジスタ	発振安定 待ち	CSC レジスタ	CKC レジスタ	PER2 レジスタ
XTSTOP	XT1SELEN		XT1SELDIS	CSS	VRTCEN
0	1	必要	0	1	0
0	1	必要	0	1	0

サブシステム・クロック動作中の場合は不要

注 サブ・クロック動作モード制御レジスタ (SCMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

VRTC端子に電源投入しRTCパワーオン・リセット解除後に動作可能となります。

(7) 低速オンチップ・オシレータ・クロック動作 (F) へ移行
 対象状態遷移 : (B) → (F), (C) → (F), (D) → (F)

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ 移行先のクロック	CKSEL	発振精度安定待ち	CKCレジスタ
	SELLOSC		CSS
低速オンチップ・オシレータに移行	1	210 μs	1

低速オンチップ・オシレータ・クロック動作中の場合は不要

備考1. × : don't care

2. 表6-3の (A) - (R) は、図6-24の (A) - (R) と対応しています。

表6-3 CPUクロックの移行とSFRレジスタの設定例 (4/4)

- (8) CPU動作モード (B), (C), (D), (E), (F), (Q) からHALTモード (G), (J), (M), (O), (P), (R) へ移行
対象状態遷移 : (B) → (G), (C) → (J), (D) → (M), (E) → (O), (F) → (P), (Q) → (R)

移行先のモード	設定内容
HALTモード	HALT命令を実行する

- (9) CPU動作モード (B), (C), (D) からSTOPモード (H), (K), (N) へ移行
対象状態遷移 : (B) → (H), (C) → (K), (D) → (N)

(設定順序) →

移行先のモード	設定内容		
STOPモード	STOPモード中に動作できない周辺機能を停止する	OSTSレジスタを設定する	STOP命令を実行する

CPUが高速システム・クロック動作中からSTOP モードに移行する場合以外は設定不要

- (10) STOPモード (H), (K) とSNOOZEモード (I), (L) の移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、**20.5.7 SNOOZEモード機能**、**20.6.3 SNOOZEモード機能**を参照してください。

備考 表6-3の (A) - (R) は、**図6-24**の (A) - (R) と対応しています。

6.6.6 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表6-4 CPUクロックの移行について (1/7)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能
	X1クロック	X1発振が安定していること OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	PLLクロック	高速オンチップ・オシレータが $f_{IH} = 24$ MHzで発振され、かつPLLの動作クロックとして供給されていること ・ FRQSEL3-0 = 0000B ・ HIOSTOP = 0 ・ PLLCK = 1 PLL発振が安定していること ・ DSFRDIV1 = 1, DSFRDIV0 = 1, DSCM = 1, DSCON = 1 ・ ロックアップ待ち時間 (40 μ s) 経過後	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1	

表6-4 CPUクロックの移行について (2/7)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
中速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること ・HIOSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、中速オンチップ・オシレータを停止 (MIOEN = 0) すると、動作電流を低減可能
	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	
	PLLクロック	設定禁止 (一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること)	—
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、中速オンチップ・オシレータを停止 (MIOEN = 0) すると、動作電流を低減可能
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 ・SELLOSC = 1	

表6-4 CPUクロックの移行について (3/7)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
PLLクロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータが選択されていること ・HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、PLLを停止 (DSCON = 0, PLLCK = 0) すると動作電流を低減可能
	中速オンチップ・オシレータ・クロック	移行不可	—
	X1クロック	移行不可	—
	外部メイン・システム・クロック	移行不可	—
	XT1クロック	移行不可	—
	外部サブシステム・クロック	移行不可	—
	低速オンチップ・オシレータ・クロック	移行不可	—

表6-4 CPUクロックの移行について (4/7)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能 (MSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1	
	外部メイン・システム・クロック	移行不可	—
	PLLクロック	設定禁止 (一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること)	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1	
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1	
	PLLクロック	設定禁止 (一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること)	—
	X1クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1	

表6-4 CPUクロックの移行について (5/7)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、XT1発振停止に設定可能 (XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、中速オンチップ・オシレータ・クロックが選択されていること ・MIOEN = 1, MCS = 0, MCS1 = 1	
	PLLクロック	設定禁止 (一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること)	—
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後、XT1発振停止に設定可能 (XTSTOP = 1)
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	外部サブシステム・クロック	移行不可	—
	低速オンチップ・オシレータ・クロック	移行不可	

表6-4 CPUクロックの移行について (6/7)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、中速オンチップ・オシレータ・クロックが選択されていること ・MIOEN = 1, MCS = 0, MCS1 = 1	
	PLLクロック	設定禁止 (一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること)	—
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可	—
	低速オンチップ・オシレータ・クロック	移行不可	

表6-4 CPUクロックの移行について (7/7)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0, MCS1 = 0	—
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、中速オンチップ・オシレータ・クロックが選択されていること ・ MIOEN = 1, MCS = 0, MCS1 = 1	
	PLLクロック	設定禁止（一度高速オンチップ・オシレータ・クロックを経由してからPLLクロックに切り替えること）	
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	XT1クロック	移行不可	
	外部サブシステム・クロック	移行不可	

6. 6. 7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット0, 4, 6 (MCM0, MCM1, CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック⇄サブシステム・クロック), メイン・システム・クロックの切り替え (オンチップ・オシレータ・クロック→高速システム・クロック), オンチップ・オシレータ・クロックの切り替え (高速オンチップ・オシレータ・クロック⇄中速オンチップ・オシレータ・クロック) をすることができます。

実際の切り替え動作は, CKCレジスタを書き換えた直後ではなく, CKCレジスタを変更したのち, 数クロックは切り替え前のクロックで動作します (表6-5~表6-8参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, CKCレジスタのビット7 (CLS) で判定できます。メイン・システム・クロックが高速システム・クロックで動作しているか, メイン・オンチップ・オシレータ・クロックまたはPLLクロックで動作しているかは, CKCレジスタのビット5 (MCS) で判定できます。メイン・システム・クロックが高速オンチップ・オシレータ・クロックで動作しているか, PLLクロックで動作しているかは, MCKCレジスタのビット7 (CKSTR) で判定できます。メイン・オンチップ・オシレータ・クロックが高速オンチップ・オシレータ・クロックで動作しているか, 中速オンチップ・オシレータで動作しているかは, CKCレジスタのビット1 (MCS1) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表6-5 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
foco	←→	fmx	表6-6参照
fih	←→	fim	表6-7参照
fMAIN	←→	fSUB	表6-8参照

表6-6 foco ↔ fmxで要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM1		MCM0	
		0 (fMAIN = foco)	1 (fMAIN = fmx)
0 (fMAIN = foco)	fmx ≥ foco		2クロック
	fmx < foco		2foco/fmxクロック
1 (fMAIN = fmx)	fmx ≥ foco	2fmx/focoクロック	
	fmx < foco	2クロック	

表6-7 $f_{IH} \leftrightarrow f_{IM}$ で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM1		MCM1	
		0 ($f_{MAIN} = f_{IH}$)	1 ($f_{MAIN} = f_{IM}$)
0 ($f_{MAIN} = f_{IH}$)	$f_{IM} \geq f_{IH}$		2クロック
	$f_{IM} < f_{IH}$		$2f_{IH}/f_{IM}$ クロック
1 ($f_{MAIN} = f_{IM}$)	$f_{IM} \geq f_{IH}$	$2f_{IM}/f_{IH}$ クロック	
	$f_{IM} < f_{IH}$	2クロック	

表6-8 $f_{MAIN} \leftrightarrow f_{SUB}$ で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 ($f_{CLK} = f_{MAIN}$)	1 ($f_{CLK} = f_{SUB}$)
0 ($f_{CLK} = f_{MAIN}$)			$1 + 2f_{MAIN}/f_{SUB}$ クロック
1 ($f_{CLK} = f_{SUB}$)		3クロック	

備考1. 表6-6, 表6-7, 表6-8のクロック数は, 切り替え前のCPUクロックのクロック数です。

2. 表6-6, 表6-7, 表6-8のクロック数は, 小数点以下を切り上げてください。

例 メイン・システム・クロックを高速オンチップ・オシレータ・クロック (8 MHz選択時) から高速システム・クロックに切り替える場合 ($f_{IH} = 8 \text{ MHz}$, $f_{MX} = 10 \text{ MHz}$ 発振時)

$$1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 \rightarrow 2\text{クロック}$$

6.6.8 クロック発振停止前の条件

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

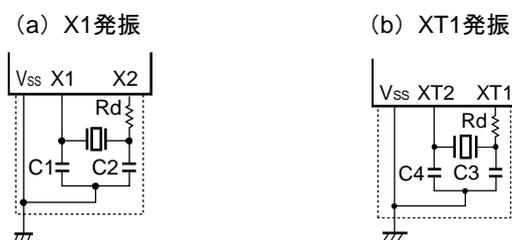
クロック発振停止（外部クロック入力無効）するための停止前条件とレジスタの設定は**表6-2 クロック発振停止前の条件とレジスタの設定**を参照してください。

6.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数（参考）は、当社ホームページの対象製品ページを参照してください。

- 注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。
また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。
2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図6-25 外付け回路例



第7章 高速オンチップ・オシレータ・クロック周波数補正機能

7.1 高速オンチップ・オシレータ・クロック周波数補正機能

サブシステム・クロック f_{SUB} (32.768 kHz) ^{注1}を基準として、高速オンチップ・オシレータの周波数を測定し、リアルタイムに高速オンチップ・オシレータ・クロック (f_{IH}) の周波数精度補正を行います。

表7-1に高速オンチップ・オシレータ・クロック周波数補正機能の動作仕様を、図7-1に高速オンチップ・オシレータ・クロック周波数補正機能のブロック図を示します。

表7-1 高速オンチップ・オシレータ・クロック周波数補正機能の動作仕様

項目	内容
基準クロック	• $f_{SUB}/2^9$ (サブシステム・クロック32.768 kHz) ^{注1}
補正対象クロック	• f_{IH} (高速オンチップ・オシレータ・クロック)
動作モード	<ul style="list-style-type: none"> • 連続動作モード 常時高速オンチップ・オシレータ・クロック周波数補正を行うモード • 間欠動作モード タイマ割り込み等を使い、間欠的に高速オンチップ・オシレータ・クロック周波数補正を行うモード
クロック精度調整機能	• 補正時間：補正周期 (31.2 ms) × (補正回数 - 0.5) ^{注2}
割り込み	• 高速オンチップ・オシレータ・クロック周波数補正完了したとき出力 (割り込み出力許可時)

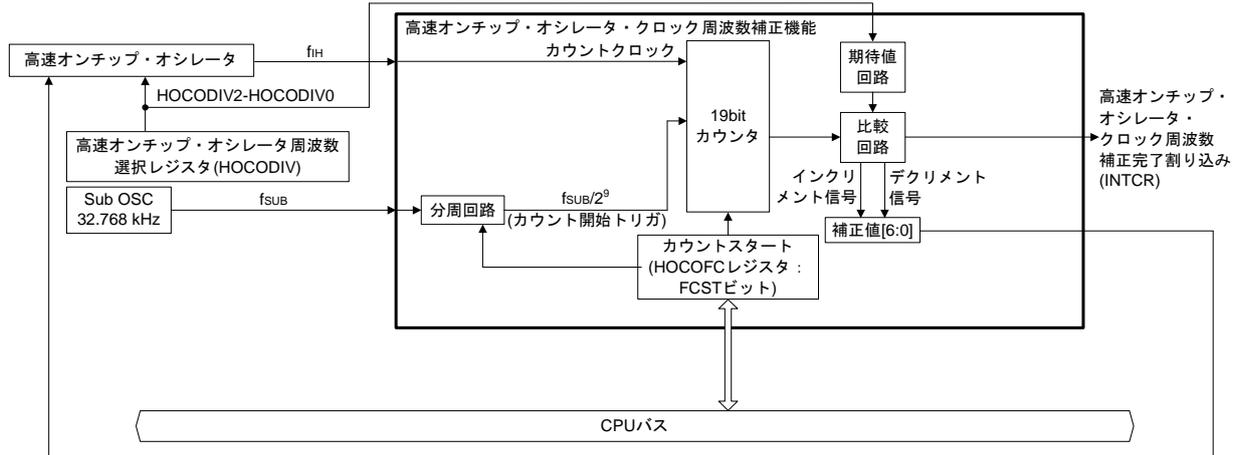
注1. サブ・クロック f_{SX} 38.4 kHzは使用できません。

2. 補正時間：補正回数により変化します。

補正周期：周波数測定フェーズと周波数補正フェーズの合計時間です。

補正回数：周波数が期待値範囲内に収まるまで、繰り返した補正周期の回数になります。

図7-1 高速オンチップ・オシレータ・クロック周波数補正機能のブロック図



注意1. 高速オンチップ・オシレータ・クロック周波数補正機能を使用するには、サブシステム・クロックが必要です。XT1, XT2にサブ・クロック振動子を接続してください。

2. 24ビット $\Delta \Sigma$ 型A/Dコンバータを使用する際に、動作クロックに高速オンチップ・オシレータを選択する場合は、必要に応じて本機能を使用してください。

7.2 レジスタ説明

表7-2に高速オンチップ・オシレータ・クロック周波数補正機能で使用するレジスタ一覧を示します。

表7-2 高速オンチップ・オシレータ・クロック周波数補正機能レジスタ一覧

項目	構成
制御レジスタ	高速オンチップ・オシレータ・クロック周波数補正制御レジスタ (HOCOFC)

7.2.1 高速オンチップ・オシレータ・クロック周波数補正制御レジスタ (HOCOFC)

高速オンチップ・オシレータ・クロック周波数補正機能を制御するレジスタです。

HOCOFCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 高速オンチップ・オシレータ・クロック周波数補正制御レジスタ (HOCOFC) のフォーマット

アドレス: F02D8H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
HOCOFC	FCMD	FCIE	0	0	0	0	0	FCST

FCMD ^{注1}	高速オンチップ・オシレータ・クロック周波数補正機能動作モード
0	連続動作モード
1	間欠動作モード

FCIE	高速オンチップ・オシレータ・クロック周波数補正完了割り込み制御
0	高速オンチップ・オシレータ・クロック周波数補正完了後に割り込みを発生しない
1	高速オンチップ・オシレータ・クロック周波数補正完了後に割り込みを発生する

FCST ^{注2}	高速オンチップ・オシレータ・クロック周波数補正回路動作制御/ステータス
0	高速オンチップ・オシレータ・クロック周波数補正回路動作停止/停止中
1	高速オンチップ・オシレータ・クロック周波数補正回路動作開始/動作中

連続動作モード時は、ソフトウェアで0を書くと停止します。
 間欠動作モード時は、補正が完了後、FCSTビットはハードウェアクリアされます。

注1. FCSTビットが1の時には、FCMDビットを書き換えないでください。

- FCSTビットに1を書き込む場合は、FCSTビットが0である事を確認してからFCSTビットに1を書き込んでください。ただし、間欠動作完了直後（高速オンチップ・オシレータ・クロック周波数補正完了割り込み発生時）にFCSTビットに1を書き込む場合は、ハードウェアクリアを優先するため、高速オンチップ・オシレータ・クロック周波数補正完了割り込み発生からf_{IH}が1サイクル以上経過後に行ってください。

FCSTビットに0を書き込み（高速オンチップ・オシレータ・クロック周波数補正回路動作停止）後、f_{IH}で2サイクル以内にFCSTビットに1（高速オンチップ・オシレータ・クロック周波数補正回路動作開始）を書き込まないでください。

注意 ビット5-1には必ず0を設定してください。

7.3 動作説明

7.3.1 動作概要

高速オンチップ・オシレータ・クロック周波数補正は、サブシステム・クロック (f_{SUB}) を基準として補正周期が生成され、高速オンチップ・オシレータの周波数を測定し、リアルタイムに高速オンチップ・オシレータ・クロック周波数精度補正を行います。クロック調整は、周波数測定フェーズと周波数補正フェーズの動作を繰り返します。周波数測定フェーズでは補正演算、周波数補正フェーズでは補正演算結果を反映した補正值出力を保持します。

表7-3に高速オンチップ・オシレータ入力周波数と補正周期を、図7-3に高速オンチップ・オシレータ・クロック周波数補正動作タイミング（詳細）を示します。

表7-3 高速オンチップ・オシレータ入力周波数と補正周期

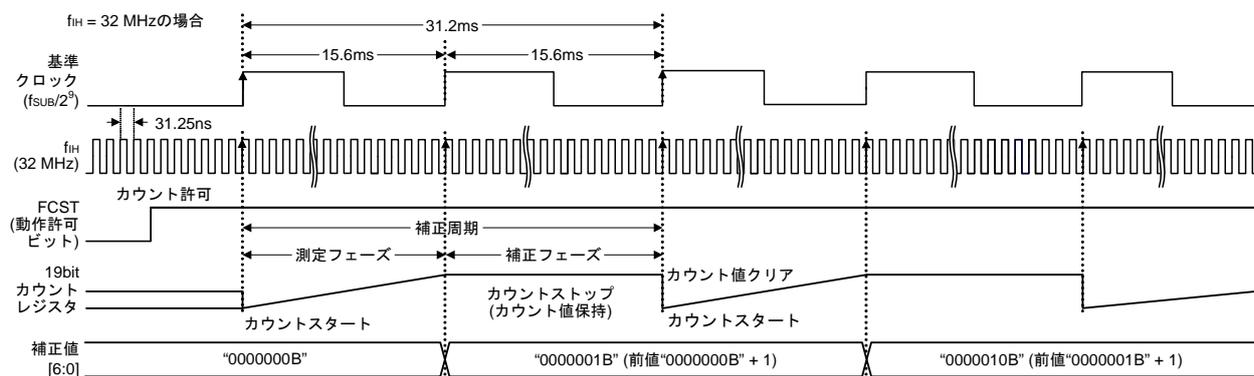
f_{IH} (MHz)	FRQSEL3, HOCODIV2-HOCODIV0 ^注 (HOCODIVレジスタ)	補正周期 (ms)
24	0000	31.2 (周波数測定フェーズ + 周波数補正フェーズ)
12	0001	
6	0010	
3	0011	
1.5	0100	
32	1000	
16	1001	
8	1010	
4	1011	
2	1100	
1	1101	
上記以外	設定禁止	

注 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) を変更する場合は、必ず高速オンチップ・オシレータ・クロック周波数補正機能未使用時に行ってください。

補正周期の周波数測定フェーズ期間を高速オンチップ・オシレータ・クロックでカウントし、カウント結果と期待値との大小により高速オンチップ・オシレータの周波数を補正します。

図7-3 高速オンチップ・オシレータ・クロック周波数補正動作タイミング（詳細）

■動作タイミング(詳細)



備考 連続動作モードも間欠動作モードも基本動作は同じです。違いはFCSTビットのクリアがソフトウェア制御かハードウェア制御の違いのみです。また、システムリセットがかかるまでは、補正值はクリアされません。

(1) 連続動作モード

連続動作モードは、常時高速オンチップ・オシレータ・クロック周波数補正を行うモードです。HOCOFCレジスタのFCMDビットを“0”に設定することで連続動作モードになります。

HOCOFCレジスタのFCSTビットに“1”を設定することで高速オンチップ・オシレータ・クロック周波数補正動作を開始します。同様にFCSTビットに“0”を設定することで高速オンチップ・オシレータ・クロック周波数補正動作が停止します。

高速オンチップ・オシレータ・クロック周波数補正動作を開始すると、基準クロック ($f_{SUB}/2^9$) の立ち上りで周波数カウントを開始し、次の基準クロック ($f_{SUB}/2^9$) の立ち上りでカウントを停止します。(周波数測定フェーズ)

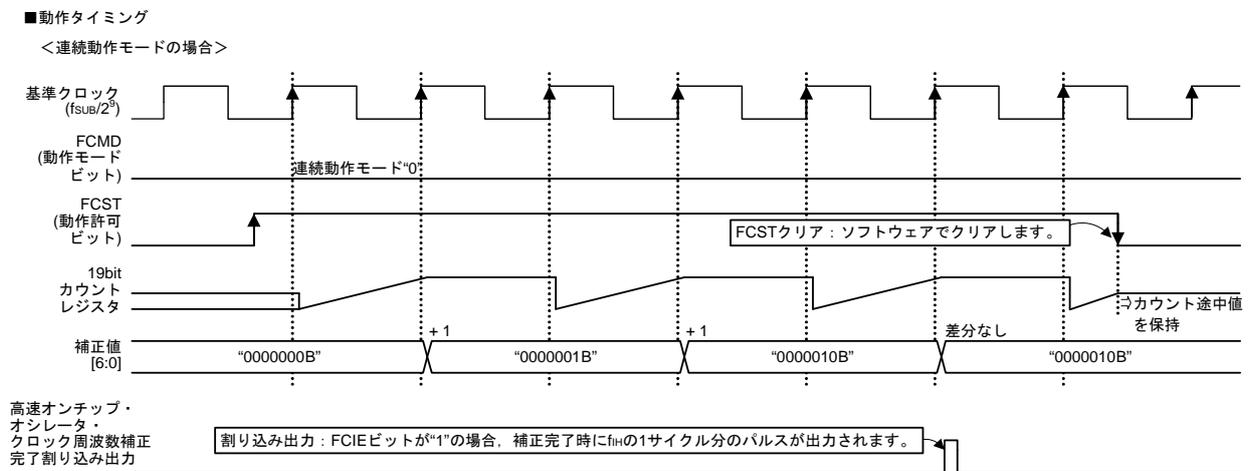
次に、カウント値と期待値を比較し、補正值を以下の通り調整します。(周波数補正フェーズ)

- カウント値が期待値よりも大きい場合：補正值 -1
- カウント値が期待値よりも小さい場合：補正值 +1
- カウント値が期待値の範囲内の場合：補正值保持 (高速オンチップ・オシレータ・クロック周波数補正完了)

HOCOFCレジスタのFCIEビットを“1”に設定している場合は、高速オンチップ・オシレータ・クロック周波数補正完了ごとに高速オンチップ・オシレータ・クロック周波数補正完了割り込みを出力します。連続動作モードでは、高速オンチップ・オシレータ・クロック周波数補正機能が停止するまで周波数測定フェーズと周波数補正フェーズを繰り返します。

図7-4に連続動作モードタイミングを示します。

図7-4 連続動作モードタイミング



(2) 間欠動作モード

間欠動作モードは、タイマ割り込み等を使い、間欠的に高速オンチップ・オシレータ・クロック周波数補正を行うモードです。HOCOFCレジスタのFCMDビットを“1”に設定することで間欠動作モードになります。

HOCOFCレジスタのFCSTビットに“1”を設定することで高速オンチップ・オシレータ・クロック周波数補正動作を開始します。

高速オンチップ・オシレータ・クロック周波数補正動作を開始すると、基準クロック ($f_{SUB}/2^9$) の立ち上りで周波数カウントを開始し、次の基準クロック ($f_{SUB}/2^9$) の立ち上りでカウントを停止します。(周波数測定フェーズ)

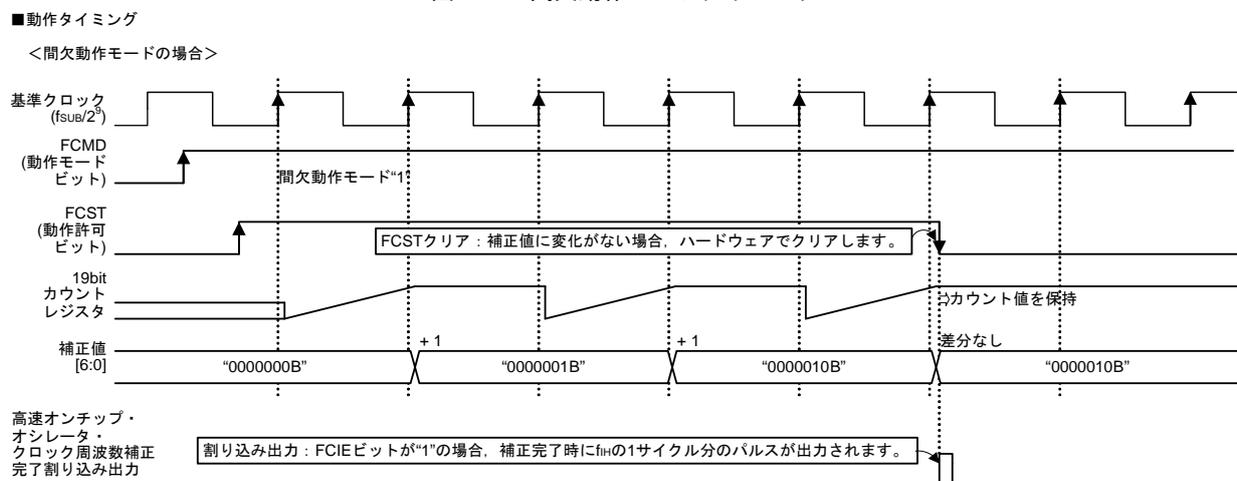
次にカウント値と期待値を比較し、補正値を以下の通り調整します。(周波数補正フェーズ)

- カウント値が期待値よりも大きい場合：補正値 -1
- カウント値が期待値よりも小さい場合：補正値 $+1$
- カウント値が期待値の範囲内の場合：補正値保持+FCSTビットをクリア(高速オンチップ・オシレータ・クロック周波数補正完了)

HOCOFCレジスタのFCIEビットを“1”に設定している場合は、高速オンチップ・オシレータ・クロック周波数補正完了時に高速オンチップ・オシレータ・クロック周波数補正完了割り込みを出力します。間欠動作モードでは周波数測定フェーズと周波数補正フェーズを繰り返し、高速オンチップ・オシレータ・クロック周波数補正完了後に高速オンチップ・オシレータ・クロック周波数補正動作が停止します。

図7-5に間欠動作モードタイミングを示します。

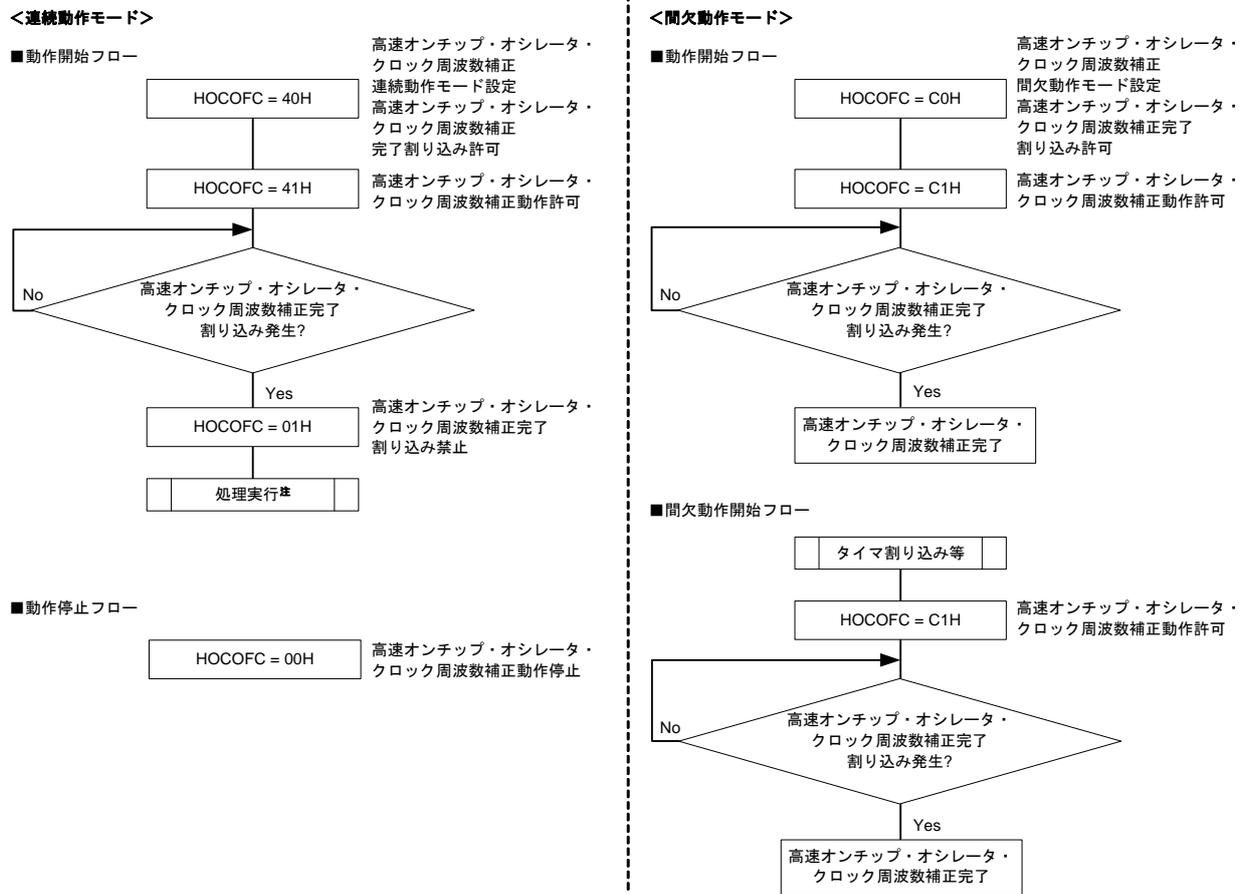
図7-5 間欠動作モードタイミング



7.3.2 動作手順

高速オンチップ・オシレータ・クロック周波数補正機能使用時の動作開始・停止のフローを以下に示します。

図7-6 動作モード設定手順例



注 高速オンチップ・オシレータ・クロック周波数補正動作は、高速オンチップ・オシレータ・クロック周波数補正機能が停止するまで繰り返されます。

7.4 使用上の注意事項

7.4.1 SFRアクセス

間欠動作モード時のFCSTビット制御について、FCSTに“1”を書き込む際はFCSTビットが“0”であることを確認してからFCSTビットに“1”を書き込んでください。ただし、間欠動作完了直後（割り込み発生時）にFCSTビットに“1”を書き込む場合は、ハードウェアクリアを優先するため、高速オンチップ・オシレータ・クロック周波数補正完了割り込み発生からf_{IH}が1サイクル以上経過後に行ってください。

7.4.2 スタンバイ時動作

STOP命令実行前に、必ず高速オンチップ・オシレータ・クロック周波数補正動作を停止させてください。

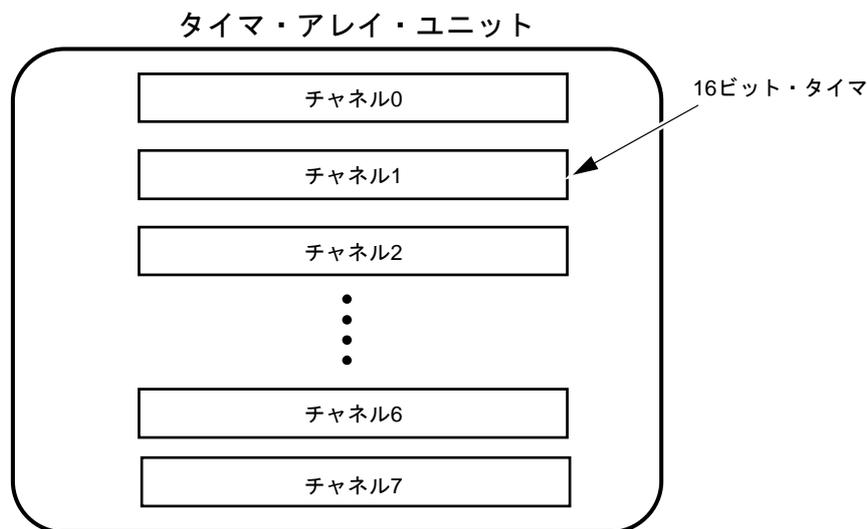
7.4.3 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）の変更について

高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）を変更する場合は、必ず高速オンチップ・オシレータ・クロック周波数補正機能未使用時に行ってください。

第8章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> ・インターバル・タイマ (→8. 8. 1参照) ・方形波出力 (→8. 8. 1参照) ・外部イベント・カウンタ (→8. 8. 2参照) ・入力パルス間隔測定 (→8. 8. 3参照) ・入力信号のハイ/ロウ・レベル幅測定 (→8. 8. 4参照) ・ディレイ・カウンタ (→8. 8. 5参照) 	<ul style="list-style-type: none"> ・ワンショット・パルス出力 (→8. 9. 1参照) ・PWM出力 (→8. 9. 2参照) ・多重PWM出力 (→8. 9. 3参照)

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ (上位/下位) として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- ・インターバル・タイマ (上位/下位8ビット・タイマ) / 方形波出力 (下位8ビット・タイマのみ)
- ・外部イベント・カウンタ (下位8ビット・タイマのみ)
- ・ディレイ・カウンタ (下位8ビット・タイマのみ)

また、チャンネル7は、シリアル・アレイ・ユニットのUART0と連携し、LIN-bus通信動作を実現することができます。

8.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

8.1.1 単独チャネル動作機能

単独チャネル動作機能は、他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

(1) インターバル・タイマ

一定間隔で割り込み (INTTMmn) を発生する基準タイマとして利用できます。



(2) 方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子 (TOnn) より出力します。



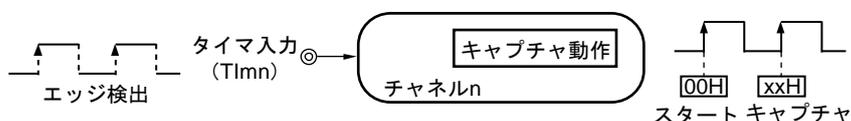
(3) 外部イベント・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



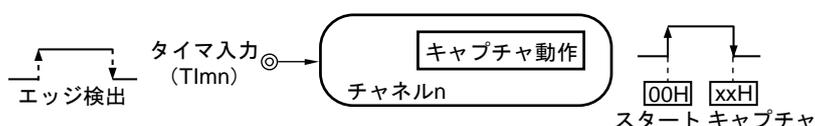
(4) 入力パルス間隔測定

タイマ入力端子 (TImn) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



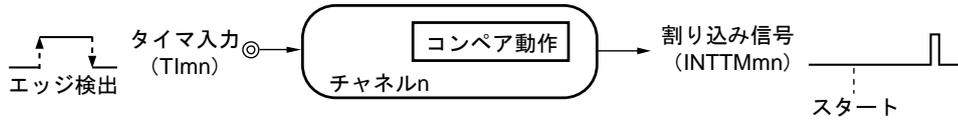
(5) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TImn) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(6) デイレイ・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

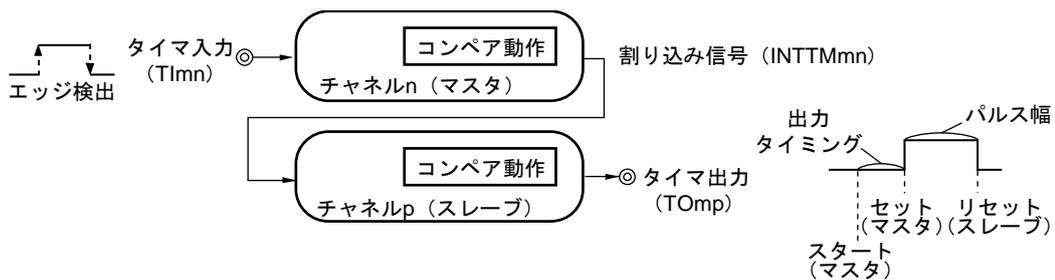
8.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル (主に周期を制御する基準タイマ) とスレーブ・チャンネル (マスタ・チャンネルに従い動作するタイマ) を組み合わせて実現する機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

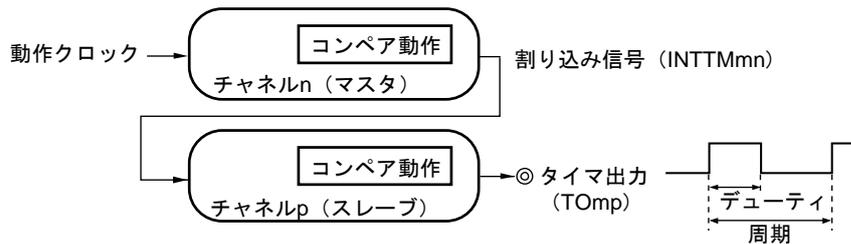
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



(2) PWM (Pulse Width Modulation) 出力

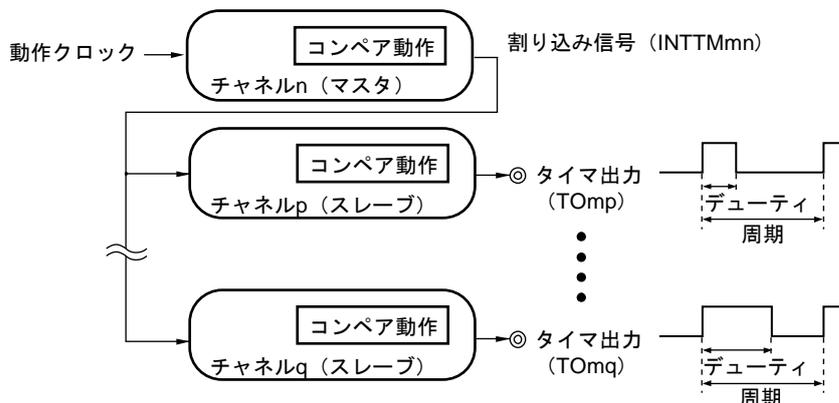
2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(注意、備考は次ページにあります。)

(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、8.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m: ユニット番号 (m=0), n: チャンネル番号 (n=0-7),
p, q: スレーブ・チャンネル番号 (n<p<q≤7)

8.1.3 8ビット・タイマ動作機能 (チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、8.4.2 8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ) を参照してください。

8.1.4 LIN-bus対応機能 (チャンネル7のみ)

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART0のシリアル・データ入力端子 (RxD0) に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART0のシリアル・データ入力端子 (RxD0) に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART0のシリアル・データ入力端子 (RxD0) に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus対応機能の動作設定については、**8.3.14 入力切り替え制御レジスタ (ISC)**、**8.8.4 入力信号のハイ/ロウ・レベル幅測定としての動作**を参照してください。

8.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

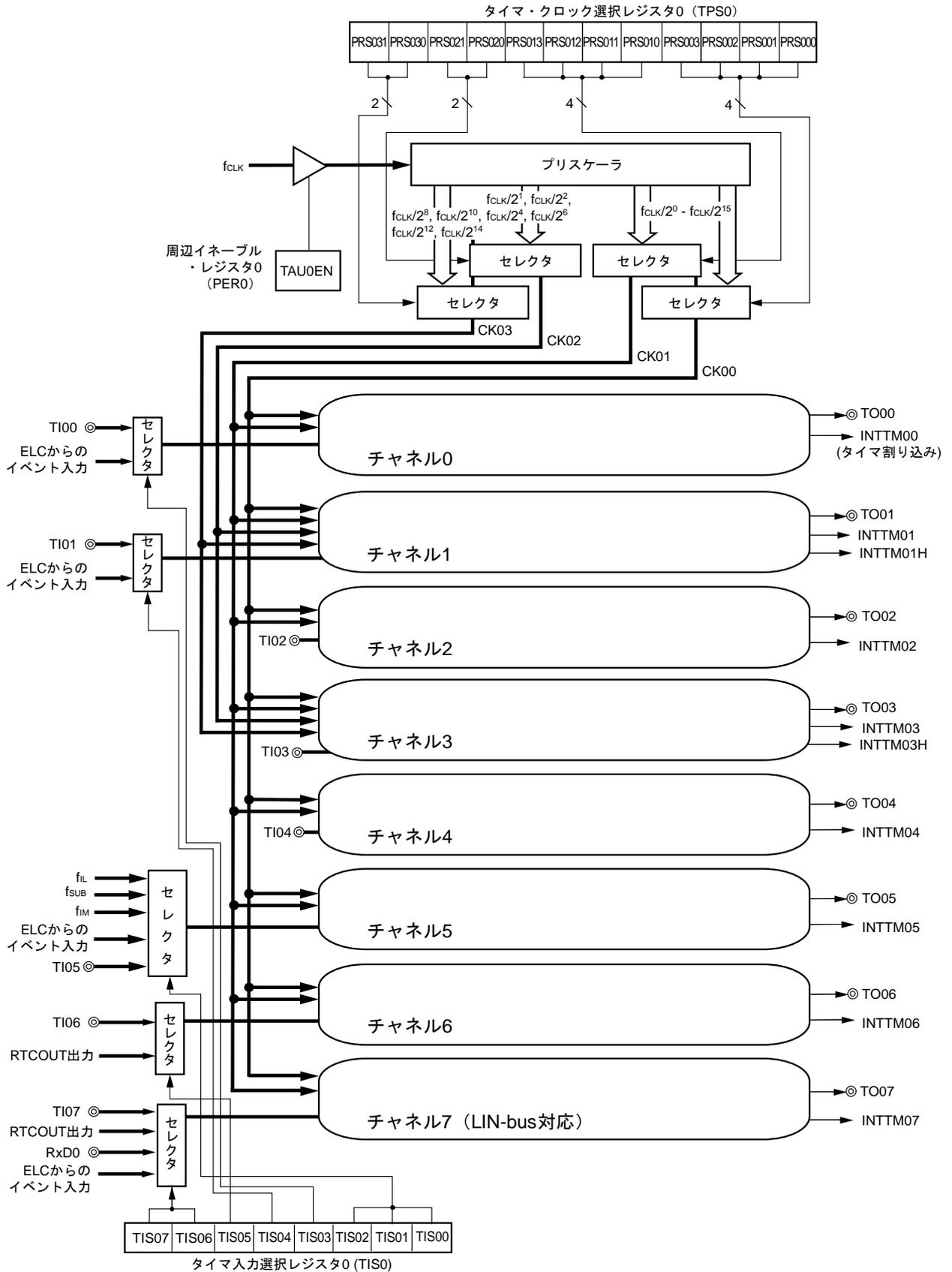
表8-1 タイマ・アレイ・ユニットの構成

項 目	構 成
タイマ/カウンタ	タイマ・カウンタ・レジスタmn (TCRmn)
レジスタ	タイマ・データ・レジスタmn (TDRmn)
タイマ入力	TI00-TI07, RxD0端子 (LIN-bus用)
タイマ出力	TO00-TO07, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・周辺リセット制御レジスタ0 (PRR0) ・タイマ・クロック選択レジスタm (TPSm) ・タイマ・チャンネル許可ステータス・レジスタm (TEm) ・タイマ・チャンネル開始レジスタm (TSM) ・タイマ・チャンネル停止レジスタm (TTm) ・タイマ入力選択レジスタ0 (TIS0) ・タイマ出力許可レジスタm (TOEm) ・タイマ出力レジスタm (TOM) ・タイマ出力レベル・レジスタm (TOLm) ・タイマ出力モード・レジスタm (TOMm) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタmn (TMRmn) ・タイマ・ステータス・レジスタmn (TSRmn) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ1 (NFEN1) ・ポート・モード・レジスタ (PM0, PM3, PM4, PM6, PM12) ・ポート・レジスタ (P0, P3, P4, P6, P12)

備考 m : ユニット番号 (m=0) , n : チャンネル番号 (n=0-7)

図8-1にタイマ・アレイ・ユニットのブロック図を示します。

図8-1 タイマ・アレイ・ユニットの全体ブロック図



- 備考**
- f_{SUB}** : サブシステム・クロック周波数
 - f_{IL}** : 低速オンチップ・オシレータ・クロック周波数
 - f_{IM}** : 中速オンチップ・オシレータ・クロック周波数

図8-2 タイマ・アレイ・ユニットのチャンネル0内部ブロック図

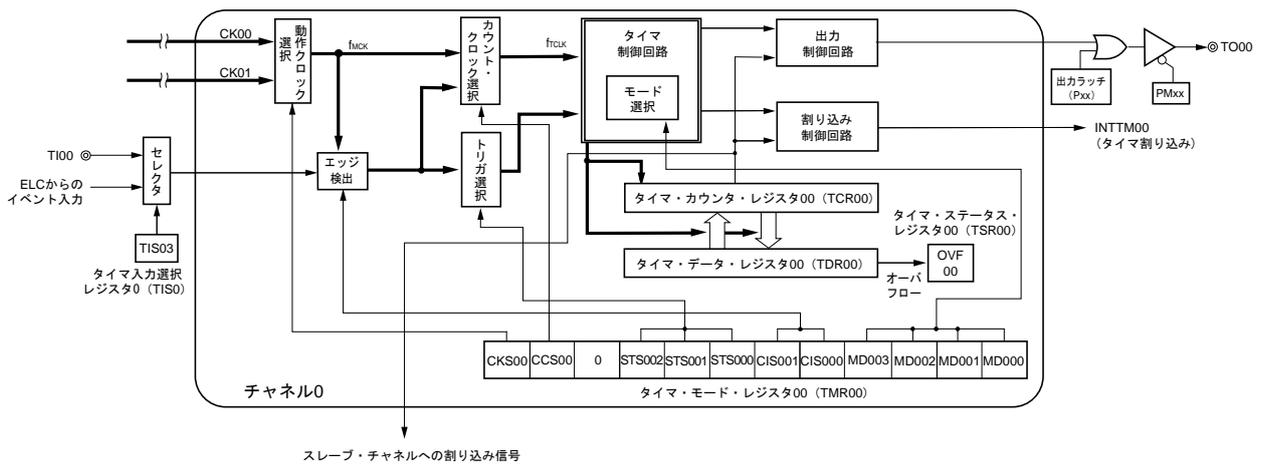
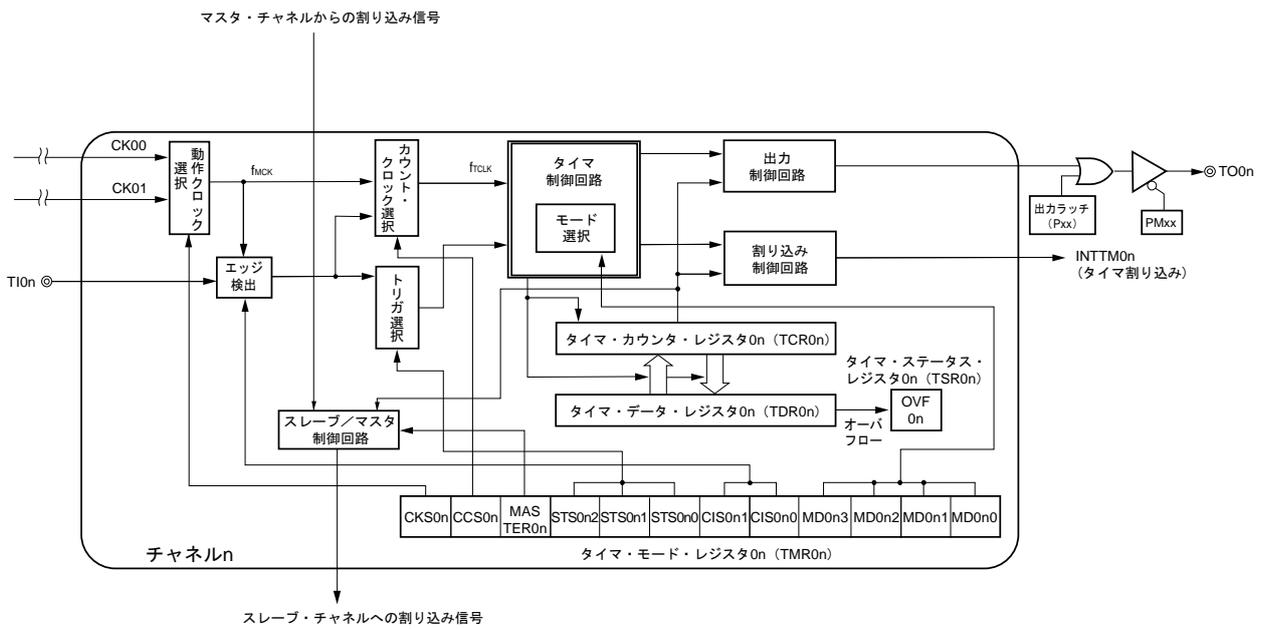


図8-3 タイマ・アレイ・ユニットのチャンネル2, 4内部ブロック図



備考 n = 2, 4

図8-4 タイマ・アレイ・ユニットのチャンネル1内部ブロック図

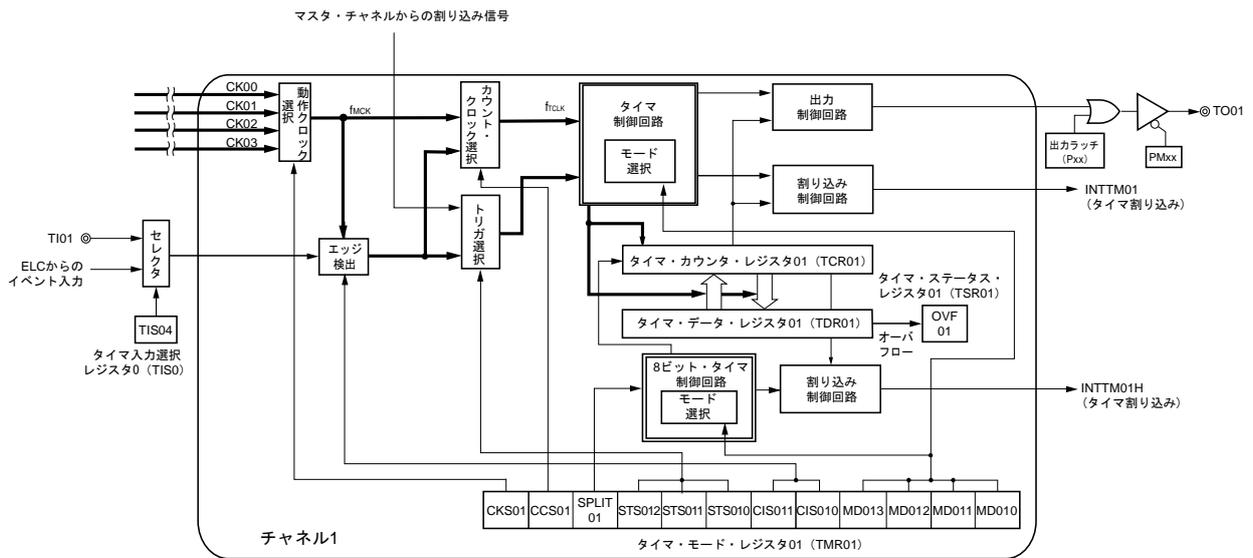


図8-5 タイマ・アレイ・ユニットのチャンネル3内部ブロック図

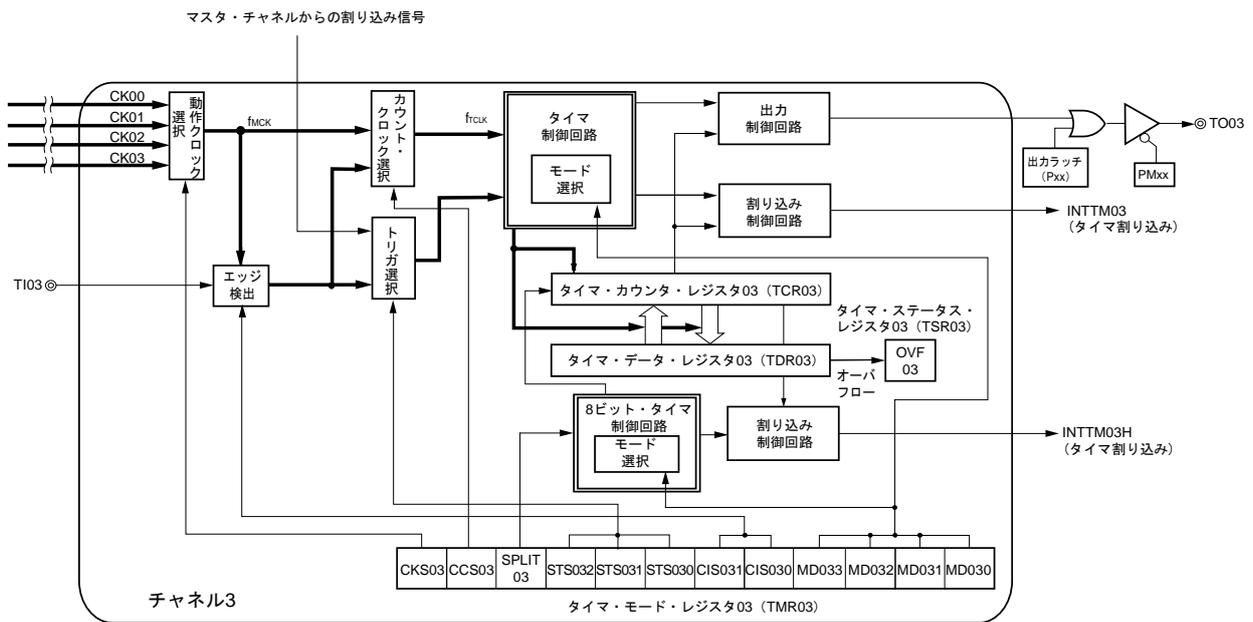


図8-6 タイマ・アレイ・ユニットのチャンネル5内部ブロック図

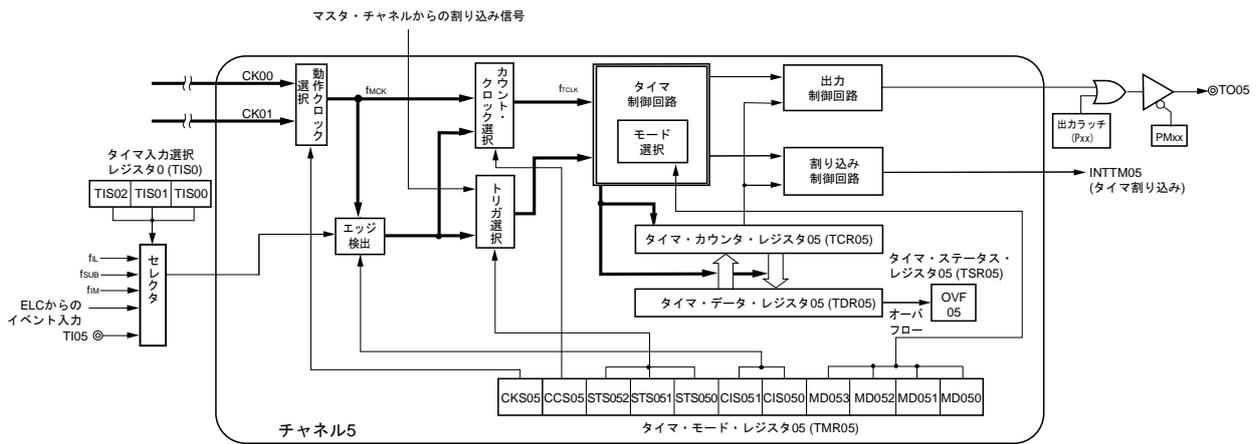


図8-7 タイマ・アレイ・ユニットのチャンネル6内部ブロック図

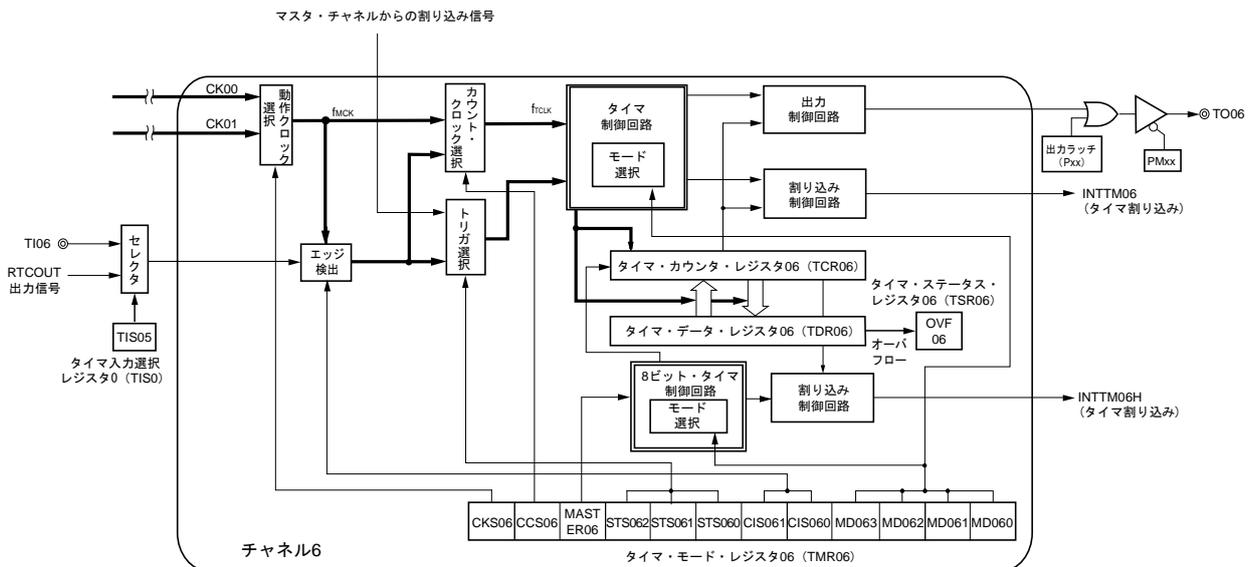
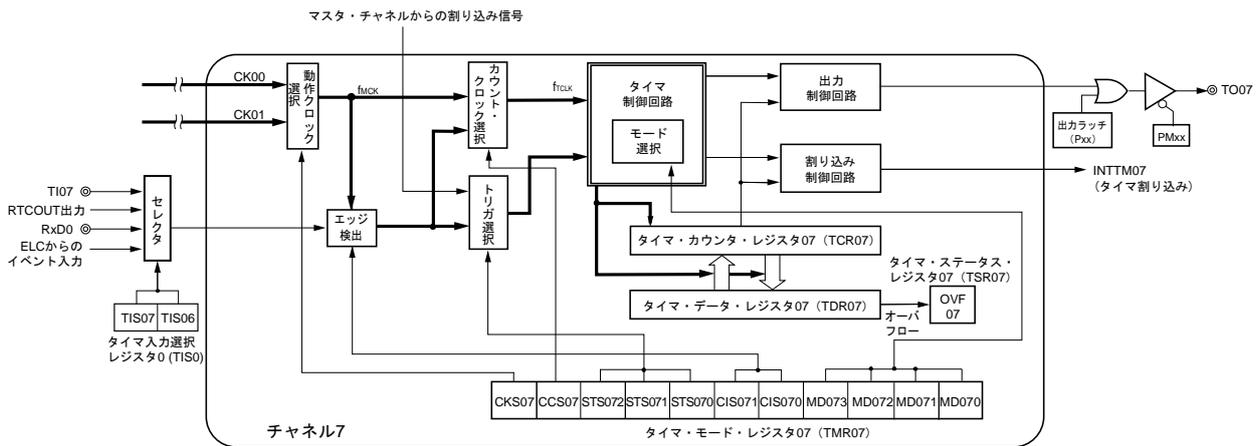


図8-8 タイマ・アレイ・ユニットのチャンネル7内部ブロック図

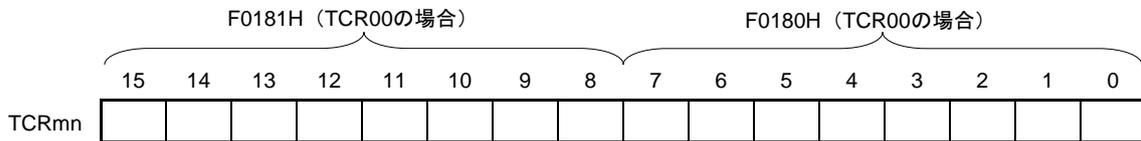


8.2.1 タイマ・カウンタ・レジスタmn (TCRmn)

TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。
 インクリメントかデクリメントかは、タイマ・モード・レジスタmn (TMRmn) のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります (8.3.4 タイマ・モード・レジスタmn (TMRmn) 参照)。

図8-9 タイマ・カウンタ・レジスタmn (TCRmn) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07) リセット時 : FFFFH R



備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

タイマ・カウンタ・レジスタmn (TCRmn) をリードすることにより、カウント値をリードできます。次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ0 (PER0) のTAUmENビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ディレイ・カウンタ・モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタをリードしても、タイマ・データ・レジスタmn (TDRmn) にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表8-2 各動作モード時のタイマ・カウンタ・レジスタmn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値 ^注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値+1

注 チャンネルnがタイマ動作停止状態 (TEmn = 0) かつカウント動作許可状態 (TSmn = 1) にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.2.2 タイマ・データ・レジスタmn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタmn (TMRmn) のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタm1, m3 (TMRm1, TMRm3) のSPLITビットが1)に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図8-10 タイマ・データ・レジスタmn (TDRmn) (n = 0, 2, 4-7) のフォーマット

アドレス : FFF18H, FFF19H (TDR00) , FFF64H, FFF65H (TDR02) , リセット時 : 0000H R/W
FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07)

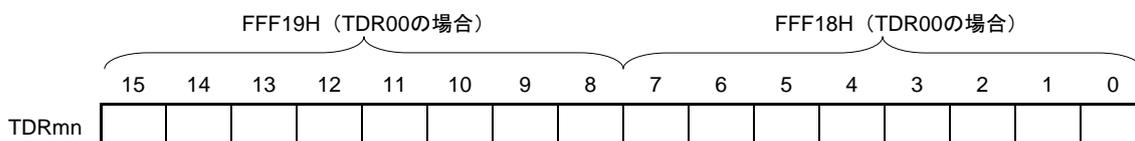
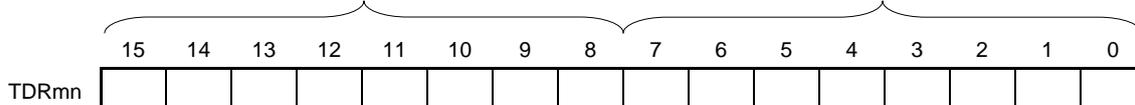


図8-11 タイマ・データ・レジスタmn (TDRmn) (n = 1, 3) のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01) , FFF66H, FFF67H (TDR03) リセット時 : 0000H R/W
FFF1BH (TDR01Hの場合) FFF1AH (TDR01Lの場合)



(i) タイマ・データ・レジスタmn (TDRmn) をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTMmn) を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタmn (TDRmn) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタmn (TCRmn) のカウント値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタmn (TMRmn) で設定します。

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

8.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・周辺リセット制御レジスタ0 (PRR0)
- ・タイマ・クロック選択レジスタm (TPSm)
- ・タイマ・モード・レジスタmn (TMRmn)
- ・タイマ・ステータス・レジスタmn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャンネル開始レジスタm (TSM)
- ・タイマ・チャンネル停止レジスタm (TTm)
- ・タイマ入力選択レジスタ0 (TIS0)
- ・タイマ出力許可レジスタm (TOEm)
- ・タイマ出力レジスタm (TOM)
- ・タイマ出力レベル・レジスタm (TOLm)
- ・タイマ出力モード・レジスタm (TOMm)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ・ポート・モード・レジスタ (PM0, PM3, PM4, PM6, PM12)
- ・ポート・レジスタ (P0, P3, P4, P6, P12)

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は、必ずビット0 (TAU0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図8-12 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	SAU2EN	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可、 リードした場合は00Hが読めます。ただし、初期化はされていません。 ^注
1	入カクロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注 タイマ・アレイ・ユニット0およびタイマ・アレイ・ユニット0で使用するSFR を初期化する
 場合、PRR0のビット0(TAU0RES)を使用してください。

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態
 で、下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは
 初期値となり、書き込みは無視されます (タイマ入力選択レジスタ0 (TIS0) , 入力切り替え制御
 レジスタ (ISC) , ノイズ・フィルタ許可レジスタ1 (NFEN1) , ポート・モード・レジスタ0, 3, 4,
 6, 12 (PM0, PM3, PM4, PM6, PM12) , ポート・レジスタ0, 3, 4, 6, 12 (P0, P3, P4, P6, P12)
 は除く)。

- ・タイマ・クロック選択レジスタm (TPSm)
- ・タイマ・モード・レジスタmn (TMRmn)
- ・タイマ・ステータス・レジスタmn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャンネル開始レジスタm (TSm)
- ・タイマ・チャンネル停止レジスタm (TTm)
- ・タイマ出力許可レジスタm (TOEm)
- ・タイマ出力レジスタm (TOm)
- ・タイマ出力レベル・レジスタm (TOLm)
- ・タイマ出力モード・レジスタm (TOMm)

2. ビット7には必ず“0”を設定してください。

8.3.2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ・アレイ・ユニットをリセットする場合は、必ずビット0 (TAU0RES)を1に設定してください。

PRR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR0レジスタは00HIになります。

図8-13 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	SAU2RES	TAU0RES

TAU0RES	タイマ・アレイ・ユニットのリセット制御
0	タイマ・アレイ・ユニットのリセット解除
1	タイマ・アレイ・ユニットのリセット状態

8.3.3 タイマ・クロック選択レジスタm (TPSm)

TPSmレジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック(CKm0, CKm1, CKm2, CKm3)を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で、CKm1はTPSmレジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で、CKm3はTPSmレジスタのビット13, 12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm0を選択 (CKSmn1, CKSmn0 = 0, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm2を選択 (CKSmn1, CKSmn0 = 0, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm1を選択 (CKSmn1, CKSmn0 = 1, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択 (CKSmn1, CKSmn0 = 1, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図8-14 タイマ・クロック選択レジスタm (TPSm) のフォーマット (1/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRSmk3	PRSmk2	PRSmk1	PRSmk0	動作クロック (CKmk) の選択 [*] (k = 0, 1)						
				f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 12 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz	f _{CLK} = 32 MHz	
0	0	0	0	f _{CLK}	4 MHz	8 MHz	12 MHz	20 MHz	24 MHz	32 MHz
0	0	0	1	f _{CLK} /2	2 MHz	4 MHz	6 MHz	10 MHz	12 MHz	16 MHz
0	0	1	0	f _{CLK} /2 ²	1 MHz	2 MHz	3 MHz	5 MHz	6 MHz	8 MHz
0	0	1	1	f _{CLK} /2 ³	500 kHz	1 MHz	1.5 MHz	2.5 MHz	3 MHz	4 MHz
0	1	0	0	f _{CLK} /2 ⁴	250 kHz	500 kHz	750 kHz	1.25 MHz	1.5 MHz	2 MHz
0	1	0	1	f _{CLK} /2 ⁵	125 kHz	250 kHz	375 kHz	625 kHz	750 kHz	1 MHz
0	1	1	0	f _{CLK} /2 ⁶	62.5 kHz	125 kHz	188 kHz	313 kHz	375 kHz	500 kHz
0	1	1	1	f _{CLK} /2 ⁷	31.3 kHz	62.5 kHz	93.8 kHz	156 kHz	188 kHz	250 kHz
1	0	0	0	f _{CLK} /2 ⁸	15.6 kHz	31.3 kHz	46.9 kHz	78.1 kHz	93.8 kHz	125 kHz
1	0	0	1	f _{CLK} /2 ⁹	7.81 kHz	15.6 kHz	23.4 kHz	39.1 kHz	46.9 kHz	62.5 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	3.91 kHz	7.81 kHz	11.7 kHz	19.5 kHz	23.4 kHz	31.3 kHz
1	0	1	1	f _{CLK} /2 ¹¹	1.95 kHz	3.91 kHz	5.86 kHz	9.76 kHz	11.7 kHz	15.6 kHz
1	1	0	0	f _{CLK} /2 ¹²	976 Hz	1.95 kHz	2.93 kHz	4.88 kHz	5.86 kHz	7.81 kHz
1	1	0	1	f _{CLK} /2 ¹³	488 Hz	976 Hz	1.46 kHz	2.44 kHz	2.93 kHz	3.91 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	244 Hz	488 Hz	732 Hz	1.22 kHz	1.46 kHz	1.95 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	122 Hz	244 Hz	366 Hz	610 Hz	732 Hz	977 Hz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

- 注意1. ビット15, 14, 11, 10には、必ず0を設定してください。
2. 動作クロック (CKmk) にf_{CLK} (分周なし) を選択し、TDRnm = 0000H (n = 0, m = 0-7) を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

- 備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数
2. TPSmレジスタで選択するf_{CLK}/2^rの波形は、単純に2^r分周した波形ではなく、その立ち上がりからf_{CLK}の1周期分ハイ・レベルになります (r = 1-15)。詳しくは、8.5.1 カウント・クロック (fr_{CLK}) を参照してください。

図8-14 タイマ・クロック選択レジスタm (TPSm) のフォーマット (2/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2) の選択 ^注						
			f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 12 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz	f _{CLK} = 32 MHz
0	0	f _{CLK} /2	2 MHz	4 MHz	6 MHz	10 MHz	12 MHz	16 MHz
0	1	f _{CLK} /2 ²	1 MHz	2 MHz	3 MHz	5 MHz	6 MHz	8 MHz
1	0	f _{CLK} /2 ⁴	250 kHz	500 kHz	750 kHz	1.25 MHz	1.5 MHz	2 MHz
1	1	f _{CLK} /2 ⁶	62.5 kHz	125 kHz	188 kHz	313 kHz	375 kHz	500 kHz

PRS m31	PRS m30	動作クロック (CKm3) の選択 ^注						
			f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 12 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz	f _{CLK} = 32 MHz
0	0	f _{CLK} /2 ⁸	15.6 kHz	31.3 kHz	46.9 kHz	78.1 kHz	93.8 kHz	125 kHz
0	1	f _{CLK} /2 ¹⁰	3.91 kHz	7.81 kHz	11.7 kHz	19.5 kHz	23.4 kHz	31.3 kHz
1	0	f _{CLK} /2 ¹²	976 Hz	1.95 kHz	2.93 kHz	4.88 kHz	5.86 kHz	7.81 kHz
1	1	f _{CLK} /2 ¹⁴	244 Hz	488 Hz	732 Hz	1.22 kHz	1.46 kHz	1.95 kHz

注 f_{CLK}に選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 00FFH)させてください。

カウント・クロック(f_{TCLK})にCKSmn0, CKSmn1ビットで指定した動作クロック(fmck), TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表8-3に示すインターバル時間を実現することが可能です。

表8-3 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間 ^注 (f _{CLK} = 32 MHz)			
		10 μs	100 μs	1 ms	10 ms
CKm2	f _{CLK} /2	○	—	—	—
	f _{CLK} /2 ²	○	—	—	—
	f _{CLK} /2 ⁴	○	○	—	—
	f _{CLK} /2 ⁶	○	○	—	—
CKm3	f _{CLK} /2 ⁸	—	○	○	—
	f _{CLK} /2 ¹⁰	—	○	○	—
	f _{CLK} /2 ¹²	—	—	○	○
	f _{CLK} /2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. TPSmレジスタで選択するf_{CLK}/2ⁱの波形の詳細は、8.5.1 カウント・クロック(f_{TCLK})を参照してください。

8.3.4 タイマ・モード・レジスタmn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択, カウント・クロックの選択, マスタ/スレーブの選択, 16ビット/8ビット・タイマの選択 (チャンネル1, 3のみ), スタート・トリガとキャプチャ・トリガの設定, タイマ入力の有効エッジ選択, 動作モード (インターバル, キャプチャ, イベント・カウンタ, ワンカウント, キャプチャ&ワンカウント) 設定を行います。

TMRmnレジスタは、動作中 (TE_{mn} = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS_{mn1}, CIS_{mn0}) は、一部の機能で動作中 (TE_{mn} = 1のとき) の書き換えが可能です (詳細は8.8 タイマ・アレイ・ユニットの単独チャンネル動作機能, 8.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000HIになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6 : MASTERmnビット (n = 2, 4, 6)

TMRm1, TMRm3 : SPLITmnビット (n = 1, 3)

TMRm0, TMRm5, TMRm7 : 0固定

図8-15 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (f _{mck}) の選択
0	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm3
動作クロック (f _{mck}) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (f _{clk}) を生成します。		
動作クロックCKm2, CKm3は、チャンネル1, 3のみ選択可能です。		

CCS mn	チャンネルnのカウント・クロック (f _{clk}) の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック (f _{mck})
1	TImn端子からの入力信号の有効エッジ チャンネル0, 1, 5, 6, 7では、TIS0で選択した入力信号の有効エッジ
カウント・クロック (f _{clk}) は、カウンタ, 出力制御回路, 割り込み制御回路に使用されます。	

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

2. カウント・クロック (f_{clk}) にCKSmn0, CKSmn1ビットで指定した動作クロック (f_{mck}) , TImn端子からの入力信号の有効エッジのどれを選択していても、f_{clk}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm=00FFH) させてください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図8-15 タイマ・モード・レジスタmn (TMRmn) のフォーマット (2/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2, 4, 6) のビット11)

MAS TER mn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作（スレーブ／マスタ）の選択
0	単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2, 4, 6のみマスタ・チャンネル（MASTERmn = 1）に設定できます。 チャンネル0, 5, 7は0固定となります（チャンネル0は最上位チャンネルのため，このビットの設定によらずマスタとして動作します）。 また，単独チャンネル動作機能として使用するチャンネルは，MASTERmn = 0 にします。	

(TMRmn (n = 1, 3) のビット11)

SPLIT Tmn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TImn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TImn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用（複数チャンネル連動動作機能のスレーブ・チャンネル時）
上記以外			設定禁止

注 ビット11はRead onlyの0固定で，書き込みは無視されます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図8-15 タイマ・モード・レジスタmn (TMRmn) のフォーマット (3/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	TImn端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がリエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がリエッジ, キャプチャ・トリガ : 立ち下がリエッジ

STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は、CISmn1-CISmn0ビット = 10Bに設定してください。

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

図8-15 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^{注1}	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ 動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/ 方形波出力/PWM出力(マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ ワンショット・パルス出力/ PWM出力(スレーブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・ モード	入力信号のハイ/ロウ・レ ベル幅測定	アップ・カウンタ
上記以外			設定禁止		

各モードの動作は、MDmn0ビットによって変わります(下表を参照)。

動作モード (MDmn3-MDmn1で設定(上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

2. ワンカウント・モードでは、カウント動作開始時の割り込み出力 (INTTmn) , TOn出力は制御しません。

3. 動作中にスタート・トリガ (TSmn = 1) が掛かると、カウンタを初期化し、再カウント・スタートします(割り込み要求は発生せず)。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.3.5 タイマ・ステータス・レジスタmn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B) のみ有効です。各動作モードでのOVFビットの動作とセット/クリア条件は表8-4を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000HIになります。

図8-16 タイマ・ステータス・レジスタmn (TSRmn) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

表8-4 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

8.3.6 タイマ・チャンネル許可ステータス・レジスタm (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタm (TSm) とタイマ・チャンネル停止レジスタm (TTm) の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図8-17 タイマ・チャンネル許可ステータス・レジスタm (TEm) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	TEm 7	TEm 6	TEm 5	TEm 4	TEm 3	TEm 2	TEm 1	TEm 0

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.3.7 タイマ・チャンネル開始レジスタm (TSm)

TSmレジスタは、タイマ・カウンタ・レジスタmn (TCRmn) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので、動作許可状態 (TEmn, TEHm1, TEHm3 = 1) になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは、16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmレジスタは0000Hになります。

図8-18 タイマ・チャンネル開始レジスタm (TSm) のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSH m3	0	TSH m1	0	TSm 7	TSm 6	TSm 5	TSm 4	TSm 3	TSm 2	TSm 1	TSm 0

TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります (8.5.2 カウンタのスタート・タイミングの表8-5参照)。

TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります (8.5.2 カウンタのスタート・タイミングの表8-5参照)。

TSmn	チャンネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります (8.5.2 カウンタのスタート・タイミングの表8-5参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可 (スタート) トリガになります。

(注意, 備考は次ページにあります。)

- 注意1. ビット15-12, 10, 8には必ず0を設定してください。
2. TImn端子入力を使用しない機能から、TImn端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタmn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

- 備考1. TSmレジスタの読み出し値は常に0となります。
2. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

8.3.8 タイマ・チャンネル停止レジスタm (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態 (TEmn, TTHm1, TTHm3 = 0) になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図8-19 タイマ・チャンネル停止レジスタm (TTm) のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTH m3	0	TTH m1	0	TTm 7	TTm 6	TTm 5	TTm 4	TTm 3	TTm 2	TTm 1	TTm 0

TTH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTmn	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止可状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.3.9 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、チャンネル0, 1, 5, 6, 7のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図8-20 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

TIS07	TIS06	チャンネル7で使用するタイマ入力の選択
0	0	タイマ入力端子 (TI07) の入力信号
0	1	RTCOUT出力信号 ^注
1	0	RXD0入力端子
1	1	ELCからのイベント入力信号

TIS05	チャンネル6で使用するタイマ入力の選択
0	タイマ入力端子 (TI06) の入力信号
1	RTCOUT出力信号 ^注

TIS04	チャンネル1で使用するタイマ入力の選択
0	タイマ入力端子 (TI01) の入力信号
1	ELCからのイベント入力信号

TIS03	チャンネル0で使用するタイマ入力の選択
0	タイマ入力端子 (TI00) の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子 (TI05) の入力信号
0	1	1	中速オンチップ・オシレータ・クロック (f_{IM})
1	0	0	低速オンチップ・オシレータ・クロック (f_{IL})
1	0	1	サブ・システム・クロック (f_{SUB})
上記以外			設定禁止

注 入力ソースにRTCOUT出力信号を選択する場合、チャンネル6, 7の入力ソースは共にRTCOUT出力信号を選択してください。

注意 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK}+10$ ns以上必要となります。そのため、 f_{CLK} に f_{SUB} を選択時 (CKCレジスタのCSS = 1) は、TIS02ビットに1を設定できません。

8.3.10 タイマ出力許可レジスタm (TOEm)

TOEmレジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタm (TOm) のTOmnビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

またTOEmレジスタの下位8ビットは、TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEmレジスタは0000HIになります。

図8-21 タイマ出力許可レジスタm (TOEm) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOE m7	TOE m6	TOE m5	TOE m4	TOE m3	TOE m2	TOE m1	TOE m0

TOE mn	チャンネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず、出力を固定します。 TOmnビットへの書き込みが可能となり、TOmnビットに設定したレベルがTOmn端子から出力されます。
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し、出力波形を生成します。 TOmnビットへの書き込みは無視されます。

注意 ビット15-8には必ず0を設定してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.3.11 タイマ出力レジスタm (TOM)

TOMレジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TOMn) から出力されます。

このレジスタのTOMnビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEmn = 0) のみ可能です。タイマ出力許可時 (TOEmn = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P43/TI00/TO00, P42/TI01/TO01, P07/TI02/TO02, P06/TI03/TO03, P05/TI04/TO04, P04/TI05/TO05, P03/TI06/TO06, P02/TI07/TO07をポート機能として使用する場合は、該当するTOMnビットに“0”を設定してください。

TOMレジスタは、16ビット・メモリ操作命令で設定します。

またTOMレジスタの下位8ビットは、TOMLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMレジスタは0000HIになります。

図8-22 タイマ出力レジスタm (TOM) のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM	0	0	0	0	0	0	0	0	TOM							
									7	6	5	4	3	2	1	0

TOmn	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 ビット15-8には必ず0を設定してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.3.12 タイマ出力レベル・レジスタm (TOLm)

TOLmレジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図8-23 タイマ出力レベル・レジスタm (TOLm) のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOL m7	TOL m6	TOL m5	TOL m4	TOL m3	TOL m2	TOL m1	0

TOL mn	チャンネルnのタイマ出力レベルの制御														
0	正論理出力 (アクティブ・ハイ)														
1	負論理出力 (アクティブ・ロウ)														

注意 ビット15-8, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

8.3.13 タイマ出力モード・レジスタm (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合は、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能（PWM出力、ワンショット・パルス出力、多重PWM出力）として使用する場合は、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図8-24 タイマ出力モード・レジスタm (TOMm) のフォーマット

アドレス：F01BEH, F01BFH リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOM m7	TOM m6	TOM m5	TOM m4	TOM m3	TOM m2	TOM m1	0

TOM mn	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード（タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）
1	スレーブ・チャンネル出力モード （マスタ・チャンネルのタイマ割り込み要求信号（INTTMmn）で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）

注意 ビット15-8, 0には必ず0を設定してください。

備考 m：ユニット番号（m = 0）

n：チャンネル番号

n = 0-7（マスタ・チャンネル時：n = 0, 2, 4, 6）

p：スレーブ・チャンネル番号

n < p ≤ 7

（マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、**8.4.1 複数チャンネル連動動作機能の基本ルール**を参照してください）

8.3.14 入力切り替え制御レジスタ (ISC)

ISCレジスタは、外部割り込み (INTP0) の入力信号を選択するレジスタです。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図8-25 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	0	ISC0

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット7-1に必ず0を設定してください。

8.3.15 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけを行います^注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00HIになります。

注 詳細は、8.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、8.5.2 カウンタのスタート・タイミング、8.7 タイマ入力 (TImn) の制御を参照してください。

図8-26 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN07	TI07端子またはRxD0端子入力信号のノイズ・フィルタ使用可否 ^注							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN06	TI06端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN05	TI05端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN04	TI04端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN03	TI03端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							

注 入力切り替え制御レジスタ (ISC) のISC1ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0に設定 : TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定 : RxD0端子のノイズ・フィルタ使用可否選択が可能

8.3.16 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）を設定してください。詳細は、4.3.1 ポート・モード・レジスタ（PMxx）、4.3.2 ポート・レジスタ（Pxx）を参照してください。

また、製品によって設定するポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）が異なります。詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

タイマ出力端子を兼用するポート（P43/TI00/TO00など）をタイマ出力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例) P43/TO00をタイマ出力として使用する場合

ポート・モード・レジスタ4のPM43ビットを0に設定

ポート・レジスタ4のP43ビットを0に設定

タイマ入力端子を兼用するポート（P43/TI00など）をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは、0または1のどちらでもかまいません。

例) P43/TI00をタイマ入力として使用する場合

ポート・モード・レジスタ4のPM43ビットを1に設定

ポート・レジスタ4のP43ビットを0または1に設定

備考1. 80ピン製品の場合、セグメント出力と兼用になっているポートをタイマ入出力機能として使用する場合は、LCDポート・ファンクション・レジスタ4（PFSEG4）のPFSEG27ビット、LCDポート・ファンクション・レジスタ5（PFSEG5）のPFSEG32-PFSEG37ビットのうち、対応するビットを必ず“0”に設定してください。

2. P125/(TI05)/(TO05)/VL3端子をタイマ入出力機能として使用する場合は、LCD入力切り換え制御レジスタ（ISCLCD）のISCVL3ビットを必ず“0”に設定してください。
3. P126/(TI04)/(TO04)/CAPL, P127/(TI03)/(TO03)/CAPH端子をタイマ入出力機能として使用する場合は、LCD入力切り換え制御レジスタ（ISCLCD）のISCCAPビットを必ず“1”に設定してください。

8.4 タイマ・アレイ・ユニットの基本ルール

8.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

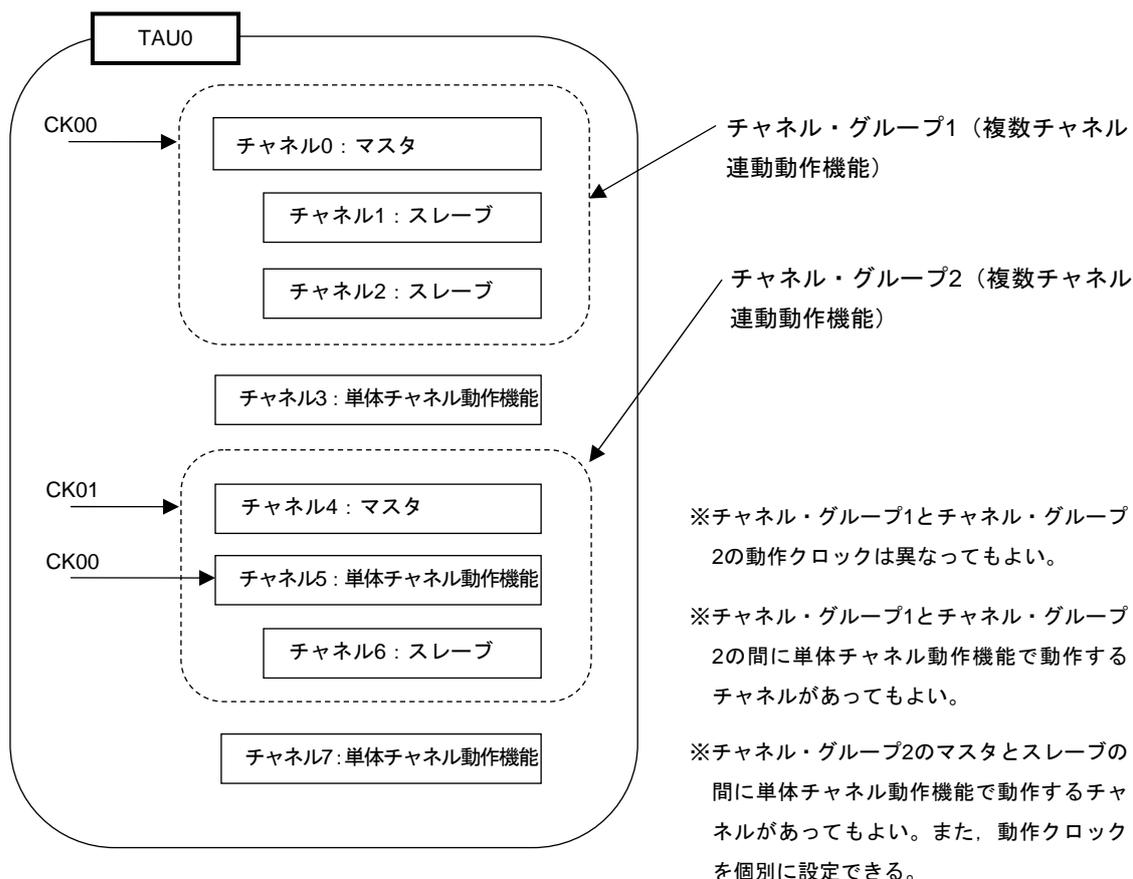
- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2, チャンネル4, …）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3以降（チャンネル3, チャンネル4, チャンネル5, …）をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0, チャンネル4をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn (TMRmn) のビット15, 14）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット（TSmn）を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット（TTmn）を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0) は、マスタ・ビットがなく、“0”に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ（1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

例



8.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタmn (TMRmn) のSPLITビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時にINTTm1H/INTTm3H（割り込み）を出力します（MDmn0 =1 設定と同じ動作）。
- (5) 上位8ビットの動作クロック選択は、下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3ビットで確認できます。
- (7) 下位8ビットは、TMRmnレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - ・インターバル・タイマ機能
 - ・外部イベント・カウンタ機能
 - ・ディレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3 ビットを操作することでチャンネル動作を開始し、TTm1/TTm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャンネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能（ワンショット・パルス, PWM, 多重PWM）を使用することはできません。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 1, 3)

8.5 カウンタの動作

8.5.1 カウント・クロック (f_{TCLK})

タイマ・アレイ・ユニットのカウント・クロック (f_{TCLK}) は、タイマ・モード・レジスタmn (TMRmn) の CCSmnビットにより、以下のどちらかを選択することができます。

- ・ CKSmn0, CKSmn1ビットで指定した動作クロック (f_{MCK})
- ・ TImn端子からの入力信号の有効エッジ

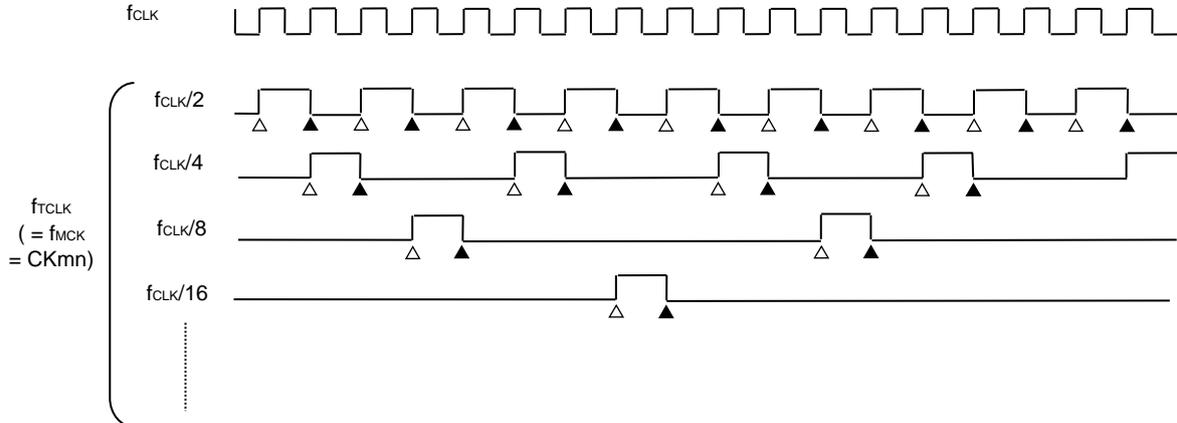
タイマ・アレイ・ユニットは、f_{CLK}との同期をとって動作するよう設計されているため、カウント・クロック (f_{TCLK}) のタイミングは次のようになります。

(1) CKSmn0, CKSmn1ビットで指定した動作クロック (f_{MCK}) を選択した場合 (CCSmn = 0)

カウント・クロック (f_{TCLK}) は、タイマ・クロック選択レジスタm (TPSm) の設定により、f_{CLK} ~ f_{CLK}/2¹⁵ となります。ただし、f_{CLK}の分周を選んだ場合、TPSmレジスタで選択するクロックは、立ち上がりからf_{CLK}の1周期分だけハイ・レベルになる信号となります。f_{CLK}を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタmn (TCRmn) は、f_{CLK}との同期をとるため、カウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図8-27 f_{CLK}とカウント・クロック (f_{TCLK}) のタイミング (CCSmn = 0時)



備考1. Δ : カウント・クロックの立ち上がり

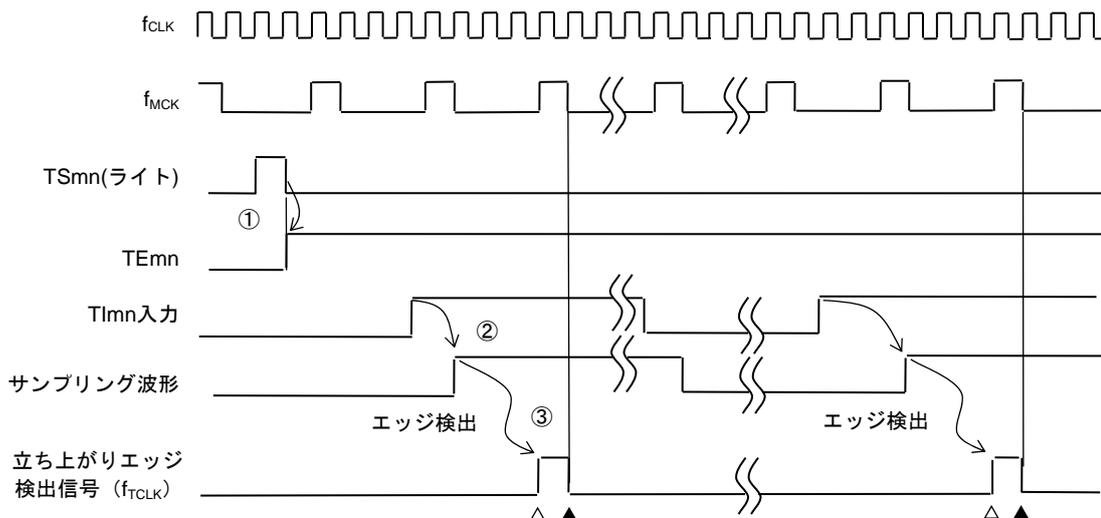
▲ : 同期化, カウンタのインクリメント/デクリメント

2. f_{CLK} : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (f_{TCLK}) は、TImn端子からの入力信号の有効エッジを検出し、次の f_{MCK} の立ち上がりに同期した信号になります。これは、実際のTImn端子からの入力信号より f_{MCK} の1~2クロック分遅れた信号になります (ノイズ・フィルタ使用時は、 f_{MCK} の3~4クロック分遅れます)。

また、タイマ・カウンタ・レジスタmn (TCRmn) は、 f_{CLK} との同期をとるためにカウント・クロックの立ち上がりから f_{CLK} の1クロック分遅れてカウントしますが、このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図8-28 カウント・クロック (f_{TCLK}) のタイミング (CCSmn = 1, ノイズ・フィルタ未使用時)

- ① TSmnビットをセットすることでタイマが動作を開始し、TImn入力の有効エッジ待ちになります。
- ② TImn入力の立ち上がりが f_{MCK} でサンプリングされます。
- ③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

2. f_{CLK} : CPU/周辺ハードウェア・クロック

f_{MCK} : チャネルnの動作クロック

3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デレイ・カウンタ, ワンショット・パルス出力機能のTImn入力も同様の波形になります。

8.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタmn (TCRmn) は、タイマ・チャンネル開始レジスタm (TSMn) のTSMnビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウント・レジスタmn (TCRmn) のカウント・スタートまでの動作を、表8-5に示します。

表8-5 カウント動作許可状態からタイマ・カウント・レジスタmn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSMn = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (8.5.3 (1) インターバル・タイマ・モードの動作参照)。
・イベント・カウンタ・モード	TSMnビットに1を書き込むことにより、TDRmnレジスタの値をTCRmnレジスタにロードします。 Timn入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (8.5.3 (2) イベント・カウンタ・モードの動作参照)。
・キャプチャ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (8.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
・ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (8.5.3 (4) ワンカウント・モードの動作参照)。
・キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (8.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

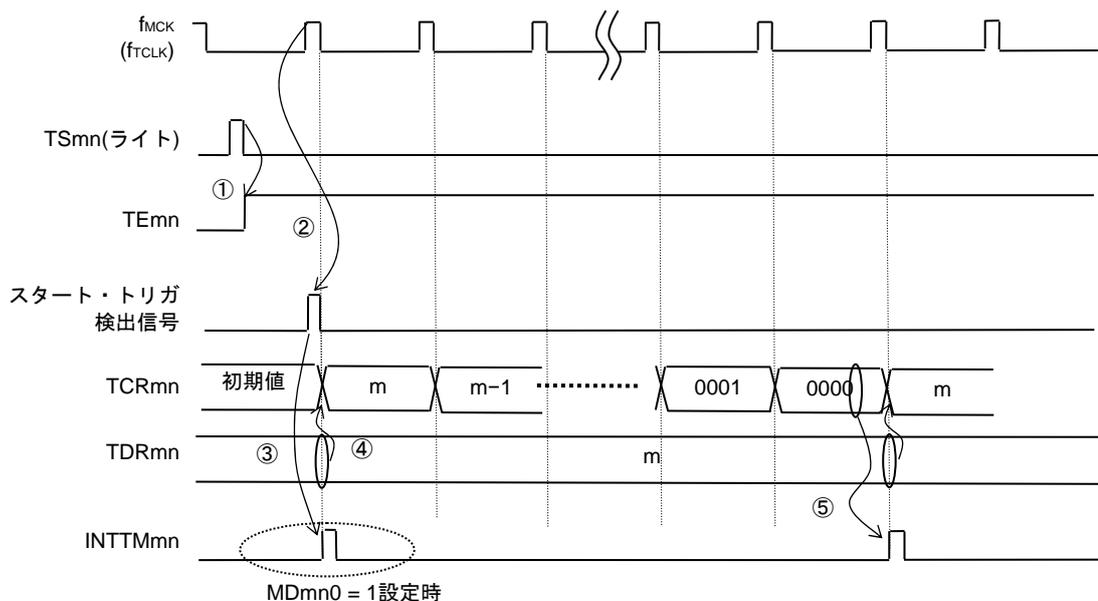
8.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。タイマ・カウンタ・レジスタmn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック (f_{MCK}) で、スタート・トリガが発生します。
- ③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタmn (TDRmn) の値をTCRmnレジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック (f_{MCK}) でINTTMmnを発生し、タイマ・データ・レジスタmn (TDRmn) の値をTCRmnレジスタにロードしてカウントを継続します。

図8-29 動作タイミング (インターバル・タイマ・モード)



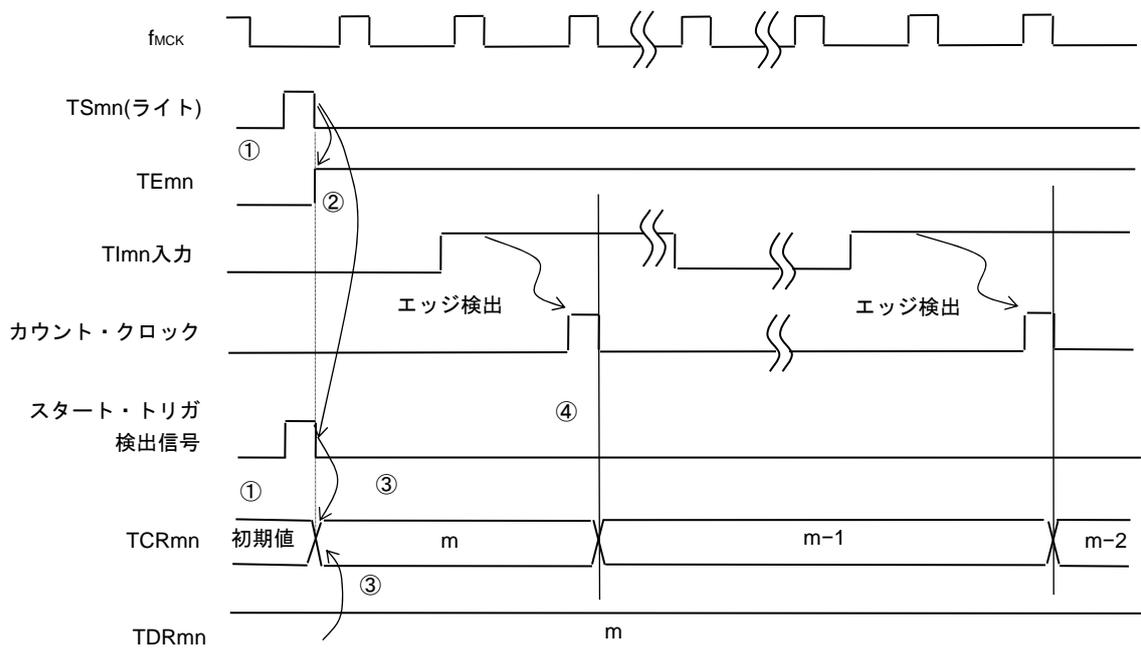
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 f_{MCK} 、スタート・トリガ検出信号、INTTMmnは、 f_{CLK} に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ① 動作停止状態 ($TEmn = 0$) の期間, タイマ・カウンタ・レジスタmn ($TCRmn$) は, 初期値を保持します。
- ② $TSmn$ ビットへ1を書き込むことにより, 動作許可状態 ($TEmn = 1$) となります。
- ③ $TSmn = 1 \rightarrow TEmn = 1$ と同時に, $TCRmn$ レジスタにタイマ・データ・レジスタmn ($TDRmn$) の値をロードし, カウントを開始します。
- ④ 以降は $TImn$ 入力の有効エッジでのカウント・クロックに従い, $TCRmn$ レジスタの値をダウン・カウントします。

図8-30 動作タイミング (イベント・カウンタ・モード)

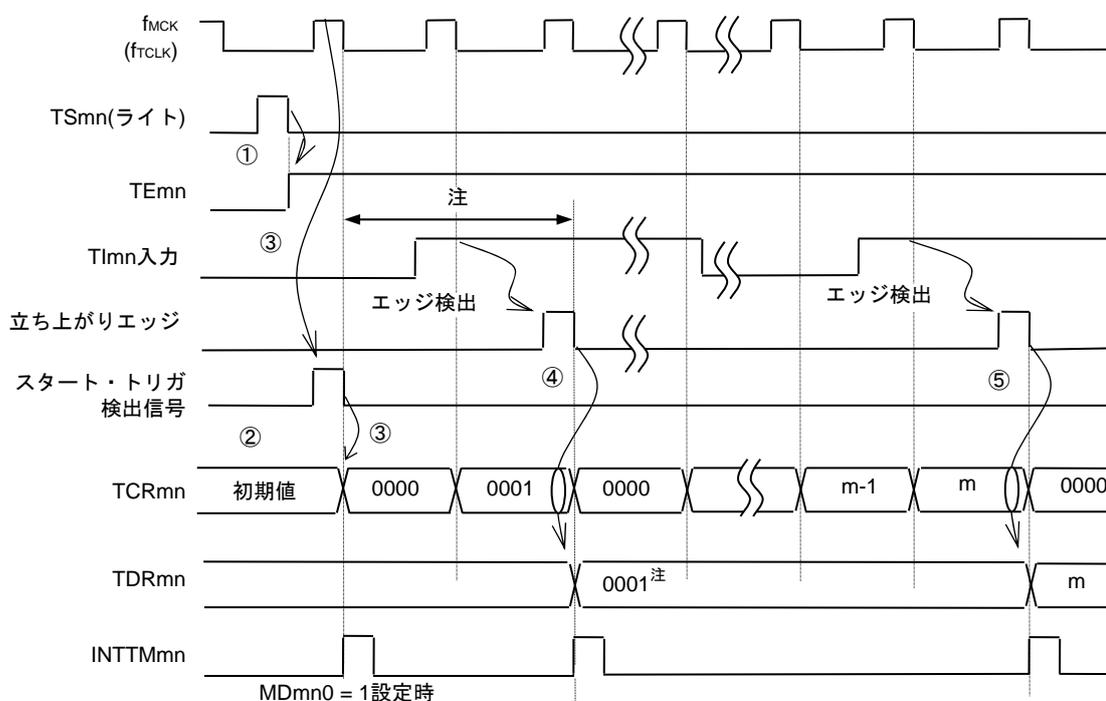


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出は $TImn$ 入力からさらに f_{MCK} の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差は $TImn$ 入力とカウント・クロック (f_{MCK}) が非同期なためです。

(3) キャプチャ・モードの動作 (入力パルス間隔測定)

- ① TSmnビットへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロック (fMCK) で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを続けます。
- ⑤ 次のTImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図8-31 動作タイミング (キャプチャ・モード: 入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている (トリガがある) 場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ (④) でのキャプチャ値はパルス間隔とならない (この例では0001: 2クロック分の間隔) ので、無視してください。

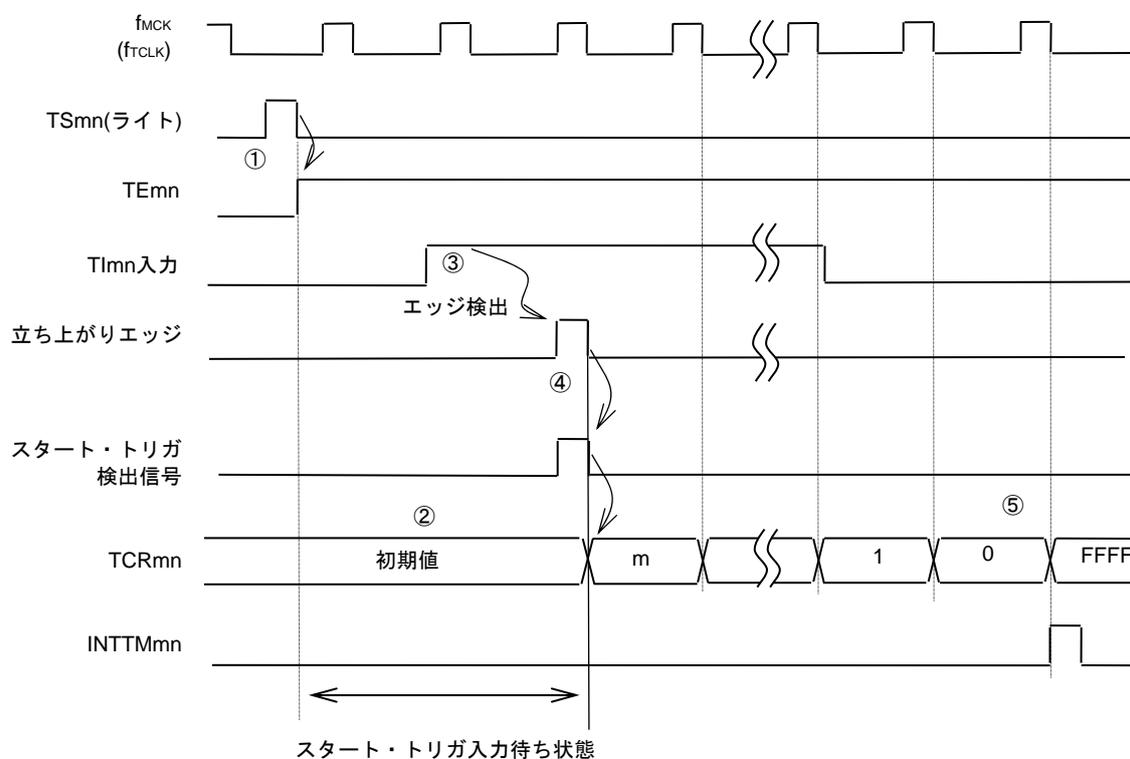
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTImn入力とカウント・クロック (fMCK) が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。
- ② タイマ・カウンタ・レジスタmn ($TCRmn$) は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、 $TDRmn$ レジスタの値 (m) を $TCRmn$ レジスタにロードし、カウントを開始します。
- ⑤ $TCRmn$ レジスタがカウント・ダウンしてカウント値が0000Hになると、 $INTTMmn$ 割り込みを発生し、 $TCRmn$ レジスタはFFFFHで停止します。

図8-32 動作タイミング (ワンカウント・モード)

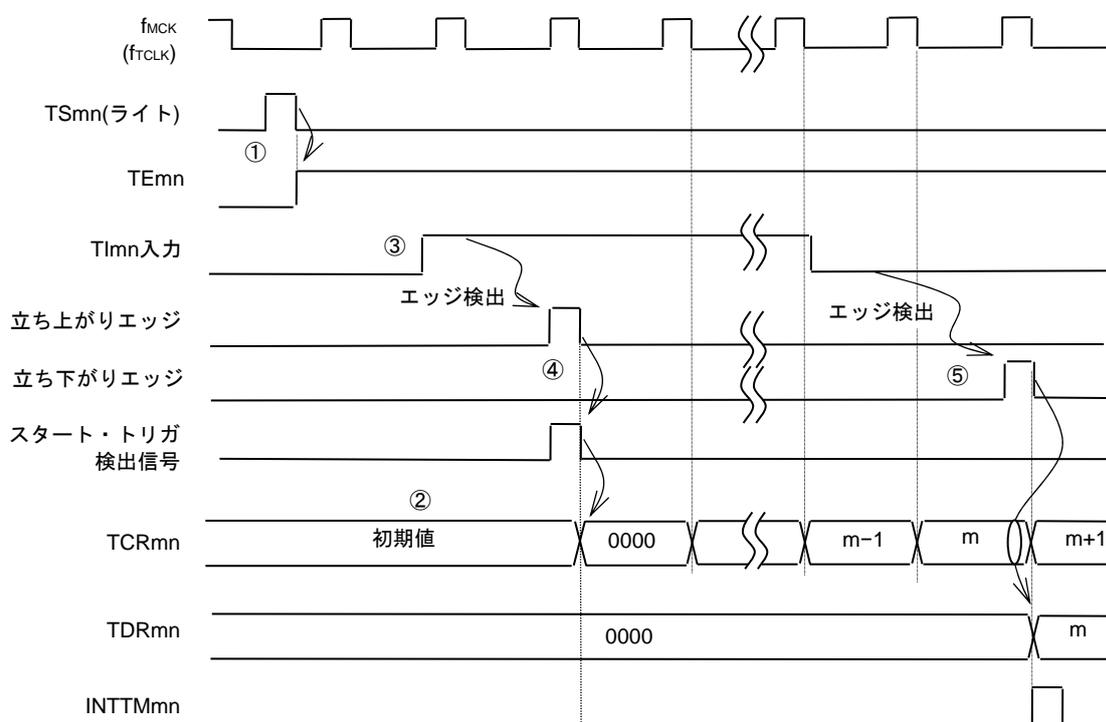


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTImn入力からさらに f_{MCK} の2周期分（合計で3~4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック (f_{MCK}) が非同期なためです。

(5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (T S m) のT S m ビットに1を書き込むことにより、動作許可状態 (TE m = 1) となります。
- ② タイマ・カウンタ・レジスタ m (TCR m) は、スタート・トリガ発生まで初期値を保持します。
- ③ T I m 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCR m レジスタにロードし、カウントを開始します。
- ⑤ T I m 入力の立ち下がりエッジを検出すると、TCR m レジスタの値をTDR m レジスタにキャプチャし、INTT M m 割り込みが発生します。

図8-33 動作タイミング (キャプチャ&ワンカウント・モード: ハイ・レベル幅測定)

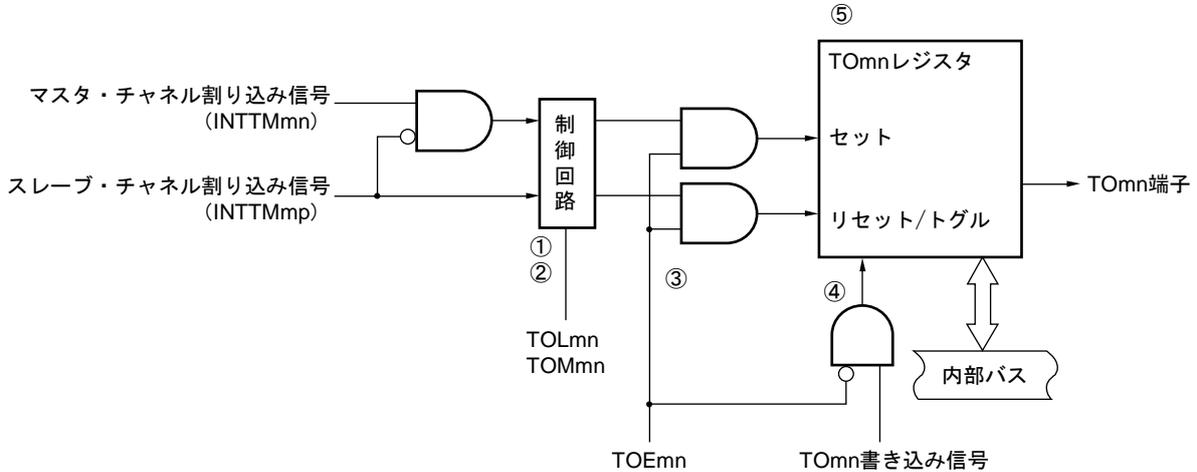


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はT_I_m入力からさらにf_{MCK}の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はT_I_m入力とカウント・クロック (f_{MCK}) が非同期なためです。

8.6 チャネル出力 (TOmn端子) の制御

8.6.1 TOmn端子の出力回路の構成

図8-34 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

- ① $TOMmn = 0$ (マスタ・チャンネル出力モード) のときは、タイマ出力レベル・レジスタ m (TOL m) の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み) のみがタイマ出力レジスタ m (TO m) に伝えられます。
- ② $TOMmn = 1$ (スレーブ・チャンネル出力モード) のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み) とINTTMmp (スレーブ・チャンネル・タイマ割り込み) がTO m レジスタに伝えられます。このとき、TOL m レジスタが有効となり、次のように信号を制御します。

TOL m = 0の場合 : 正論理出力 (INTTMmn→セット, INTTMmp→リセット)

TOL m = 1の場合 : 負論理出力 (INTTMmn→リセット, INTTMmp→セット)

また、INTTMmnとINTTMmpが同時に発生した場合 (PWM出力の0%出力時) は、INTTMmp (リセット信号) が優先され、INTTMmn (セット信号) はマスクされます。

- ③ タイマ出力許可状態 (TOEmn = 1) で、INTTMmn (マスタ・チャンネル・タイマ割り込み) とINTTMmp (スレーブ・チャンネル・タイマ割り込み) がTO m レジスタに伝えられます。TO m レジスタへの書き込み (TOmnライト信号) は無効となります。また、TOEmn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。TOmn端子の出力レベルを初期化する場合は、タイマ動作停止 (TOEmn = 0) に設定しTO m レジスタに値を書き込む必要があります。
- ④ タイマ出力禁止状態 (TOEmn = 0) で、対象チャンネルのTOmnビットへの書き込み (TOmnライト信号) が有効となります。タイマ出力禁止状態 (TOEmn = 0) のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み) とINTTMmp (スレーブ・チャンネル・タイマ割り込み) はTO m レジスタに伝えられません。
- ⑤ TO m レジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

注意 P60, P61, P62をチャンネル出力として使用する場合は、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

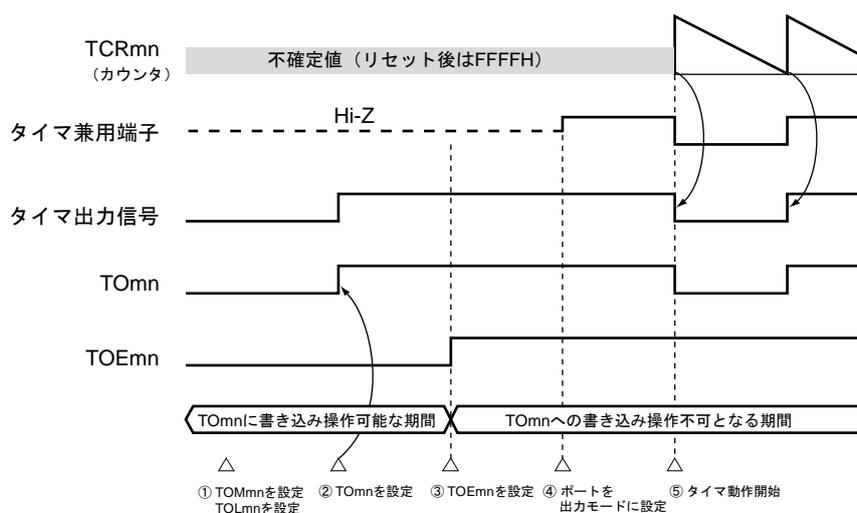
(備考は次ページにあります。)

- 備考** m : ユニット番号 (m = 0)
 n : チャンネル番号
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号
 n < p ≤ 7

8.6.2 TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図8-35 タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- ・ TOMmnビット (0 : マスタ・チャンネル出力モード, 1 : スレーブ・チャンネル出力モード)
- ・ TOLmnビット (0 : 正論理出力, 1 : 負論理出力)

- ② タイマ出力レジスタm (TOm) を設定することにより、タイマ出力信号が初期状態に設定されます。
- ③ TOEmnビットに1を書き込み、タイマ出力動作を許可します (TOmレジスタへの書き込みは不可となります)。
- ④ ポートの入出力設定を出力に設定します (8.3.16 タイマ入出力端子のポート機能を制御するレジスタ参照)。
- ⑤ タイマを動作許可にします (TSmn = 1)。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM, TOEm, TOLmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn (TCRmn) , タイマ・データ・レジスタmn (TDRmn) の動作) は, TOMn出力回路とは独立しています。よって, タイマ出力レジスタm (TOM) , タイマ出力許可レジスタm (TOEm) , タイマ出力レベル・レジスタm (TOLm) の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn端子から出力するためには, 8.8, 8.9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で, TOMレジスタを除くTOEmレジスタ, TOLmレジスタの設定値変更を行うと, タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn端子に出力される波形が異なる場合があります。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

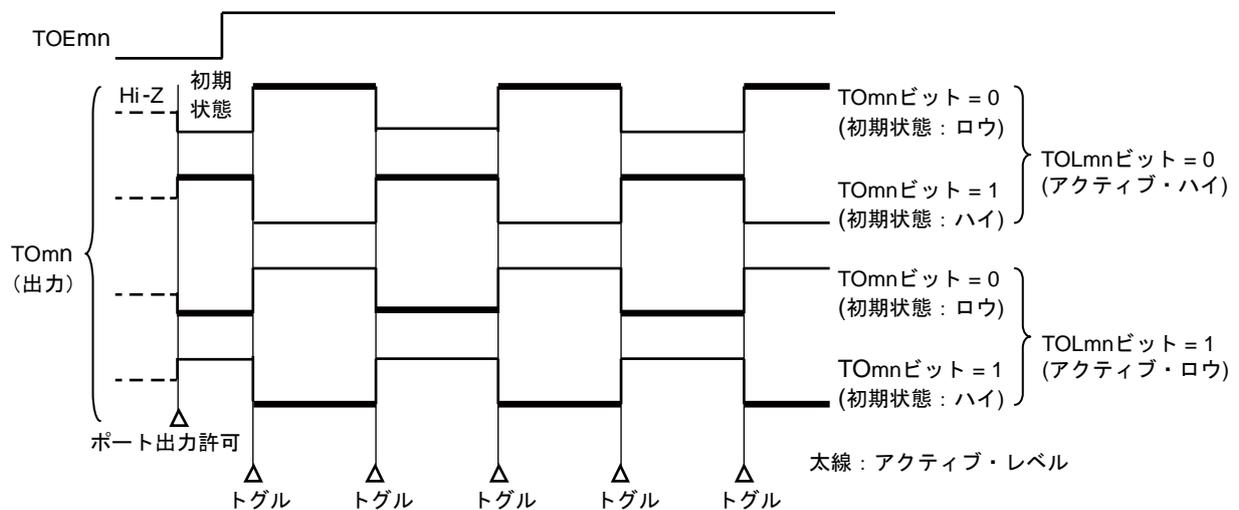
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOEmn = 0) の状態でタイマ出力レジスタm (TOm) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOEmn = 1) に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード (TOMmn=0) 設定で動作を開始した場合

マスタ・チャンネル出力モード (TOMmn=0) の時、タイマ出力レベル・レジスタm (TOLm) の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図8-36 トグル出力時 (TOMmn = 0) のTOmn端子出力状態

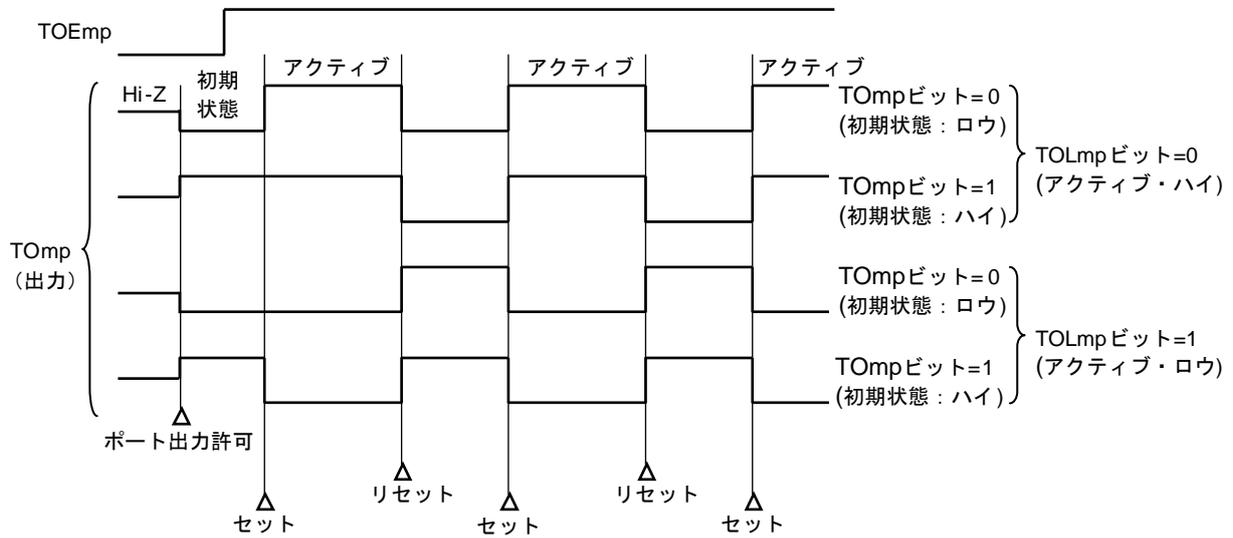


備考1. トグル : TOmn端子の出力状態を反転

2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

- (b) スレーブ・チャンネル出力モード (TOMmp = 1) 設定で動作を開始した場合 (PWM出力)
 スレーブ・チャンネル出力モード (TOMmp = 1) の時、タイマ出力レベル・レジスタm (TOLm) の設定によりアクティブ・レベルを決定します。

図8-37 PWM出力時 (TOMmp = 1) のTOmp端子出力状態



- 備考1.** セット : TOmp端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TOmp端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
- 2.** m : ユニット番号 (m = 0) , p : チャンネル番号 (p = 1-7)

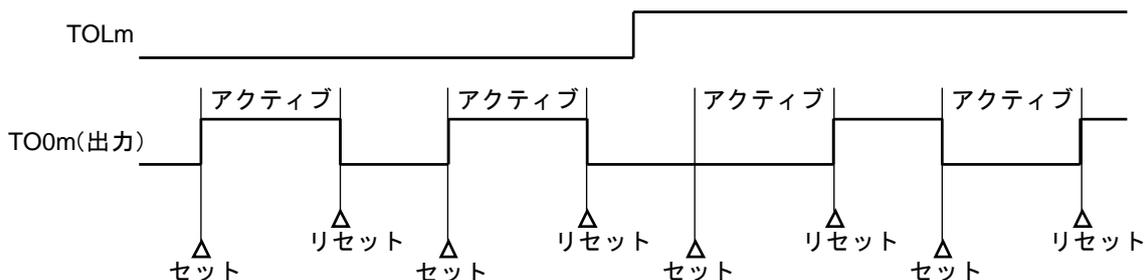
(3) TOmn端子のスレーブ・チャンネル出力モード (TOMmn = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm (TOLm) の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOmn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中 (TEmn = 1) にTOLmレジスタの値を変更した場合の動作を次に示します。

図8-38 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット : TOmn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TOmn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

(b) セット/リセット・タイミング

PWM出力時に、0%/100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMmn) 発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

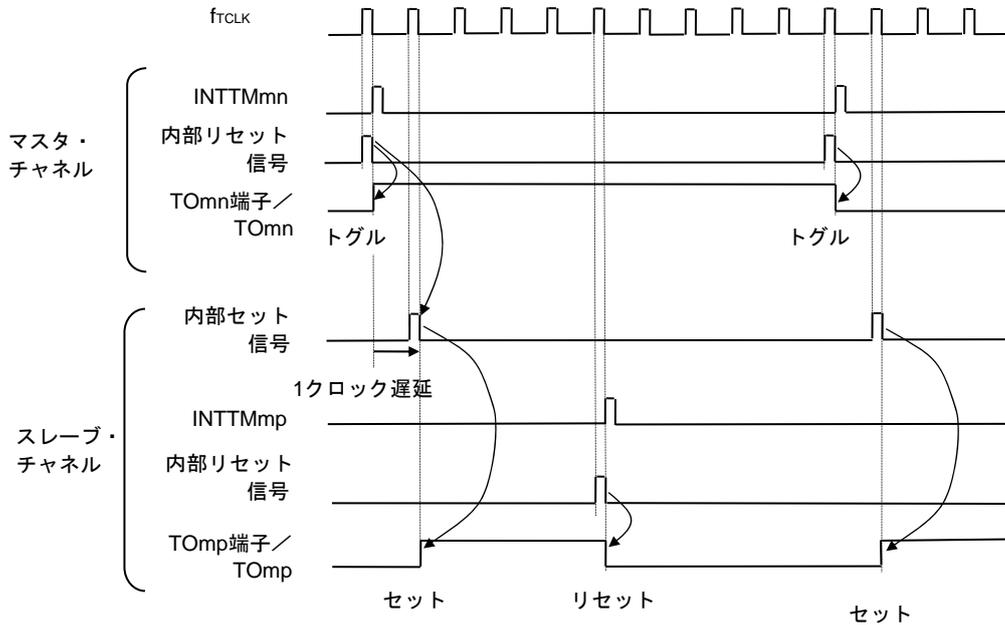
マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図8-39に示します。

マスタ・チャンネル : TOEmn = 1, TOMmn = 0, TOLmn = 0

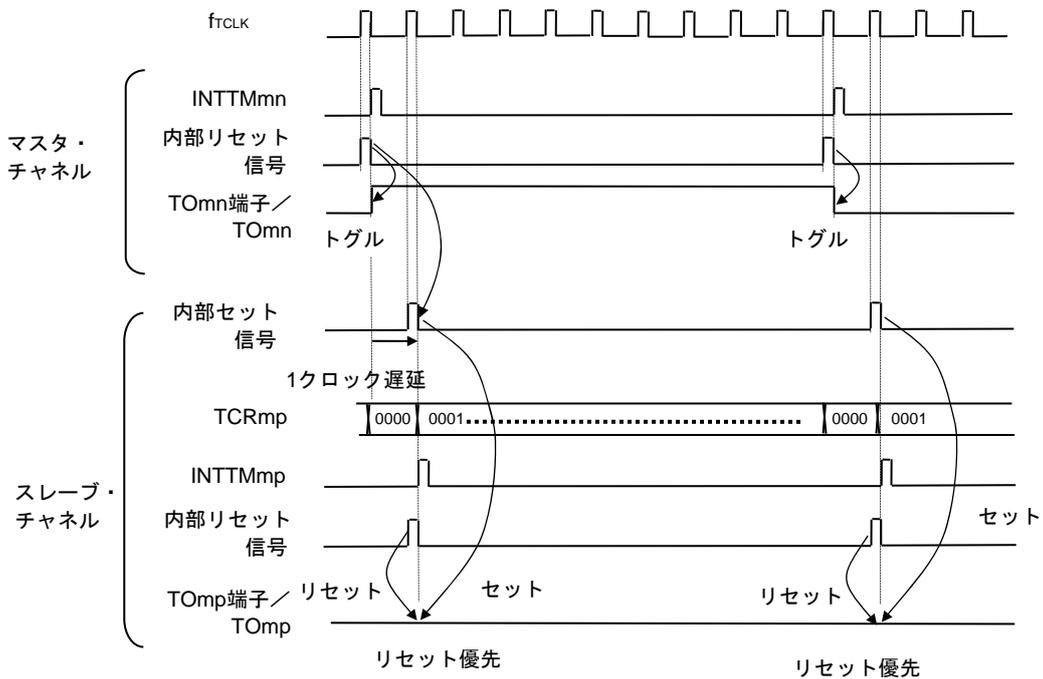
スレーブ・チャンネル : TOEmp = 1, TOMmp = 1, TOLmp = 0

図8-39 セット/リセット・タイミング動作状態

(1) 基本動作タイミング



(2) 0%デューティ時の動作タイミング

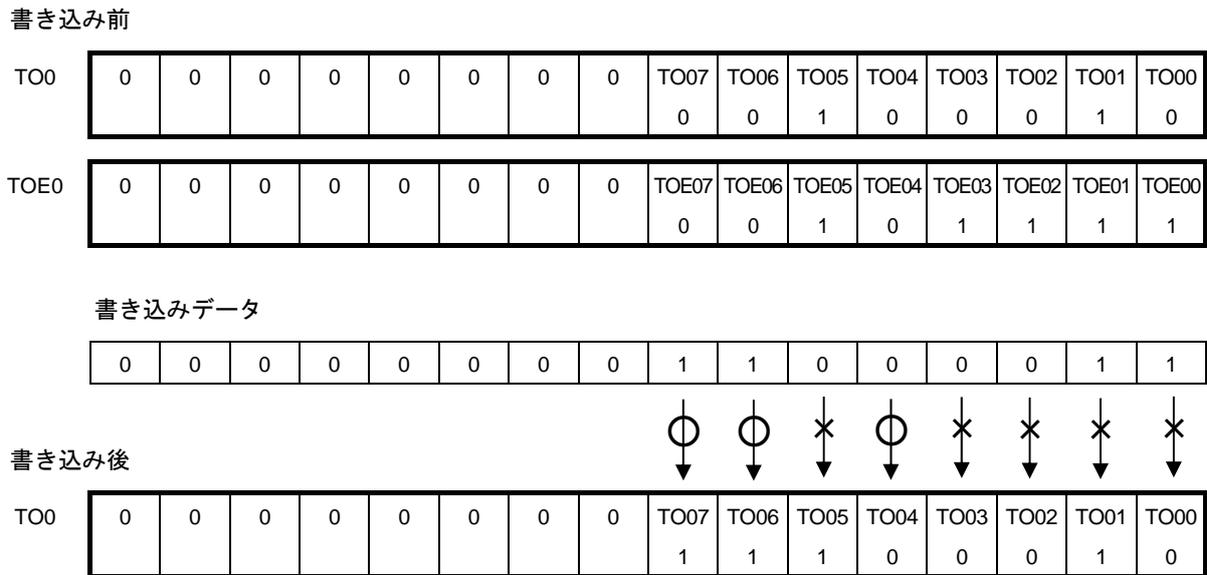


- 備考1.** 内部リセット信号 : $TOmn$ 端子のリセット/トグル信号
 内部セット信号 : $TOmn$ 端子のセット信号
- 2.** m : ユニット番号 ($m = 0$)
 n : チャンネル番号
 $n = 0-7$ (マスタ・チャンネル時 : $n = 0, 2, 4, 6$)
 p : スレーブ・チャンネル番号
 $n < p \leq 7$

8.6.4 TOmnビットの一括操作

タイマ出力レジスタm (TOm) には、タイマ・チャンネル開始レジスタm (TSm) と同様に、1レジスタに全チャンネル分の設定ビット (TOmn) が配置されています。よって、全チャンネルのTOmnビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TOmn) のみTOmnビットへの書き込み可能 (TOEmn = 0) とすることによって任意のビットのみ操作することが可能です。

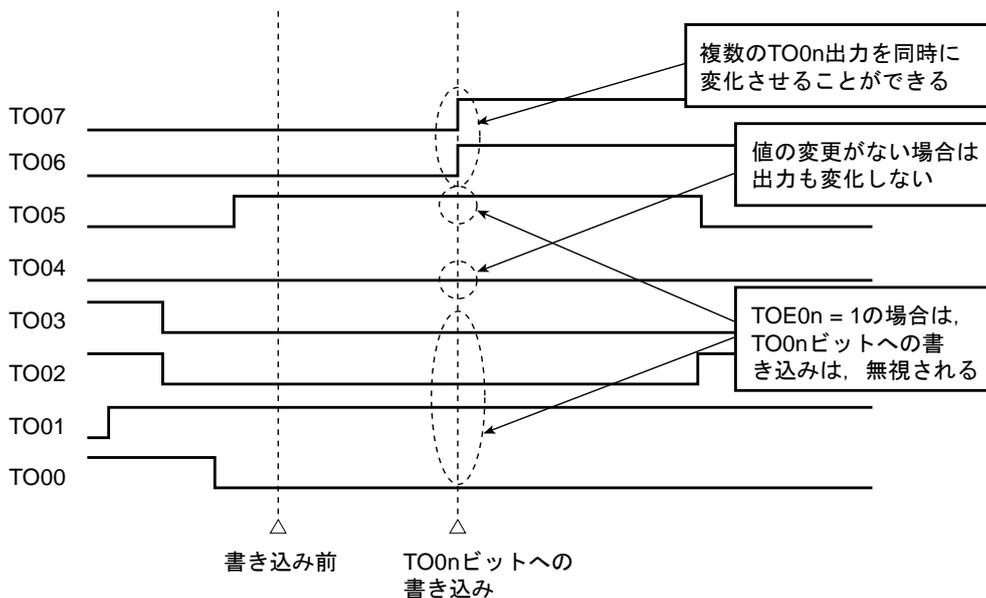
図8-40 TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn (チャンネル出力) は、書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図8-41 TO0nビットの一括操作によるTO0nの端子状態



備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.6.5 カウント動作開始時のタイマ割り込みとTOMn端子出力について

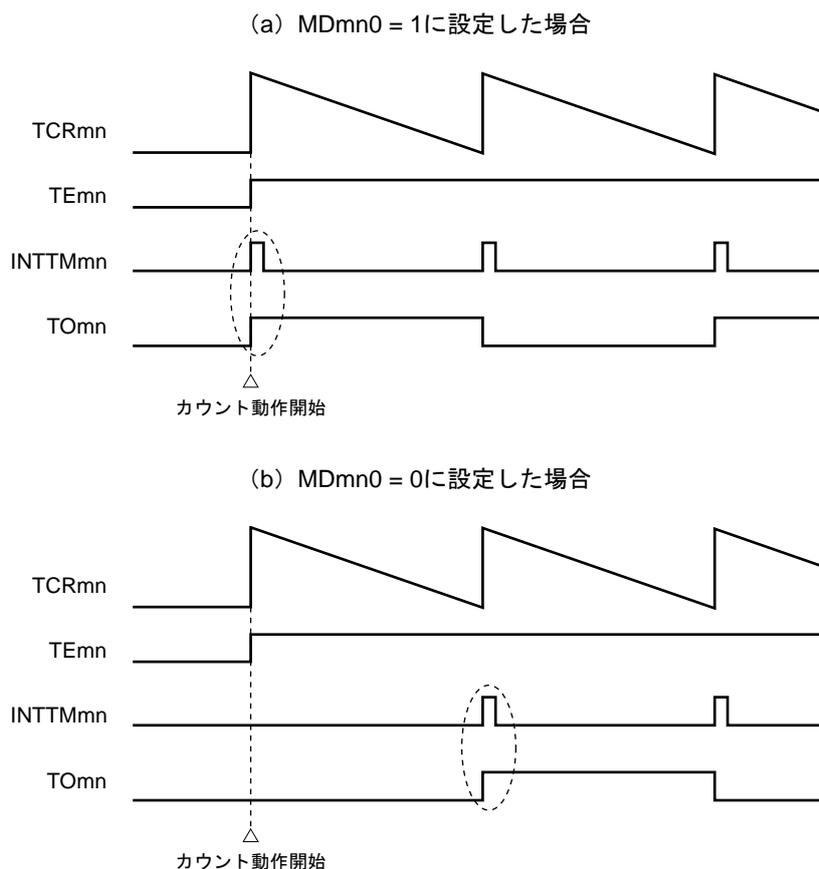
インターバル・タイマ・モード/キャプチャ・モードの場合、タイマ・モード・レジスタmn (TMRmn) の MDmn0ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOMn出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図8-42 カウント動作開始時のタイマ割り込み、TOMn出力の動作例



MDmn0 = 1に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOMnがトグル動作します。

MDmn0 = 0に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOMnも変化しません。1周期をカウント後、INTTMmnを出力し、TOMnがトグル動作します。

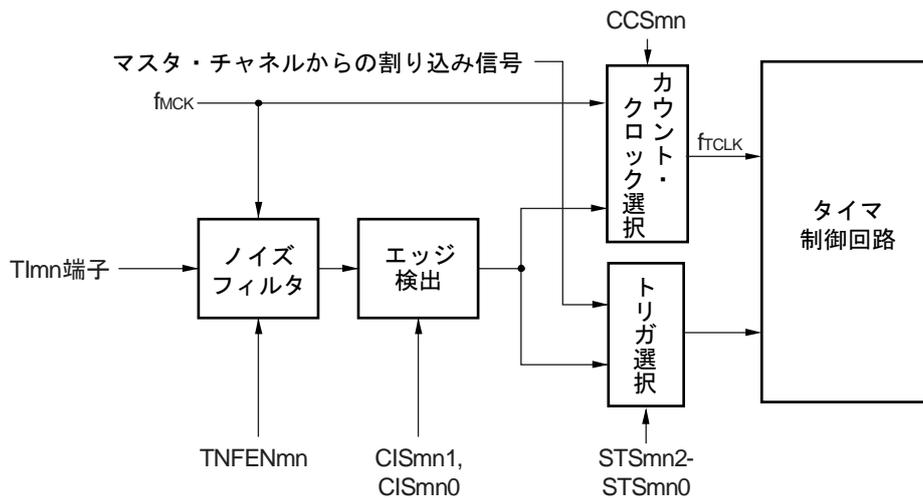
備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

8.7 タイマ入力 (TImn) の制御

8.7.1 TImnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

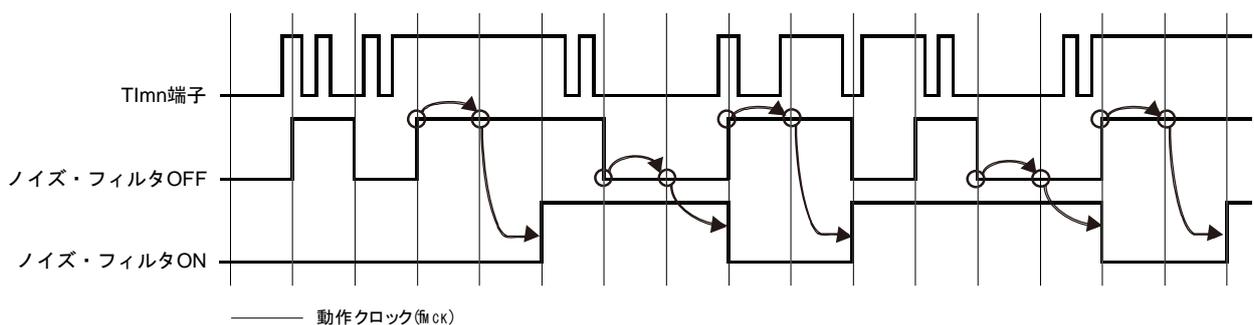
図8-43 入力回路構成図



8.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック (f_{MCK}) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック (f_{MCK}) で同期化のあと、2クロックの一致検出を行います。以下に、TImn入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図8-44 TImn入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



注意 TImn端子の入力波形は、ノイズ・フィルタON/OFFの動作を説明するためのものであり、実際は、41.4 AC特性に示す入力ハイ・レベル幅/ロウ・レベル幅に従ってください。

8.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタOFFの場合

タイマ・モード・レジスタmn (TMRmn) のビット12 (CCSmn), ビット9 (STSmn1), ビット8 (STSmn0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の2サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタONの場合

タイマ・モード・レジスタmn (TMRmn) のビット12 (CCSmn), ビット9 (STSmn1), ビット8 (STSmn0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の4サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

8.8 タイマ・アレイ・ユニットの単独チャンネル動作機能

8.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TOmnからの出力方形波の周期} = \text{カウント・クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\cdot \text{TOmnからの出力方形波の周波数} = \text{カウント・クロックの周波数} / \{ (\text{TDRmnの設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタmn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタm（TSm）のチャンネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定後、最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。このときタイマ・モード・レジスタmn（TMRmn）のMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

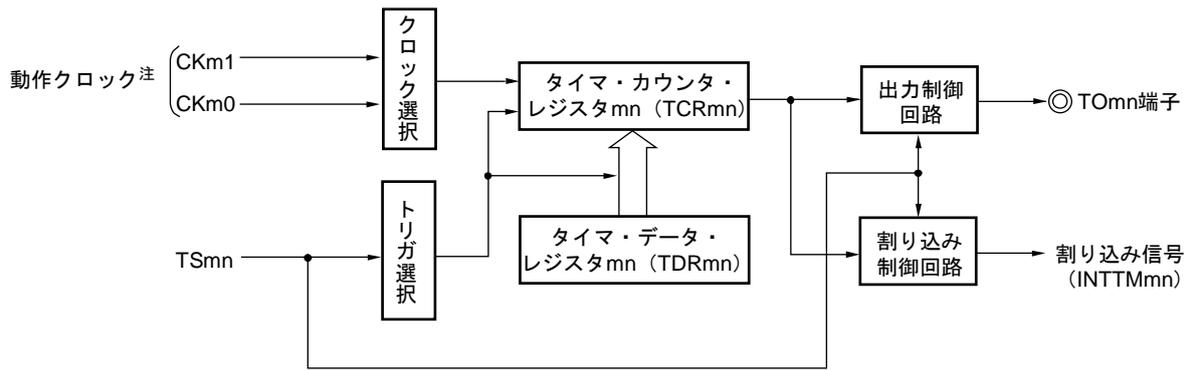
その後、TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hとなったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降、同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は、次の周期から有効となります。

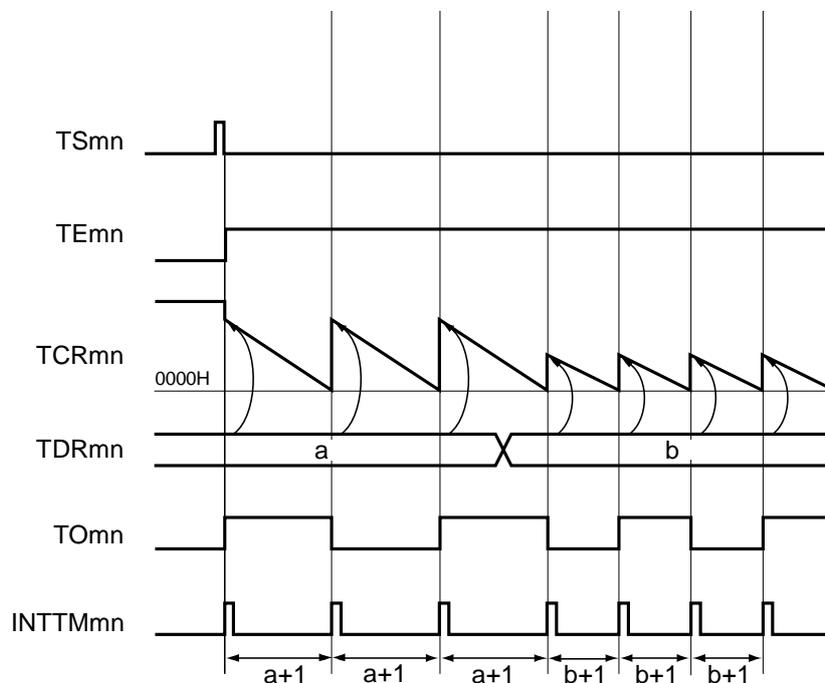
備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図8-45 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

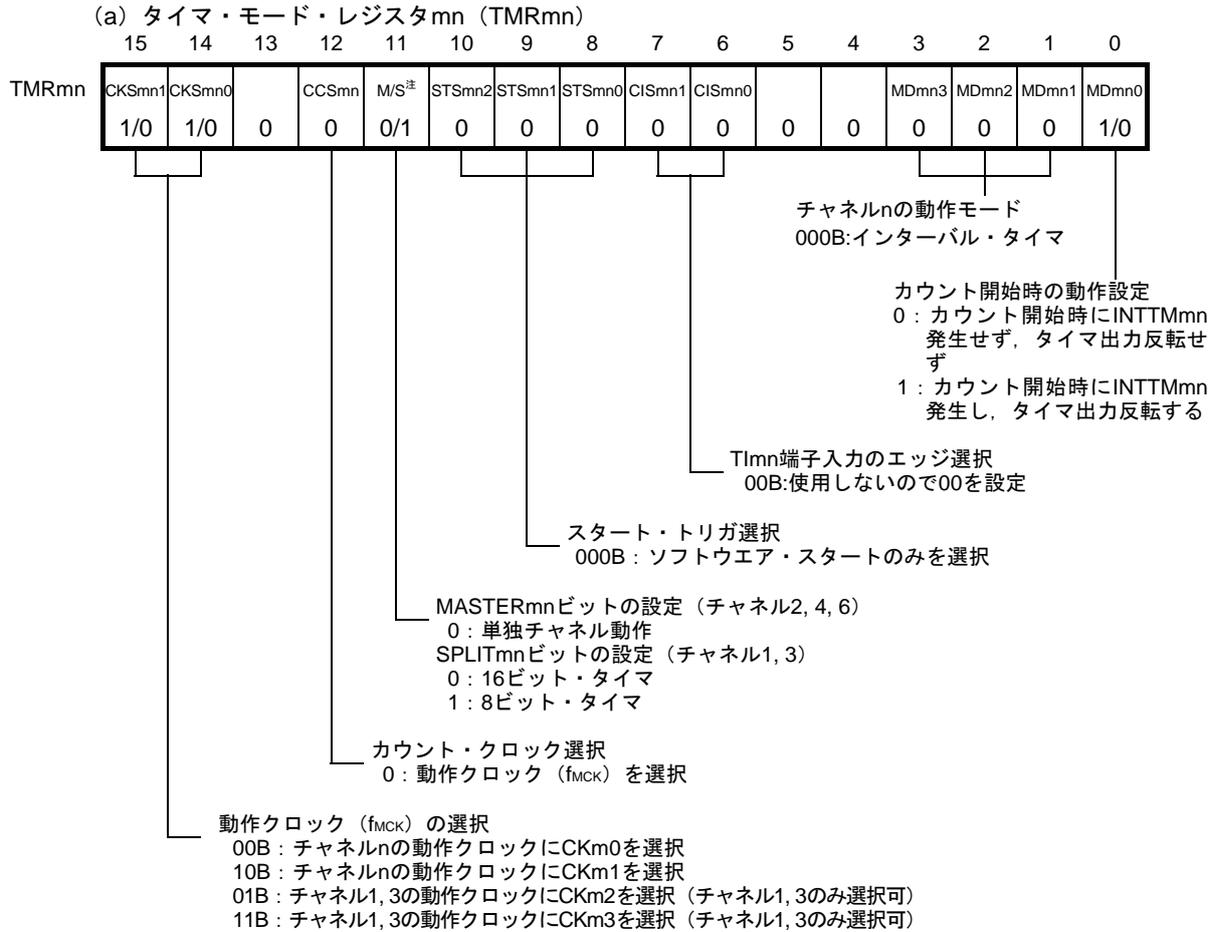
図8-46 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MDmn0 = 1)



備考1. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

2. TSmn : タイマ・チャンネル開始レジスタm (TSM) のビットn
- TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEM) のビットn
- TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
- TDRmn : タイマ・データ・レジスタmn (TDRmn)
- TOmn : TOmn端子出力信号

図8-47 インターバル・タイマ／方形波出力時のレジスタ設定内容例



(b) タイマ出力レジスタm (TOM)

ビットn		
TOMn	TOMn	0 : TOMnより0を出力する
	1/0	1 : TOMnより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn		
TOEm	TOEmn	0 : カウント動作によるTOMn出力動作停止
	1/0	1 : カウント動作によるTOMn出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn		
TOLm	TOLmn	0 : TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定
	0	

(e) タイマ出力モード・レジスタm (TOMm)

ビットn		
TOMm	TOMmn	0 : マスタ・チャンネル出力モードを設定
	0	

- 注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図8-48 インターバル・タイマ/方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値を設定する TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm) のTOMmnビットに0 (マスタ・チャンネル出力モード) を設定する TOLmnビットに0を設定する TOmnビットを設定し, TOmn出力の初期レベルを確定する TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作 開始	(TOmn出力を使用する場合で, かつ動作再開時のみ TOEmnビットに1を設定する) TSmn (TSHm1, TSHm3) ビットに1を設定する TSmn (TSHm1, TSHm3) ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOm, TOEmレジスタは, 設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止	カウンタ (TCRmn) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1, TTHm3) ビットに1を設定する TTmn (TTHm1, TTHm3) ビットはトリガ・ビットなので, 自動的に0に戻る TOEmnビットに0を設定し, TOmnビットに値を設定する	TEmn (TEHm1, TEHmn) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持 TOmn端子はTOmnビットに設定したレベルを出力

動作再開

(備考は次ページにあります。)

図8-48 インターバル・タイマ/方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要 ----- PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

8.8.2 外部イベント・カウンタとしての動作

TI_{mn}端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmnの設定値} + 1$$

タイマ・カウンタ・レジスタmn (TCRmn) はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタm (TSM) の任意のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタmn (TDRmn) の値をロードします。

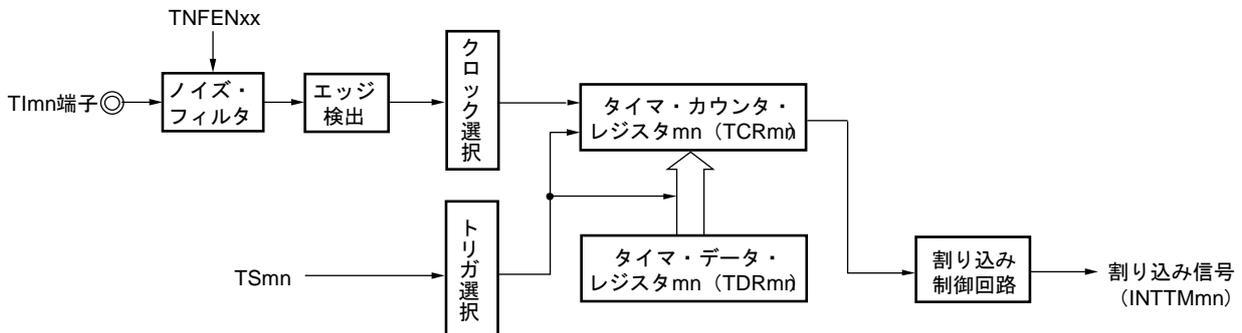
TCRmnレジスタはTI_{mn}端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000Hになったら、再びTDRmnレジスタの値をロードして、INTTM_{mn}を出力します。

以降、同様の動作を継続します。

TO_{mn}端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタm (TOEm) のTOEm_nビットに0を設定して出力動作を停止するようにしてください。

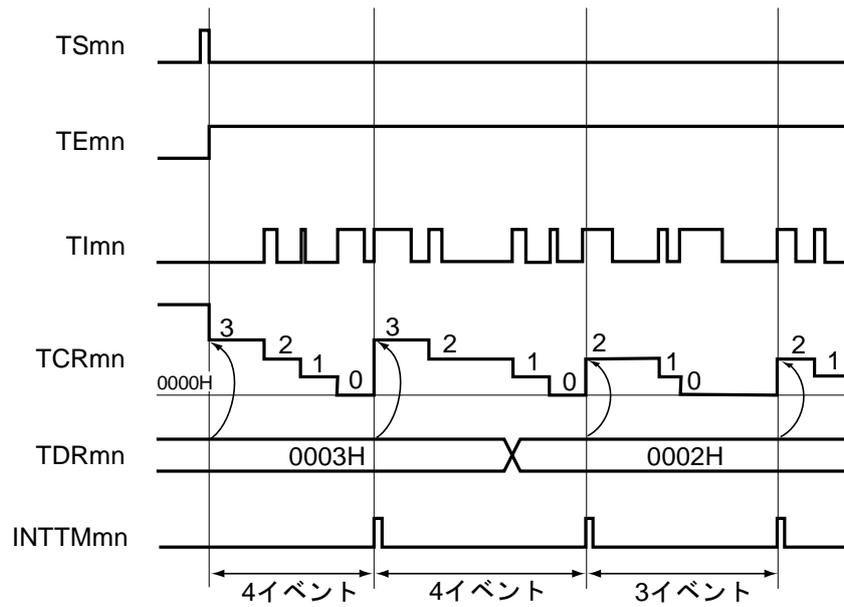
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図8-49 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図8-50 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m: ユニット番号 (m=0), n: チャンネル番号 (n=0-7)

2. TSmn : タイマ・チャンネル開始レジスタm (TSm) のビットn

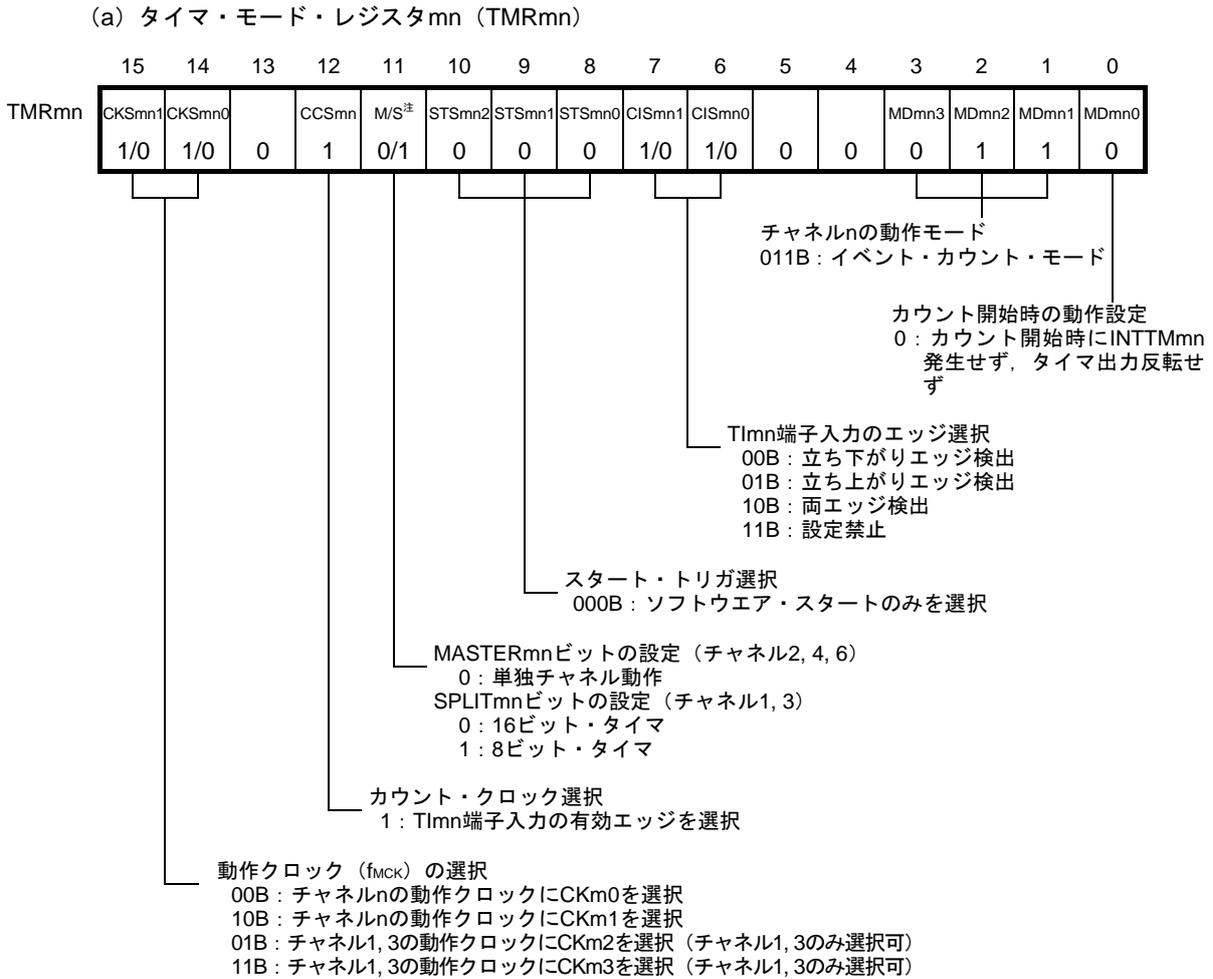
TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn

TImn : TImn端子入力信号

TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)

TDRmn : タイマ・データ・レジスタmn (TDRmn)

図8-51 外部イベント・カウンタ・モード時のレジスタ設定内容例



(b) タイマ出力レジスタm (TOM)

ビットn

TOMn 0 0: TOMnより0を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn

TOEm 0 0: カウント動作によるTOMn出力動作停止

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn

TOLm 0 0: TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn

TOMm 0 0: マスタ・チャンネル出力モードを設定

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0-7)

図8-52 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	▶ パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にカウント数を設定する タイマ出力許可レジスタm (TOEm) のTOEmnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	▶ TE _m n = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし, TImn端子入力のエッジ検出待ち状態になる
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子入力のエッジが検出されるごとに, カウンタ (TCRmn) はダウン・カウント動作を行う。0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmn出力を発生する。 以降, この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	▶ TE _m n = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	▶ パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される	

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

8.8.3 入力パルス間隔測定としての動作

Tlmn有効エッジでカウント値をキャプチャし、Tlmn入力パルスの間隔を測定することができます。また、TEmn = 1の期間中に、ソフトウェア操作 (TSmn = 1) をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn端子入力は、タイマ・モード・レジスタmn (TMRmn) のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn (TCRmn) はキャプチャ・モードでアップ・カウンタとして動作します。タイマ・チャンネル開始レジスタm (TSM) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

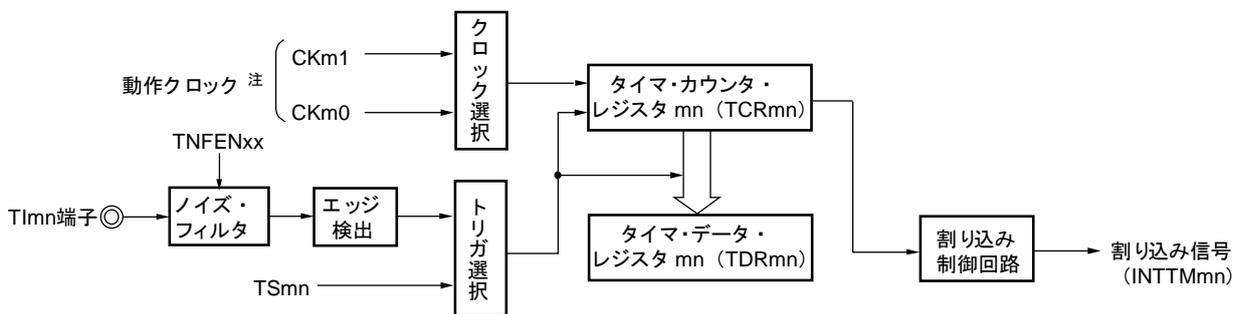
Tlmn端子入力の有効エッジを検出すると、TCRmnレジスタのカウント値をタイマ・データ・レジスタmn (TDRmn) に転送 (キャプチャ) すると同時に、TCRmnレジスタを0000Hにクリアして、INTTMmnを出力します。このとき、カウンタのオーバーフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を続けます。

カウント値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRmnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

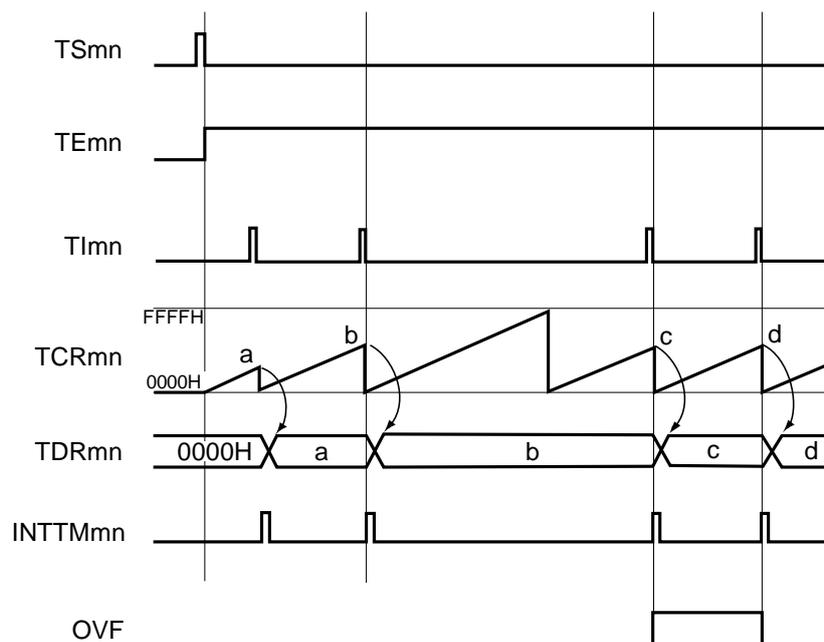
図8-53 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図8-54 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



備考1. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

2. TSmn : タイマ・チャネル開始レジスタm (TSm) のビットn

TEmn : タイマ・チャネル許可ステータス・レジスタm (TEm) のビットn

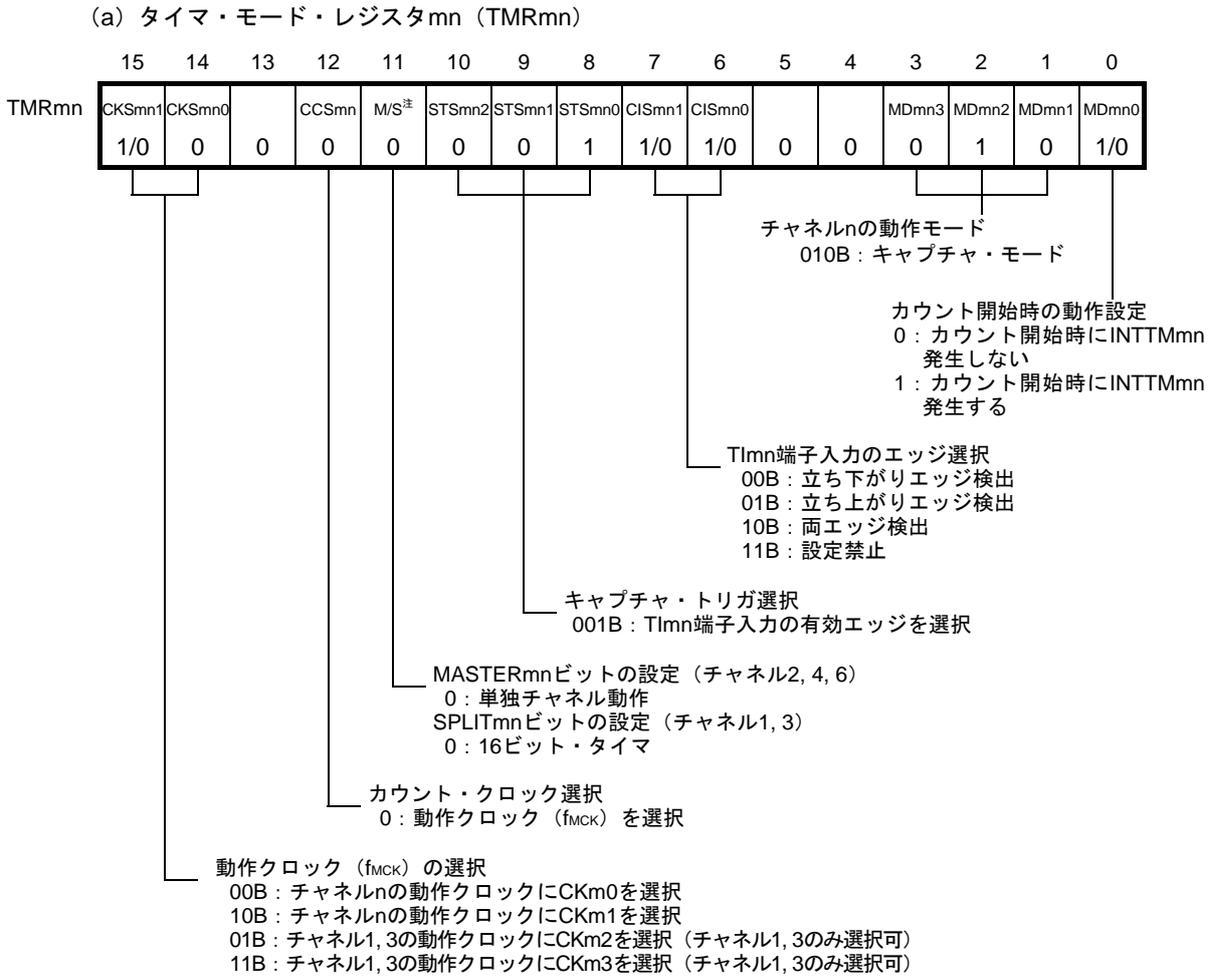
TImn : TImn端子入力信号

TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)

TDRmn : タイマ・データ・レジスタmn (TDRmn)

OVf : タイマ・ステータス・レジスタmn (TSRmn) のビット0

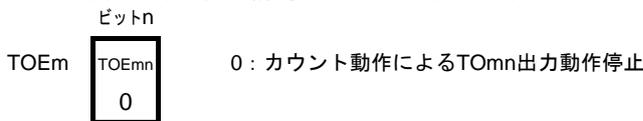
図8-55 入力パルス間隔測定時のレジスタ設定内容例



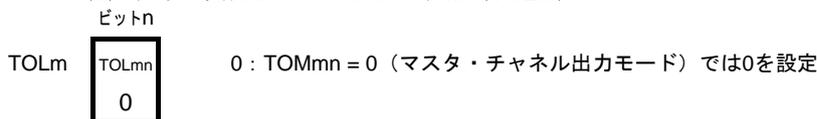
(b) タイマ出力レジスタm (TOM)



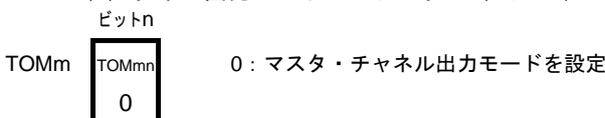
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0-7)

図8-56 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタmのTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルの動作モード確定)	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る
	動作 中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

8.8.4 入力信号のハイ／ロウ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット1 (ISC1) を1に設定してください。また、以降の説明では「TImn」を「RxD0」と読み替えてください。

TImn端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImnの信号幅 (ハイ・レベル幅／ロウ・レベル幅) を測定することができます。TImnの信号幅は次の式で求めることができます。

$$\text{TImn入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 TImn端子入力は、タイマ・モード・レジスタmn (TMRmn) のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn (TCRmn) はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタm (TSM) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると、TEmn = 1となりTImn端子のスタート・エッジ検出待ち状態となります。

TImn端子入力のスタート・エッジ (ハイ・レベル幅測定ならTImn端子入力の立ち上がりエッジ) を検出すると、カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定ならTImn端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタmn (TDRmn) に転送すると同時にINTTMmnを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは、「TDRmnレジスタに転送した値+1」の値で停止し、TImn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

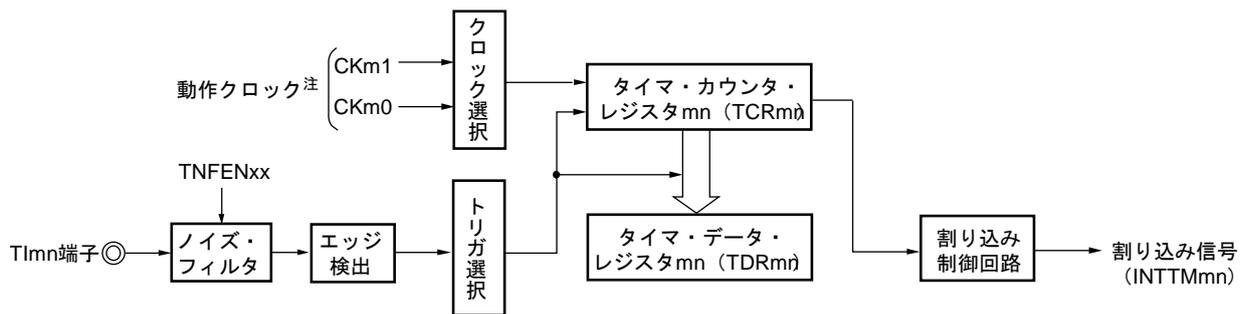
TImn端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は、TImn端子入力の信号幅測定を目的とするため、TEmn = 1期間中のTSmnビットのセット (1) は使用できません。

TMRmnレジスタのCISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

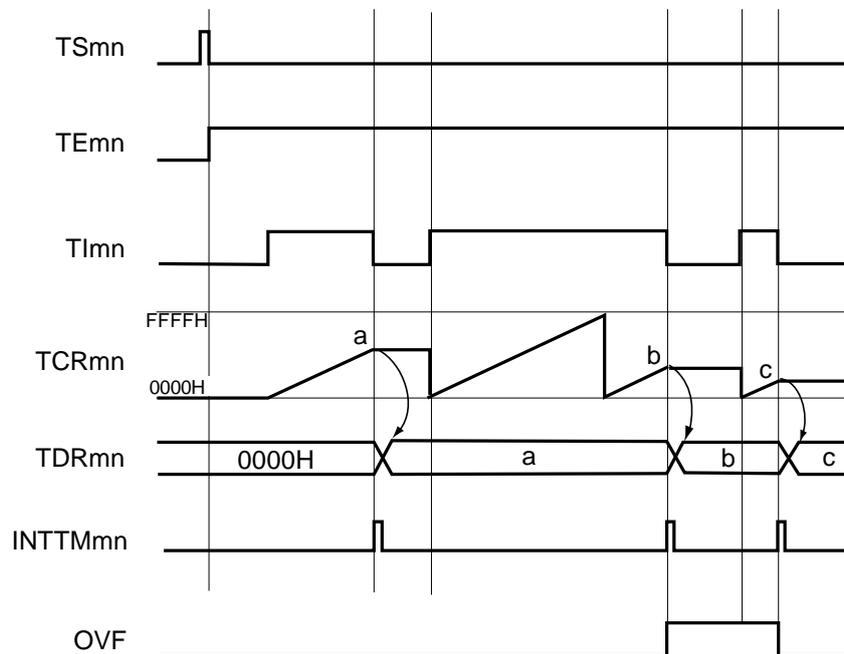
TMRmnレジスタのCISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図8-57 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図8-58 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例

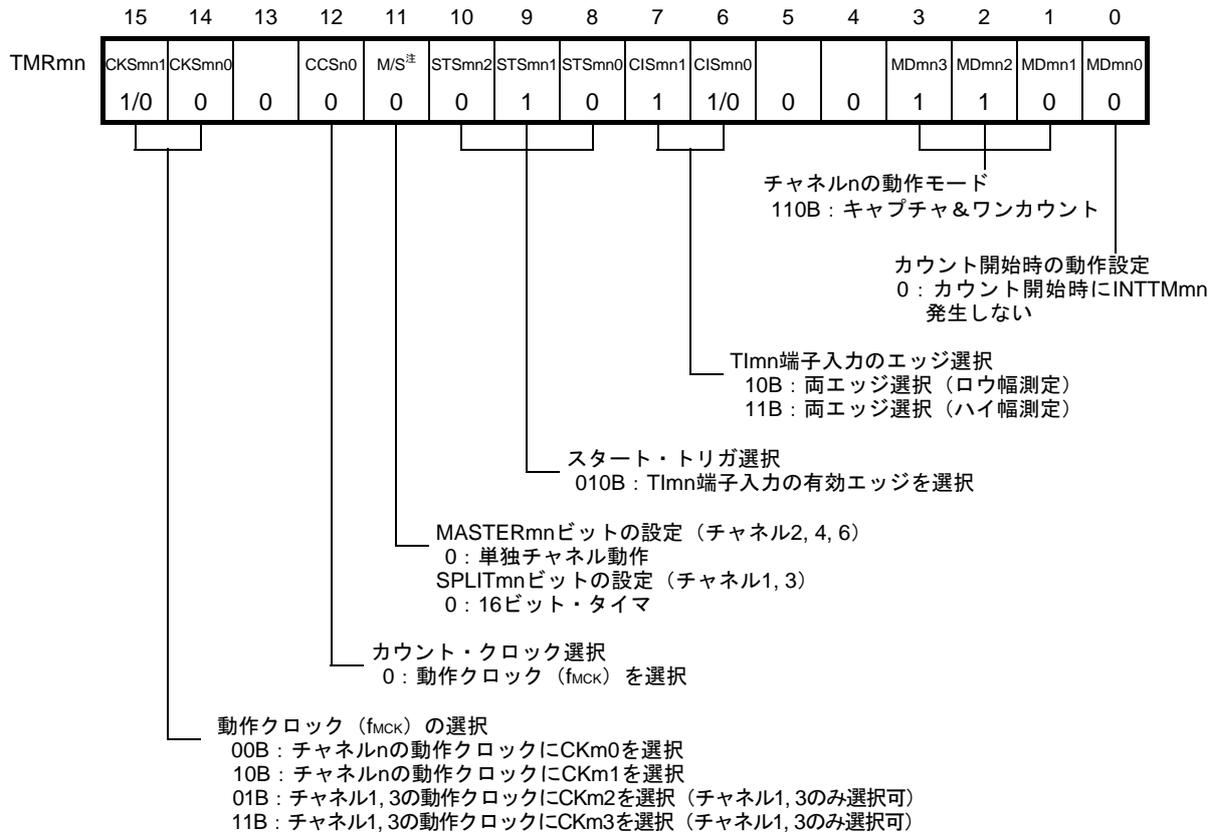


備考1. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

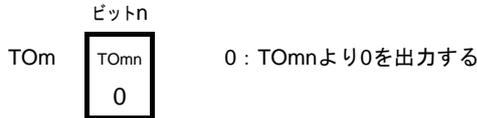
2. TSmn : タイマ・チャンネル開始レジスタm (TSm) のビットn
- TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn
- TImn : TImn端子入力信号
- TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
- TDRmn : タイマ・データ・レジスタmn (TDRmn)
- OVF : タイマ・ステータス・レジスタmn (TSRmn) のビット0

図8-59 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn (TMRmn)



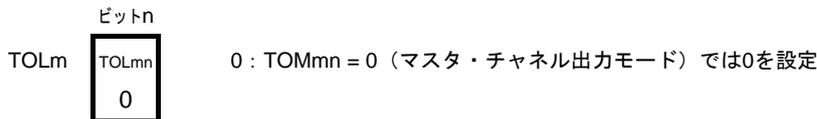
(b) タイマ出力レジスタm (TOm)



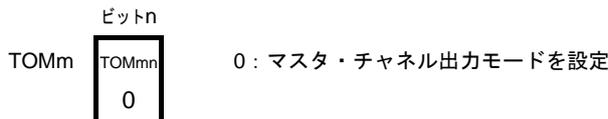
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



- 注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
- TMRm1, TMRm3の場合 : SPLITmnビット
- TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図8-60 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルの動作モード確定) TOEmnビットに0を設定し, TOmnの動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動 作 開 始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	▶タイマ・カウンタ・レジスタmn (TCRmn) を0000Hにクリアし, カウント・アップ動作を開始する
動 作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOmn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn) は0000Hからアップ・カウント動作を行う。TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタmn (TDRmn) に転送し, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動 作 停 止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停 止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

8.8.5 デイレイ・カウンタとしての動作

Tl_{mn}端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし、任意の設定間隔でINTTM_{mn}（タイマ割り込み）を発生することができます。

また、TE_{mn} = 1の期間中に、ソフトウェア操作でTS_{mn} = 1に設定することで、ダウン・カウントをスタートし、任意の設定間隔でINTTM_{mn}（タイマ割り込み）を発生することもできます。

割り込み発生周期は、次の式で求める事ができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

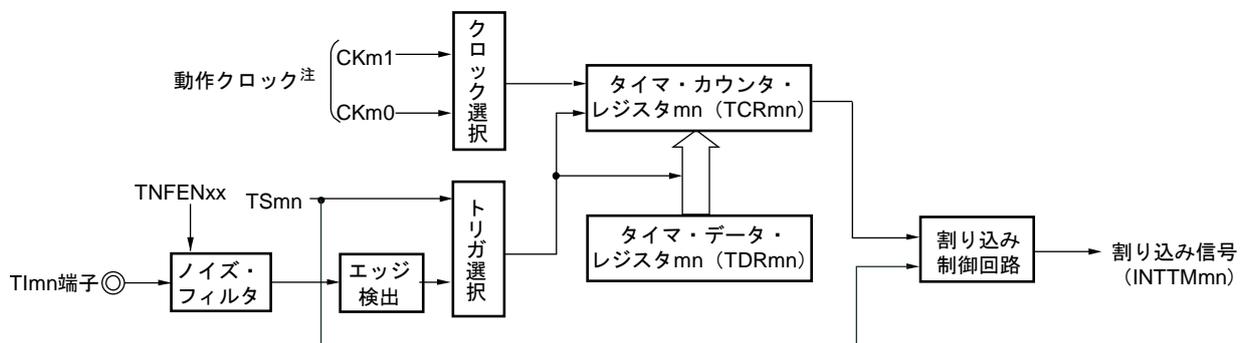
タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ_m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に1を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1となりTl_{mn}端子の有効エッジ検出待ち状態となります。

TCR_{mn}レジスタは、Tl_{mn}端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ_{mn} (TDR_{mn}) から値をロードします。TCR_{mn}レジスタはロードしたTDR_{mn}レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000HとなったらINTTM_{mn}を出力し、次のTl_{mn}端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn}レジスタは任意のタイミングで書き換えることができます。書き換えたTDR_{mn}レジスタの値は、次の周期から有効となります。

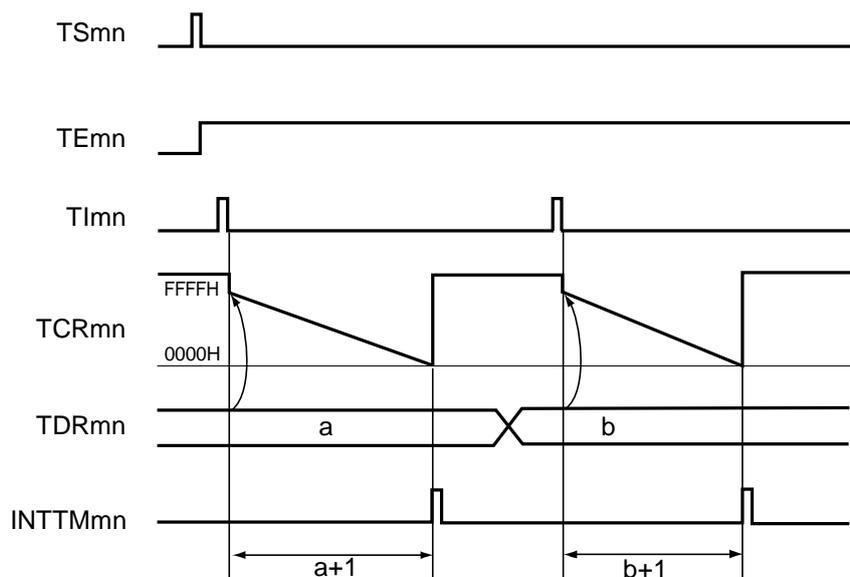
図8-61 デイレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図8-62 デイレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

2. TSmn : タイマ・チャネル開始レジスタm (TSm) のビットn

TEmn : タイマ・チャネル許可ステータス・レジスタm (TEm) のビットn

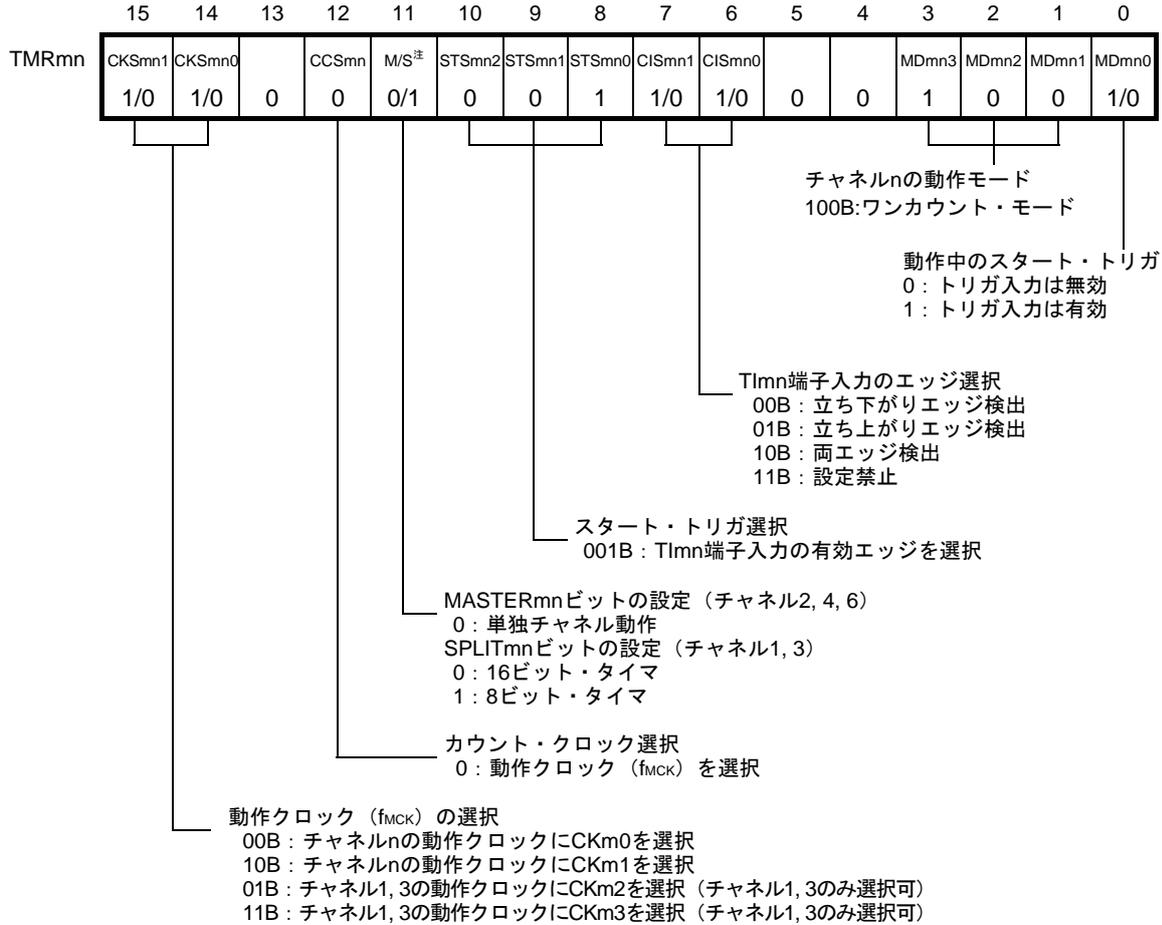
TImn : TImn端子入力信号

TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)

TDRmn : タイマ・データ・レジスタmn (TDRmn)

図8-63 ディレイ・カウンタ機能時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn (TMRmn)



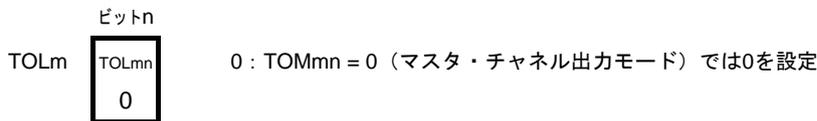
(b) タイマ出力レジスタm (TOM)



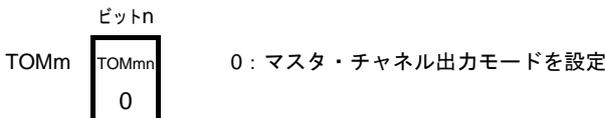
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



- 注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
- TMRm1, TMRm3の場合 : SPLITmnビット
- TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図8-64 デイレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn) に遅延時間を設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, スタート・トリガ検出 (TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定) 待ち状態となる
	次のスタート・トリガ検出によって, ダウン・カウントを開始します。 ・ TImn端子入力の有効エッジ検出 ・ ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ (TCRmn) はダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出 (TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定) までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

8.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能

8.9.1 ワンショット・パルス出力機能としての動作

2チャンネルをセットで使用して、TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$$\begin{aligned} \text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

マスタ・チャンネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャンネルのタイマ・カウンタ・レジスタmn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタmn (TDRmn) から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000HとなったらINTTMmnを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャンネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャンネルのTCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして動作を開始し、TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTMmpを出力して、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) 検出があるまで、カウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらいんアクティブ・レベルとなります。

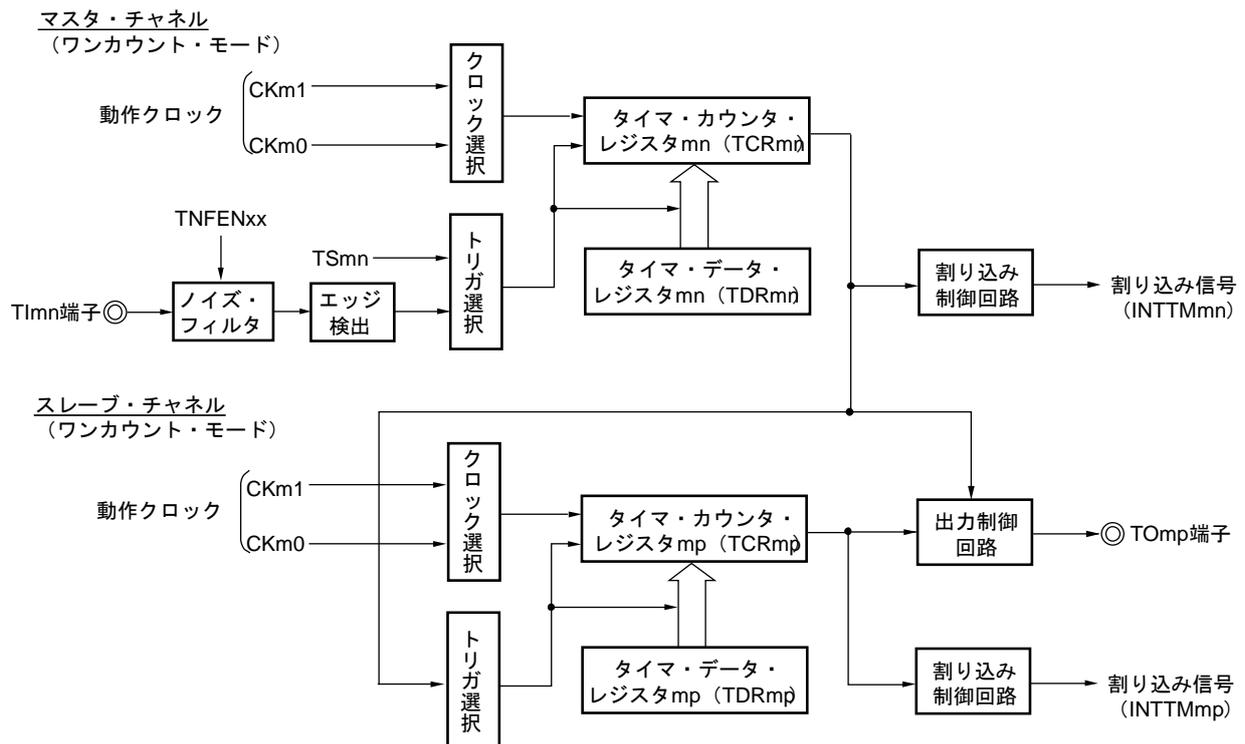
ワンショット・パルス出力は、TImn端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネルのTDRmpレジスタでは、ロード・タイミングが異なるため、カウント動作中にTDRmnレジスタ、TDRmpレジスタを書き換えるとロード・タイミングと競合して不正波形が出力される場合があります。TDRmnレジスタはINTTMmn発生後に、TDRmpレジスタはINTTMmp発生後に書き換えてください。

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

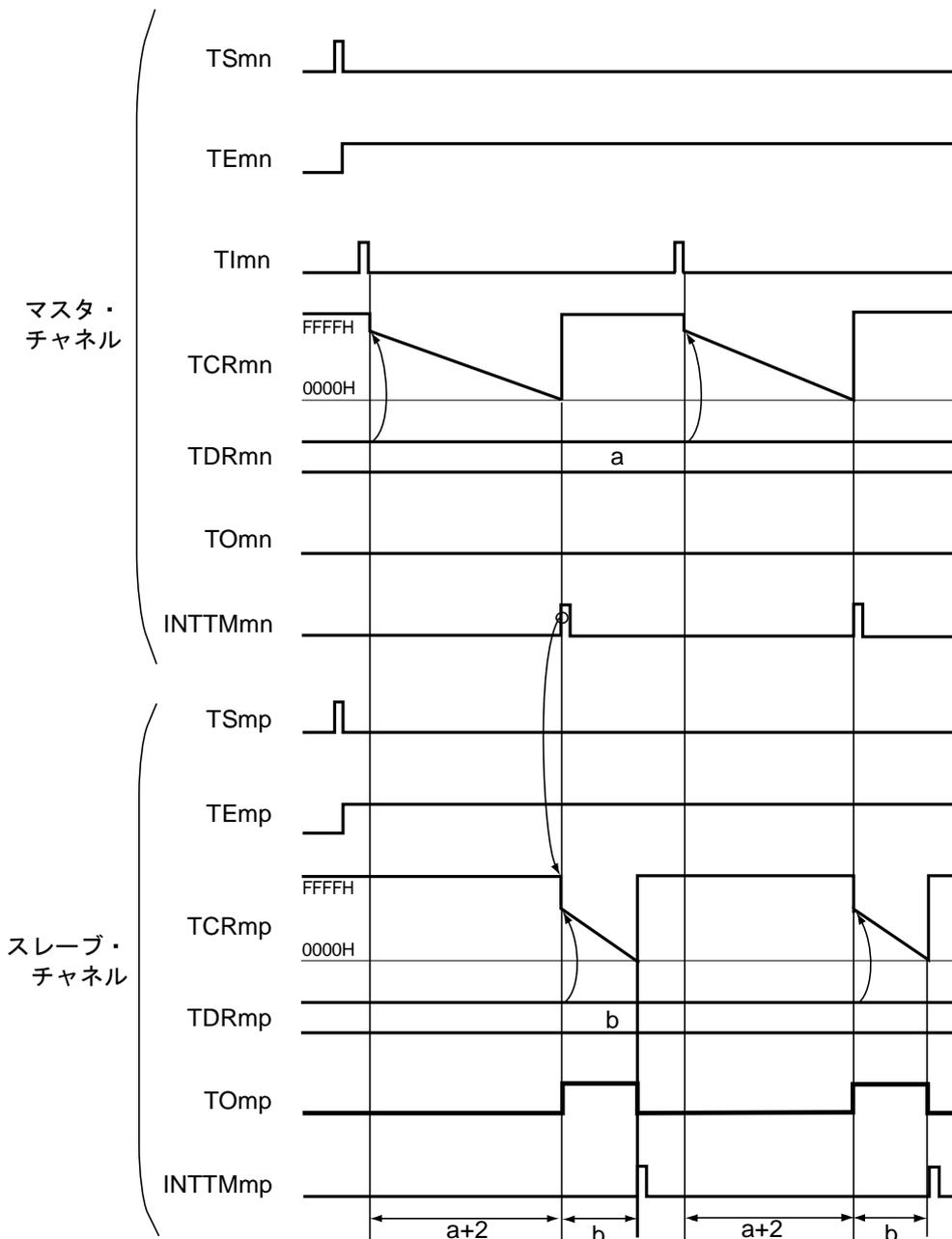
図8-65 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

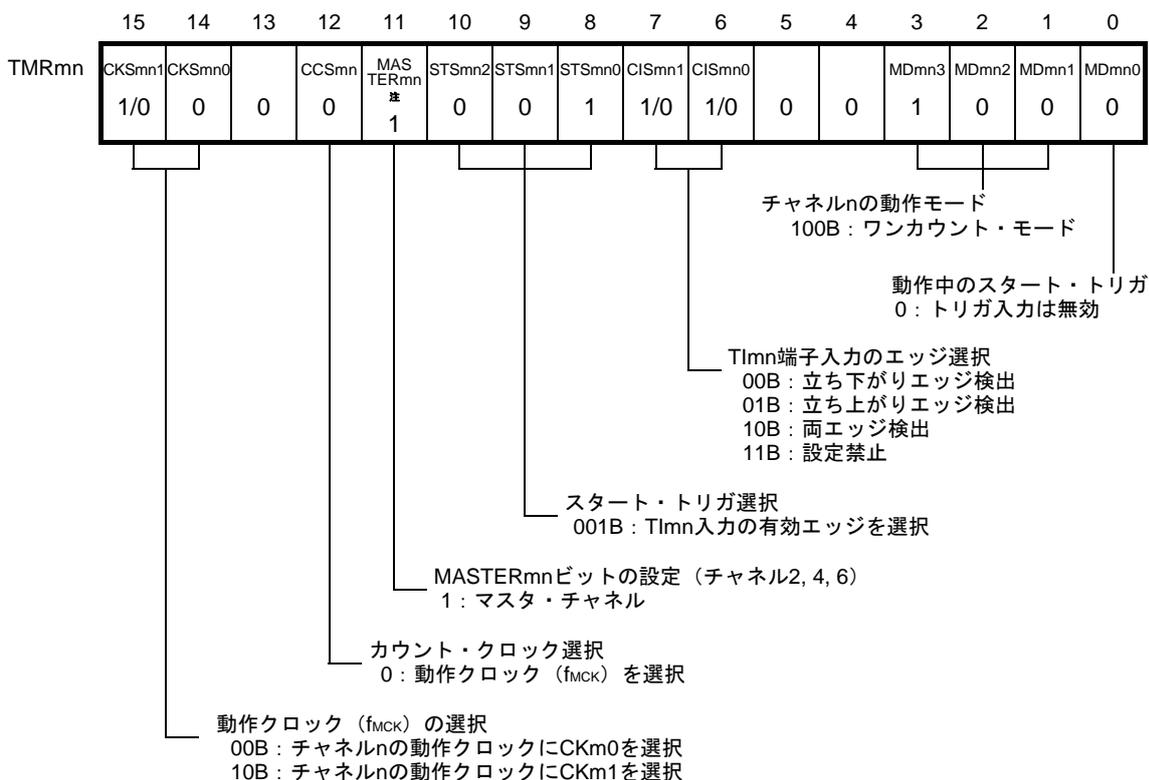
図8-66 ワンショット・パルス出力機能としての動作の基本タイミング例



- 備考1.** m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)
- 2.** TSmn, TSmp : タイマ・チャンネル開始レジスタm (TSM) のビットn, p
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタm (TEM) のビットn, p
 TImn, TImp : TImn, TImp端子入力信号
 TCRmn, TCRmp : タイマ・カウンタ・レジスタmn, mp (TCRmn, TCRmp)
 TDRmn, TDRmp : タイマ・データ・レジスタmn, mp (TDRmn, TDRmp)
 TOmn, TOmp : TOmn, TOmp端子出力信号

図8-67 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

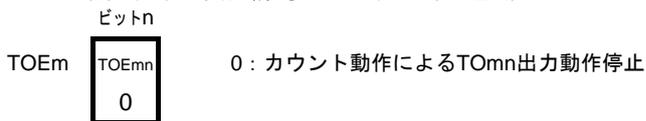
(a) タイマ・モード・レジスタmn (TMRmn)



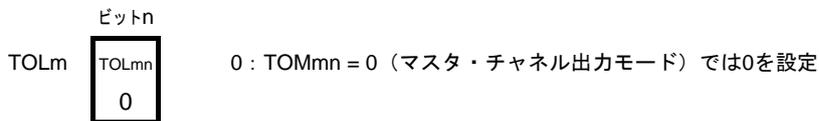
(b) タイマ出力レジスタm (TOm)



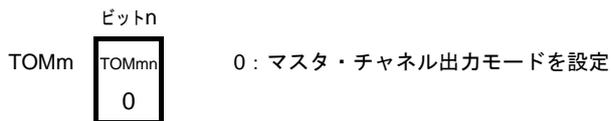
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)

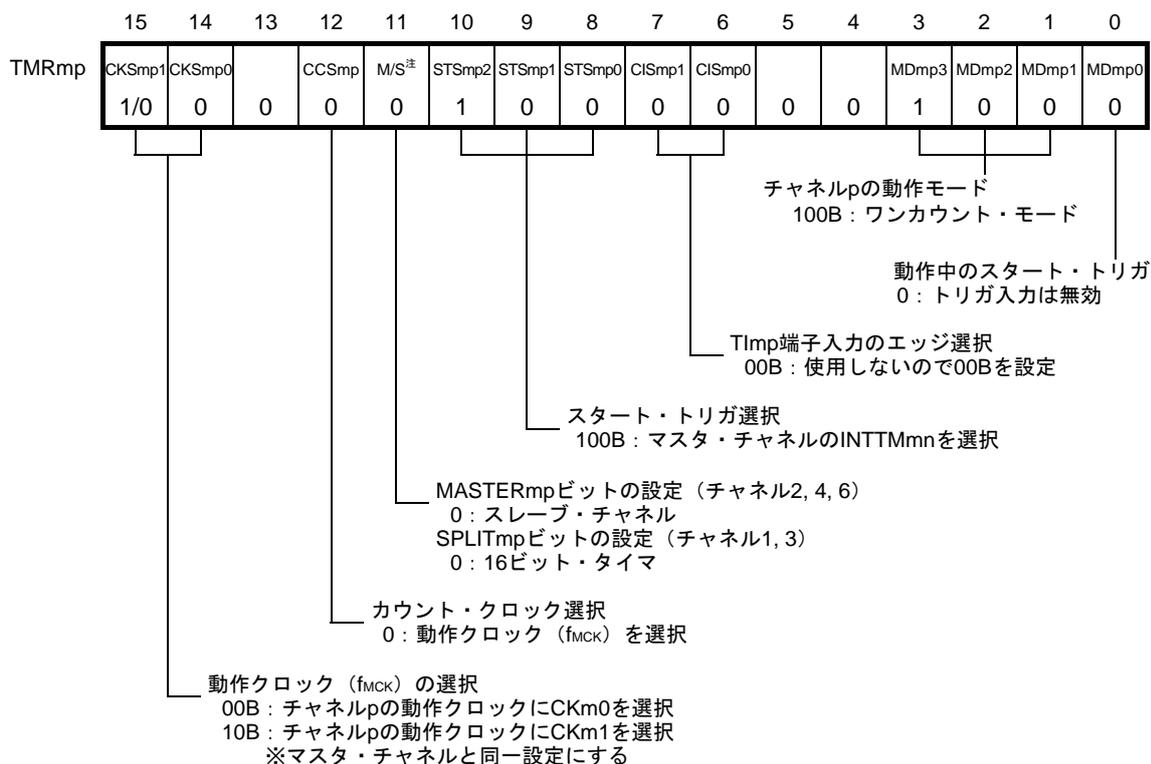


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図8-68 ワンショット・パルス出力機能時 (スレーブ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOM)

	ビットp		
TOM	TOMp	0 :	TOMpより0を出力する
	1/0	1 :	TOMpより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

	ビットp		
TOEm	TOEmp	0 :	カウント動作によるTOMp出力動作停止
	1/0	1 :	カウント動作によるTOMp出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

	ビットp		
TOLm	TOLmp	0 :	正論理出力 (アクティブ・ハイ)
	1/0	1 :	負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

	ビットp		
TOMm	TOMmp	1 :	スレーブ・チャンネル出力モードを設定
	1		

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmpビット
 TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図8-69 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビット に1を設定する タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビッ トに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確 定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) に出力遅延時間, スレーブ・チャンネルのTDRmp レジスタにパルス幅を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビ ットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(注, 備考は次ページにあります。)

図8-69 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	<p>動作開始</p> <p>TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ)</p> <p>タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する → TEmn = 1, TEm = 1となり, マスタ・チャンネルはスタート・トリガ検出 (TImn端子入力の有効エッジの検出, またはマスタ・チャンネルのTSmnビットに1を設定) 待ち状態となる</p> <p>TSmn, TSmpビットはトリガ・ビットなので, 自動的に0に戻る</p> <p>→ カウンタはまだ停止状態のまま</p> <hr/> <p>マスタ・チャンネルのスタート・トリガ検出によって, マスタ・チャンネルのカウント動作を開始します。</p> <ul style="list-style-type: none"> ・TImn端子入力の有効エッジ検出 ・ソフトウェアでマスタ・チャンネルのTSmnビットに1を設定^注 <p>マスタ・チャンネルがカウント動作開始</p>	
	<p>動作中</p> <p>TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能</p> <p>TMRmp, TDRmn, TDRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは, 設定値変更禁止</p> <p>TCRmn, TCRmpレジスタは, 常に読み出し可能</p> <p>TSRmn, TSRmpレジスタは, 使用しない</p> <p>スレーブ・チャンネルのTOM, TOEmレジスタは, 設定値変更可能</p>	<p>マスタ・チャンネルでは, スタート・トリガ検出 (TImn端子入力の有効エッジの検出, またはマスタ・チャンネルのTSmnビットに1を設定) により, タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出までカウント動作を停止する。</p> <p>スレーブ・チャンネルでは, マスタ・チャンネルのINTTMmnをトリガとして, TCRmpレジスタはTDRmpレジスタの値をロードし, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして, カウント動作を停止する。</p> <p>以降, この動作を繰り返す。</p>
	<p>動作停止</p> <p>TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する → TEmn, TEm = 0になり, カウント動作停止</p> <p>TTmn, TTmpビットはトリガ・ビットなので, 自動的に0に戻る</p> <p>TCRmn, TCRmpレジスタはカウント値を保持して停止</p> <p>TOmp出力は初期化されず, 状態保持</p> <hr/> <p>スレーブ・チャンネルのTOEmpビットに0を設定し, TOmpビットに値を設定する → TOmp端子はTOmp設定レベルを出力</p>	
<p>TAU停止</p> <p>TOmp端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後, TOmpビットに0を設定する → TOmp端子出力レベルはポート機能により保持される。</p> <p>TOmp端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <hr/> <p>PER0レジスタのTAUmENビットに0を設定する → パワーオフ状態</p> <p>全回路が初期化され, 各チャンネルのSFRも初期化される (TOmpビットが0になり, TOmp端子はポート機能となる)</p>		

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

8.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDRmp (スレーブ) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ 0\% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = 0000\text{H} \\ 100\% \text{出力} &: \text{TDRmp (スレーブ) の設定値} \geq \{\text{TDRmn (マスタ) の設定値} + 1\} \end{aligned}$$

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ) の設定値 + 1} の場合は、デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタm (TSm) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタmn (TDRmn) に設定した値をタイマ・カウンタ・レジスタmn (TCRmn) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタm (TTm) のチャンネル・ストップ・トリガ・ビット (TTmn) に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTMmn) が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) のデューティとなります。

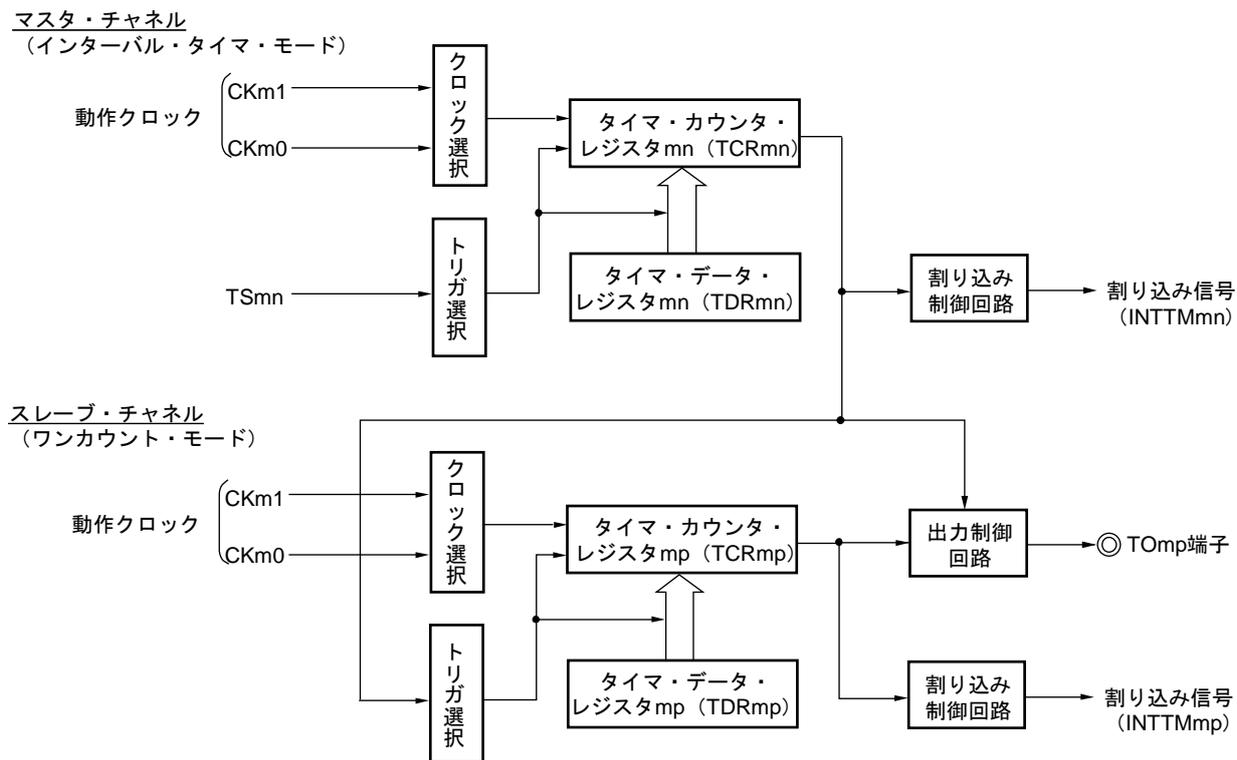
PWM出力 (TOmp) は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

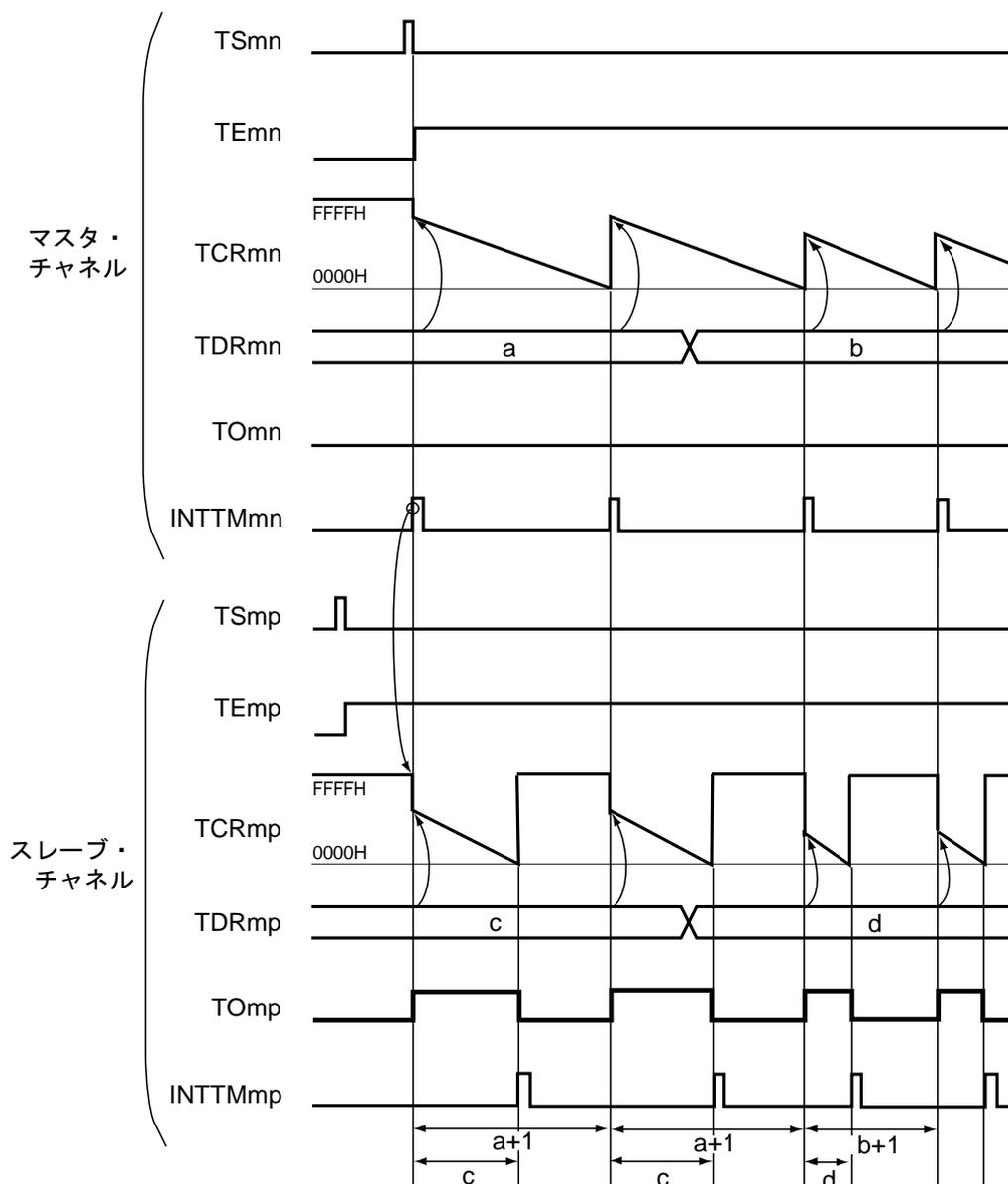
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図8-70 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m=0) , n : マスタ・チャンネル番号 (n=0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n<p≤7)

図8-71 PWM機能としての動作の基本タイミング例

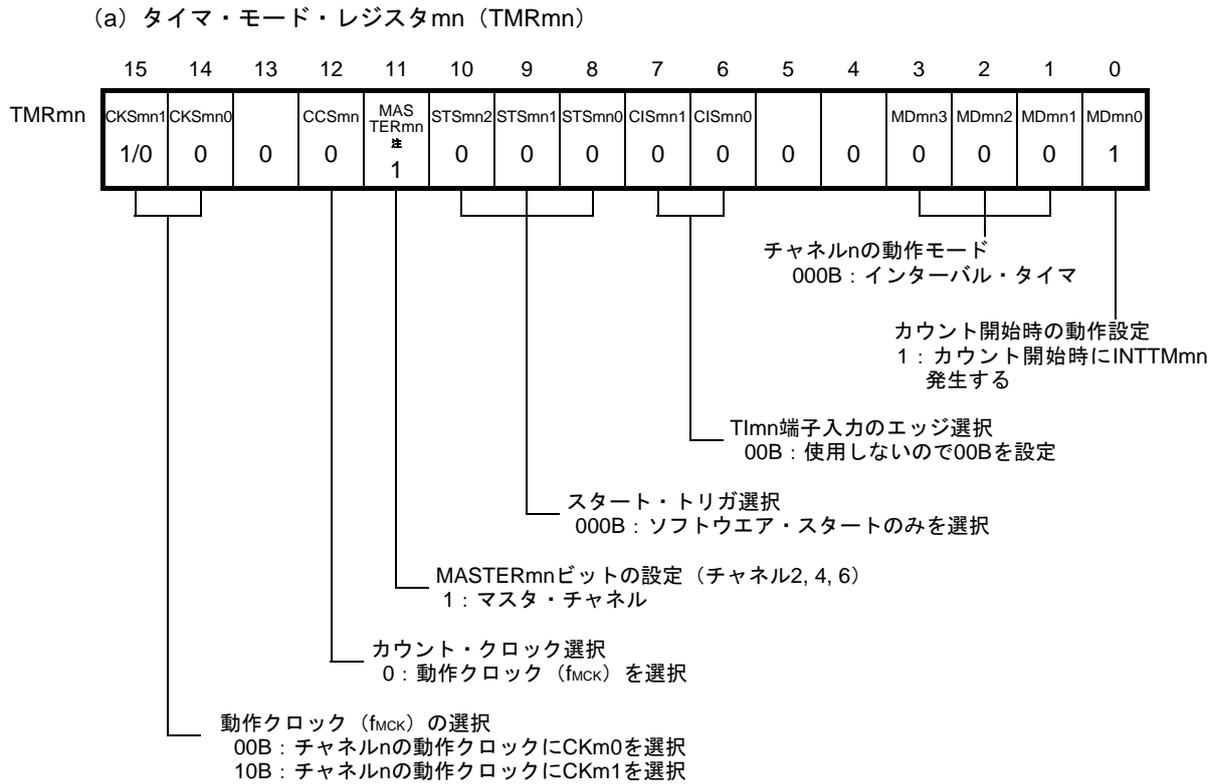


備考1. m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

2. TSmn, TSmp : タイマ・チャンネル開始レジスタm (TSM) のビットn, p
 TE_{mn}, TE_{mp} : タイマ・チャンネル許可ステータス・レジスタm (TEM) のビットn, p
 TCR_{mn}, TCR_{mp} : タイマ・カウンタ・レジスタmn, mp (TCR_{mn}, TCR_{mp})
 TDR_{mn}, TDR_{mp} : タイマ・データ・レジスタmn, mp (TDR_{mn}, TDR_{mp})
 TO_{mn}, TO_{mp} : TO_{mn}, TO_{mp}端子出力信号

図8-72 PWM機能時（マスタ・チャンネル）のレジスタ設定内容例



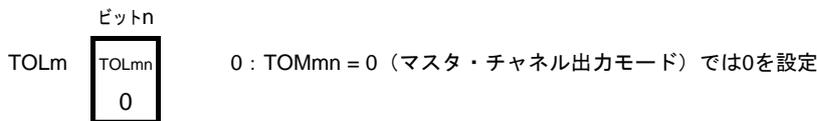
(b) タイマ出力レジスタm (TOm)



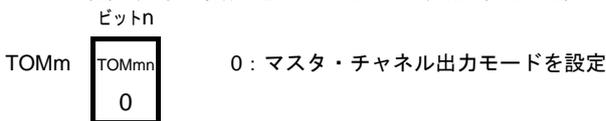
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



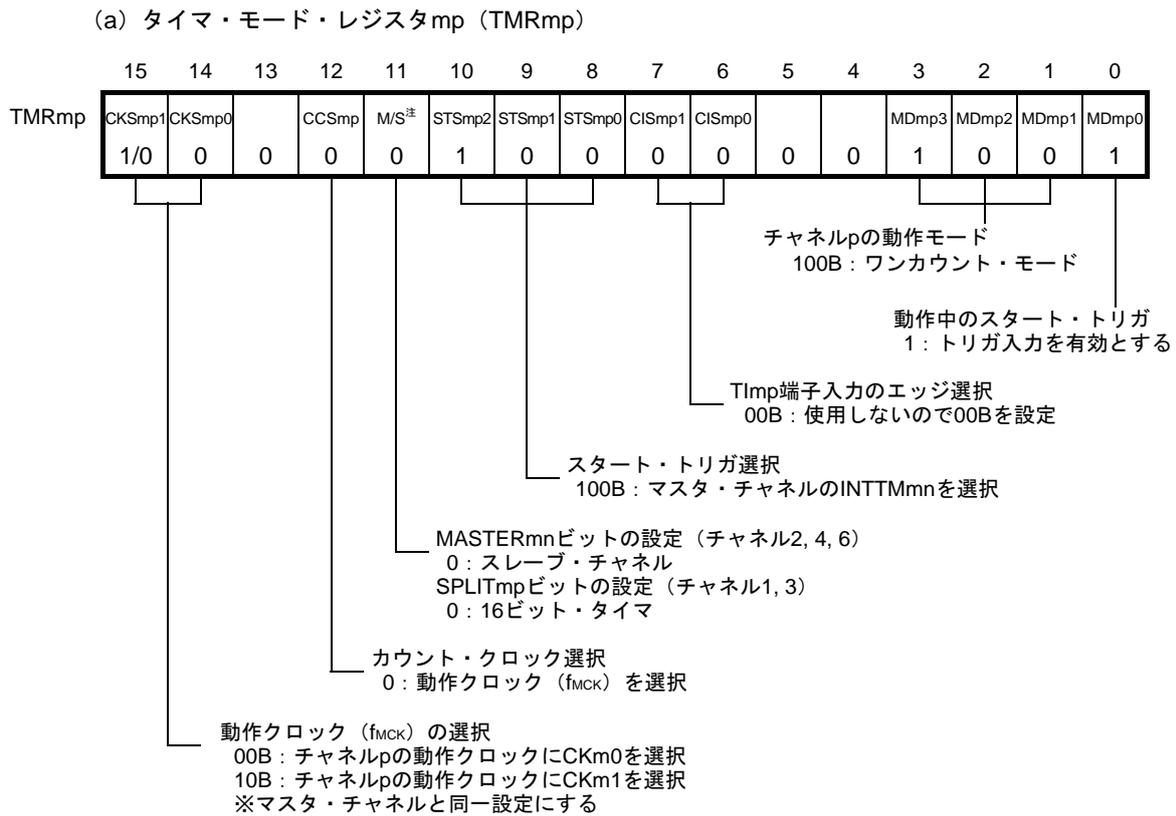
(e) タイマ出力モード・レジスタm (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図8-73 PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例



(b) タイマ出力レジスタm (TOm)

ビットp

TOm	TOmp	0 : TOmpより0を出力
	1/0	1 : TOmpより1を出力

(c) タイマ出力許可レジスタm (TOEm)

ビットp

TOEm	TOEmp	0 : カウント動作によるTOmp出力動作停止
	1/0	1 : カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットp

TOLm	TOLmp	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

ビットp

TOMm	TOMmp	1 : スレーブ・チャンネル出力モードを設定
	1	

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット

TMRm1, TMRm3の場合 : SPLITmpビット

TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

図8-74 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります。)

図8-74 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開	動作開始	TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中	TMRmn, TMRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは、設定値変更禁止 TDRmn, TDRmpレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは、常に読み出し可能 TSRmn, TSRmpレジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmpレジスタはTDRmpレジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止	TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmpビットに0を設定し、TOmpビットに値を設定する	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持 TOmp端子はTOmp設定レベルを出力
	TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。 パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

8.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{\text{TDRmp (スレーブ1) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ2 [\%]} &= \{\text{TDRmq (スレーブ2) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合
または TDRmq (スレーブ2) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合は、
デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタmn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタmp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

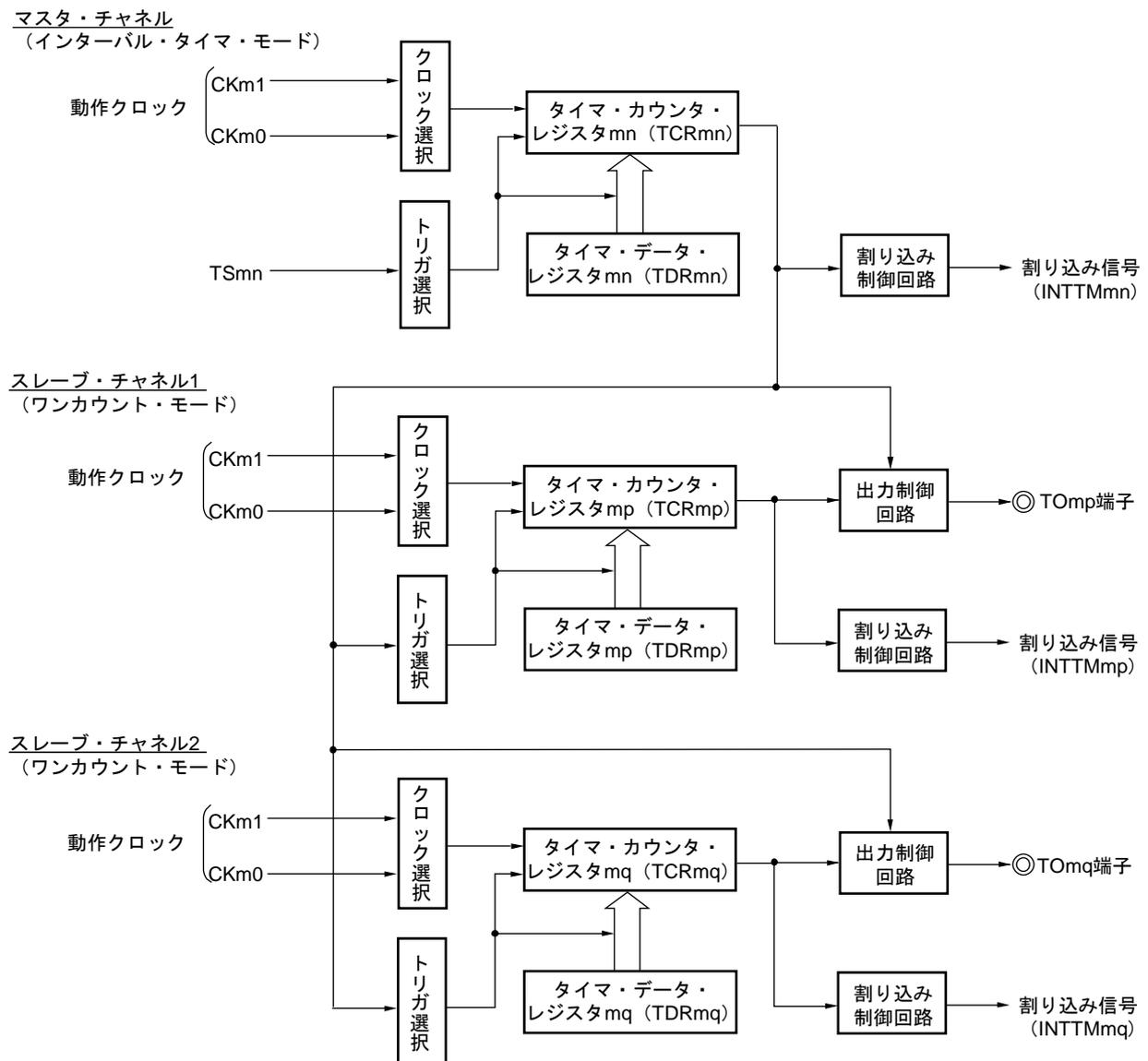
スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

注意 マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

備考 m: ユニット番号 (m = 0), n: マスタ・チャンネル番号 (n = 0, 2, 4)
p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号
 $n < p < q \leq 7$ (ただし, qは, n以降の整数)

図8-75 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)

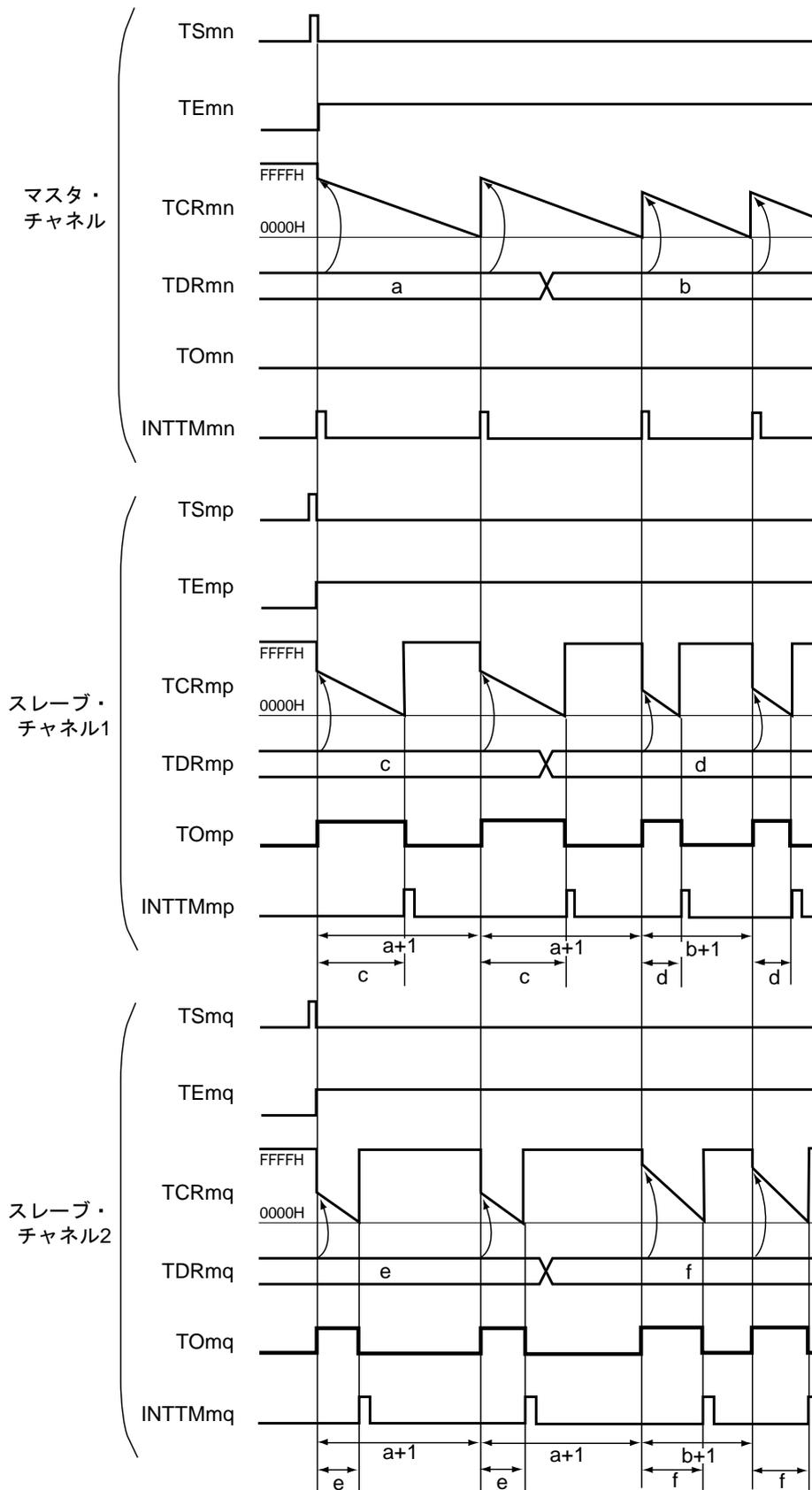


備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 7$ (ただし, qは, n以降の整数)

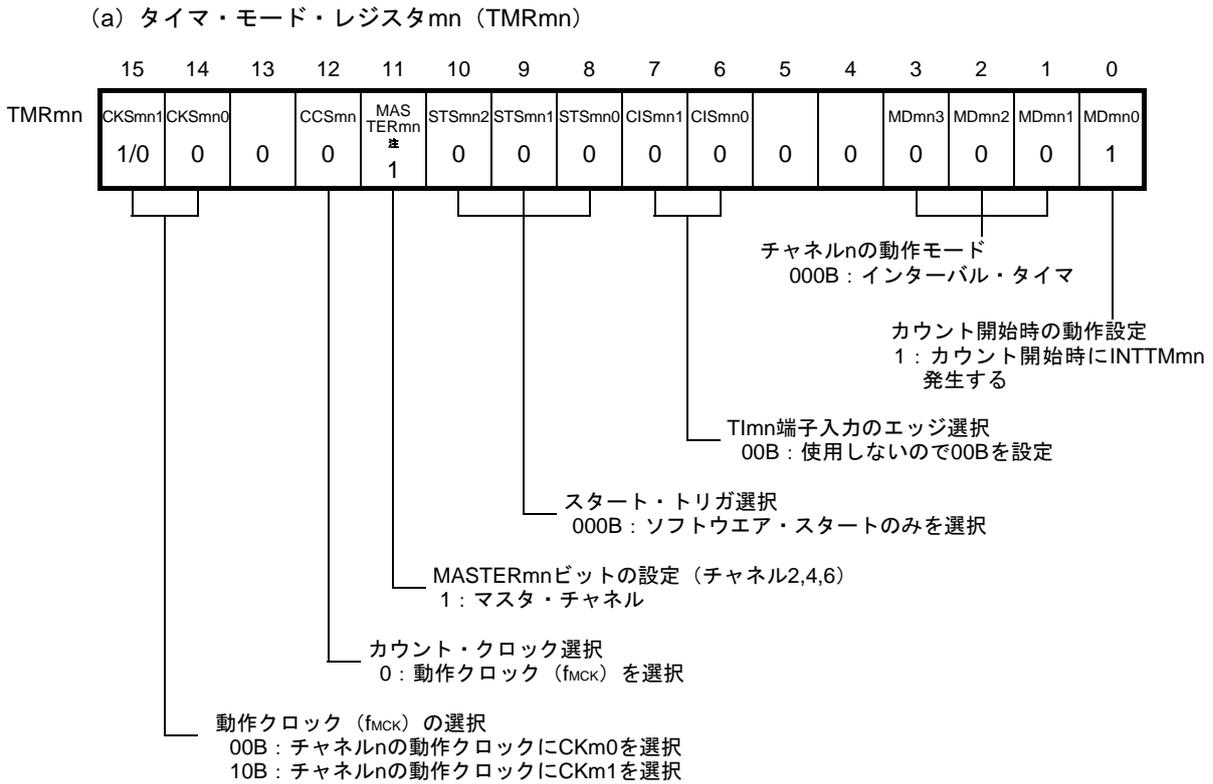
図8-76 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合)



(備考は次ページにあります。)

- 備考1.** m : ユニット番号 ($m = 0$) , n : マスタ・チャンネル番号 ($n = 0, 2, 4$)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 $n < p < q \leq 7$ (ただし p, q は, n 以降の整数)
- 2.** $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m) のビット n, p, q
 $TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m) のビット n, p, q
 $TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)
 $TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)
 $TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図8-77 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例



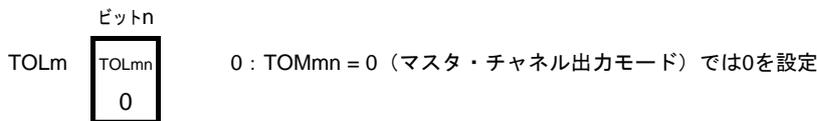
(b) タイマ出力レジスタm (TOm)



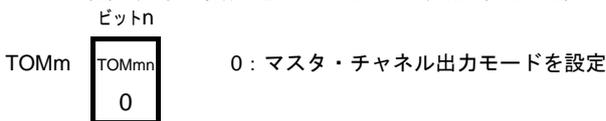
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



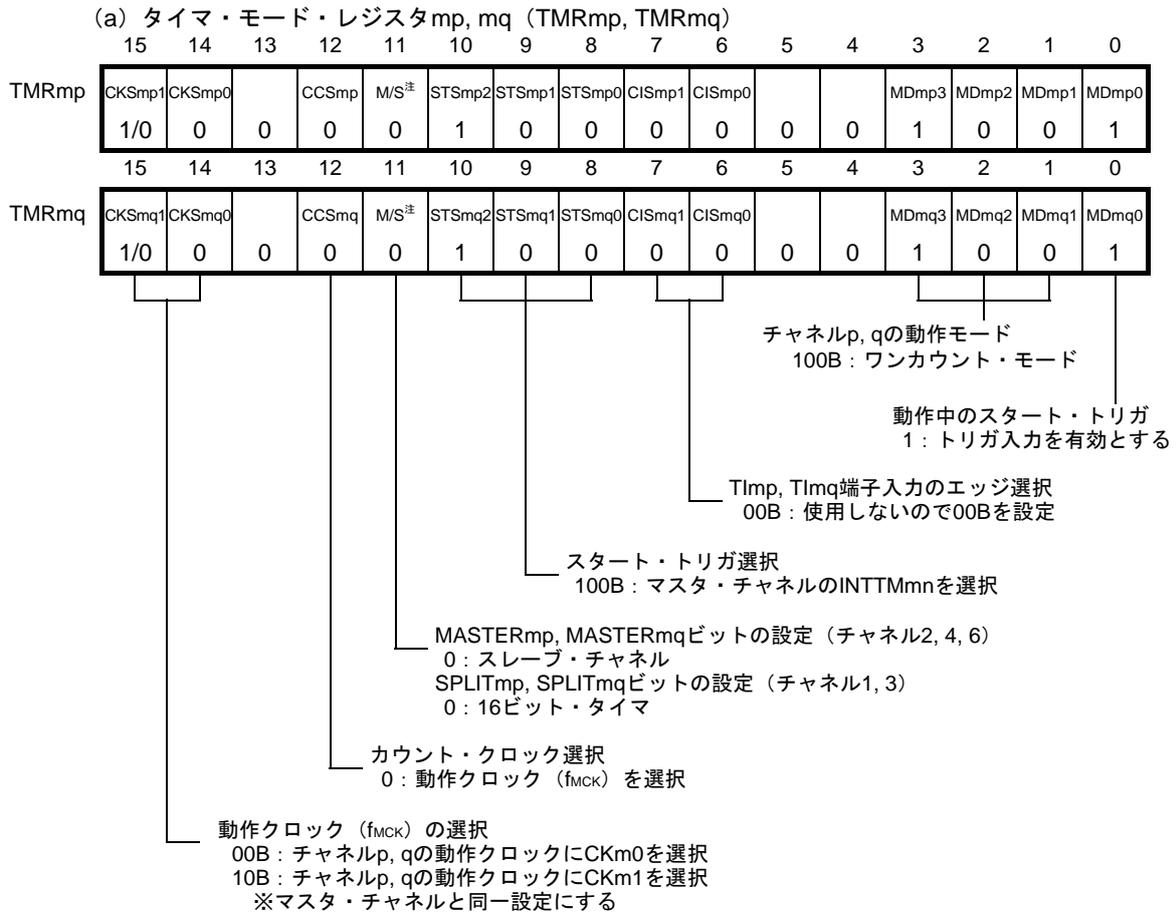
(e) タイマ出力モード・レジスタm (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4)

図8-78 多重PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例（2種類のPWMを出力する場合）



(b) タイマ出力レジスタm (TOm)

	ビットq	ビットp	
TOm	TOmq	TOmp	0 : TOmp, TOmqより0を出力する 1 : TOmp, TOmqより1を出力する
	1/0	1/0	

(c) タイマ出力許可レジスタm (TOEm)

	ビットq	ビットp	
TOEm	TOEmq	TOEmp	0 : カウント動作によるTOmp, TOmq出力動作停止 1 : カウント動作によるTOmp, TOmq出力動作許可
	1/0	1/0	

(d) タイマ出力レベル・レジスタm (TOLm)

	ビットq	ビットp	
TOLm	TOLmq	TOLmp	0 : 正論理出力 (アクティブ・ハイ) 1 : 負論理出力 (アクティブ・ロウ)
	1/0	1/0	

(e) タイマ出力モード・レジスタm (TOMm)

	ビットq	ビットp	
TOMm	TOMmq	TOMmp	1 : スレーブ・チャンネル出力モードを設定
	1	1	

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmp, MASTERmqビット
 TMRm1, TMRm3の場合 : SPLITmp, SPLITmqビット
 TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただし, qは, n以降の整数)

図8-79 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmp, TOMmqビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmp, TOLmqビットを設定する TOmp, TOmqビットを設定し, TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作 開始	(動作再開時のみTOEmp, TOEmq (スレーブ) ビットに1を設定する) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp, TSmq (スレーブ) ビットに同時に1を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。

(備考は次ページにあります。)

動作再開 (次ページへ)

図8-79 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (2/2)

動作再開 (前ページへ)

	ソフトウェア操作	ハードウェアの状態
動作中	<p>TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止</p> <p>TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能</p> <p>TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能</p> <p>TSRmn, TSRmp, TSRmqレジスタは、使用しない</p>	<p>マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。</p> <p>スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMP出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMP出力レベルをインアクティブ・レベルにして、カウント動作を停止する。</p> <p>スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。</p>
動作停止	<p>TTmn (マスタ), TTmp, TTmq (スレーブ) ビットに同時に1を設定する</p> <p>TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る</p>	<p>TEmn, TEmq, TEmq = 0になり、カウント動作停止</p> <p>TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止</p> <p>TOMP, TOMq出力は初期化されず、状態保持</p>
	<p>スレーブ・チャンネルのTOEmp, TOEmqビットに0を設定し、TOMP, TOMqビットに値を設定する</p>	<p>TOMP, TOMq端子はTOMP, TOMq設定レベルを出力</p>
TAU停止	<p>TOMP, TOMq端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOMP, TOMqビットに0を設定する</p>	<p>TOMP, TOMq端子出力レベルはポート機能により保持される。</p>
	<p>TOMP, TOMq端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <p>PER0レジスタのTAUMENビットに0を設定する</p>	

備考 m: ユニット番号 (m = 0), n: マスタ・チャンネル番号 (n = 0, 2, 4)
 p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただしp, qは、n以降の連続した整数)

8.10 タイマ・アレイ・ユニット使用時の注意事項

8.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

(a) TO01-TO07出力を使用する場合（80ピン製品のみ）

ポート・モード・レジスタ（PMxxビット）およびポート・レジスタ（Pxxビット）に0を設定するだけでなく、LCDポート・ファンクション・レジスタ4（PFSEG27）、LCDポート・ファンクション・レジスタ5（PFSEG32-PFSEG37）の対応するビットを必ず“0”に設定してください。

(b) P43, P42に割り当てられたTO00, TO01出力を使用する場合

ポート・モード・レジスタ（PM43, PM42ビット）およびポート・レジスタ（P43, P42ビット）に0を設定するだけでなく、兼用になっているPCLBUZ1, PCLBUZ0出力を0にするために、クロック出力選択レジスタn（CSKn）のビット7を初期状態と同じ設定にしてください。

(c) P07-P02に割り当てられたTO02-TO07出力を使用する場合

ポート・モード・レジスタ（PM07-PM02ビット）およびポート・レジスタ（P07-P02ビット）に0を設定するだけでなく、兼用になっているP07/SO00/TxD0, P06/SDA00, P05/SCK00/SCL00, P04/TxD1, P03/SDA10, P02/SCL10出力を1にするために、シリアル・チャンネル許可ステータス・レジスタ0（SE0）、シリアル出力レジスタ0（SO0）、シリアル出力許可レジスタ0（SOE0）を初期状態と同じ設定にしてください。

(d) P31に割り当てられたTO06出力を使用する場合

ポート・モード・レジスタ（PM06ビット）およびポート・レジスタ（P06ビット）に0を設定するだけでなく、兼用になっているP06/TxD2/IrTxD出力を1にするために、シリアル・チャンネル許可ステータス・レジスタ0（SE0）、シリアル出力レジスタ0（SO0）、シリアル出力許可レジスタ0（SOE0）を初期状態と同じ設定にしてください。

第9章 独立電源RTC

9.1 独立電源RTCの機能

RTCはカウントモードとして、カレンダーカウントモードとバイナリカウントモードの2種類を持ち、レジスタの設定により切り替えて使用します。

カレンダーカウントモードは、2000年から2099年の100年間で、うるう年を自動で判定してカウントするモードです。

バイナリカウントモードは、年、月、日、曜日、時、分の概念を持たず、秒のみをカウントし、その情報をシリアル値として保持するモードで、西暦以外のカレンダーに対応できます。

RTCは、カウントソースをプリスケアラで分周した128 Hzクロックを基準クロックとして年、月、日、曜日、午前/午後（12時間モード時）、時、分、秒、または32ビットバイナリを1/128秒単位でカウントします。

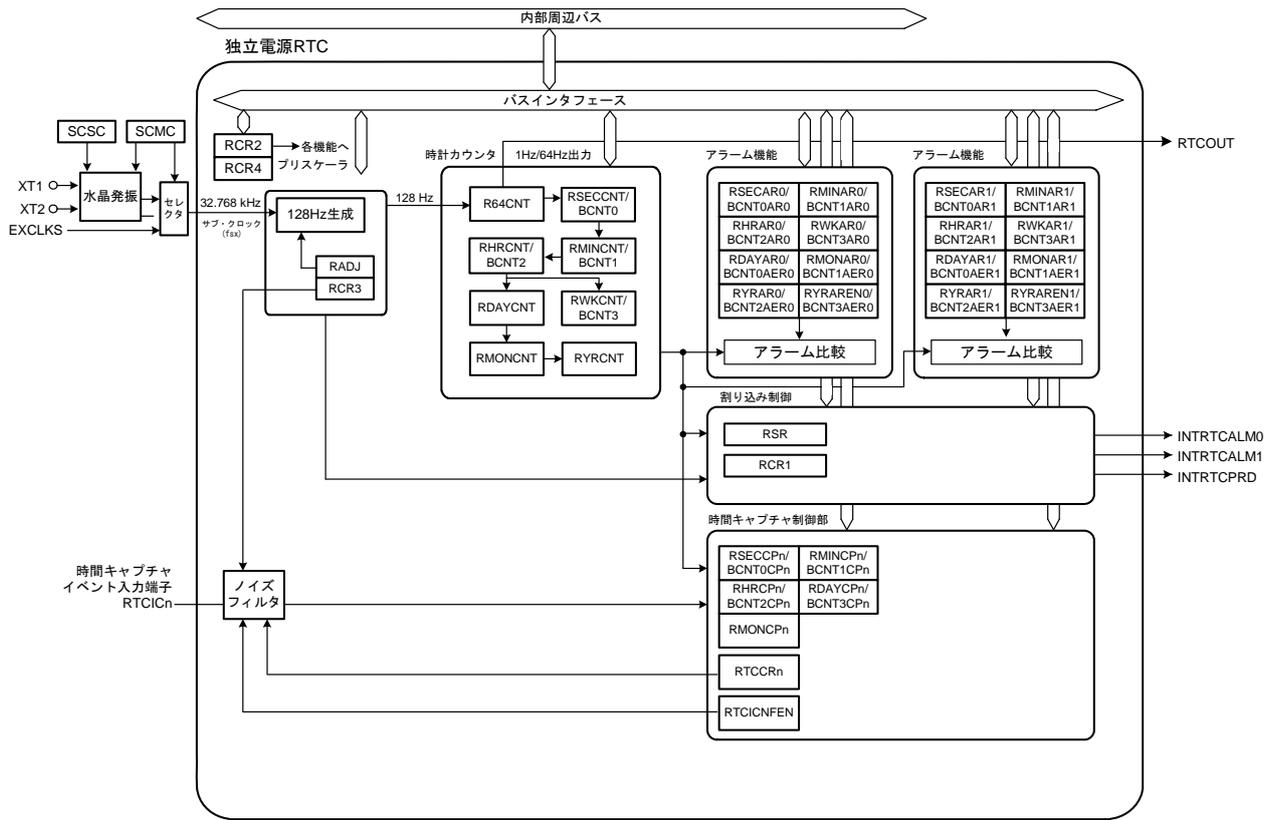
表9-1にRTCの仕様を、**図9-1**にRTCのブロック図を、**表9-2**にRTCの入出力端子を示します。

表9-1 RTCの仕様

項目	内容
カウントモード	カレンダーカウントモード／バイナリカウントモード
カウントソース	サブ・クロック(f_{sx}) ^注
時計／カレンダー機能	<ul style="list-style-type: none"> ● カレンダーカウントモード 年, 月, 日, 曜日, 時, 分, 秒をカウント, BCD表示 12時間/24時間モード切り替え機能 30秒調整機能 (30秒未満は0秒に切り捨て, 30秒以降は1分に桁上げ) 0.5秒調整機能 (0.5秒未満は0秒に切り捨て, 0.5秒以降は1秒に桁上げ) うるう年自動補正機能 ● バイナリカウントモード 秒を32ビットでカウント, バイナリ表示 ● 両モード共通 スタート／ストップ機能 秒以下の桁のバイナリ表示 (1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz, 32 Hz, 64 Hz) 時計誤差補正機能 クロック (1 Hz/64 Hz) 出力
割り込み	<ul style="list-style-type: none"> ● アラーム割り込み (ALM) <ul style="list-style-type: none"> - アラーム割り込み条件として, 以下のいずれと比較するか選択可能 カレンダーカウントモード: 年, 月, 日, 曜日, 時, 分, 秒 バイナリカウントモード: 32ビットバイナリカウンタの各ビット - 2つのアラーム時刻を設定可能 ● 周期割り込み (PRD) 割り込み周期として, 2秒, 1秒, 1/2秒, 1/4秒, 1/8秒, 1/16秒, 1/32秒, 1/64秒, 1/128秒, 1/256秒周期から選択可能 ● アラーム割り込み, 周期割り込みによる, スタンバイモードからの復帰が可能
時間キャプチャ機能	<ul style="list-style-type: none"> ● 時間キャプチャイベント入力端子のエッジ検出によって, 時間のキャプチャが可能 イベント入力ごとに, 月, 日, 時, 分, 秒をキャプチャ, または32ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	周期イベント出力

注 XT1発振回路は, VRTC電源で動作します。VRTC端子に電源を投入後, RTCパワーオン・リセット解除後に動作可能となります。VRTC電源供給が停止した場合, RTCパワーオン・リセットが発生し, XT1発振回路は動作を停止します。

図9-1 RTCのブロック図



- | | | | |
|-------------------|-----------------------------|---------------------|-----------------------------------|
| R64CNT: | 64Hzカウンタ | RSECAR0/BCNT0AR0: | 秒アラームレジスタ0/バイナリカウント0アラームレジスタ0 |
| RSECCNT/BCNT0: | 秒カウンタ/バイナリカウンタ0 | RMINAR0/BCNT1AR0: | 分アラームレジスタ0/バイナリカウント1アラームレジスタ0 |
| RMINCNT/BCNT1: | 分カウンタ/バイナリカウンタ1 | RHRAR0/BCNT2AR0: | 時アラームレジスタ0/バイナリカウント2アラームレジスタ0 |
| RHRCNT/BCNT2: | 時カウンタ/バイナリカウンタ2 | RWKAR0/BCNT3AR0: | 曜日アラームレジスタ0/バイナリカウント3アラームレジスタ0 |
| RWKCNT/BCNT3: | 曜日カウンタ/バイナリカウンタ3 | RDAYAR0/BCNT0AER0: | 日アラームレジスタ0/バイナリカウント0アラーム許可レジスタ0 |
| RDAYCNT: | 日カウンタ | RMONAR0/BCNT1AER0: | 月アラームレジスタ0/バイナリカウント1アラーム許可レジスタ0 |
| RMONCNT: | 月カウンタ | RYRAR0/BCNT2AER0: | 年アラームレジスタ0/バイナリカウント2アラーム許可レジスタ0 |
| RYRCNT: | 年カウンタ | RYRAREN0/BCNT3AER0: | 年アラーム許可レジスタ0/バイナリカウント3アラーム許可レジスタ0 |
| RSR: | ステータスレジスタ | RSECAR1/BCNT0AR1: | 秒アラームレジスタ1/バイナリカウント0アラームレジスタ1 |
| RCR1: | RTCコントロールレジスタ1 | RMINAR1/BCNT1AR1: | 分アラームレジスタ1/バイナリカウント1アラームレジスタ1 |
| RCR2: | RTCコントロールレジスタ2 | RHRAR1/BCNT2AR1: | 時アラームレジスタ1/バイナリカウント2アラームレジスタ1 |
| RCR3: | RTCコントロールレジスタ3 | RWKAR1/BCNT3AR1: | 曜日アラームレジスタ1/バイナリカウント3アラームレジスタ1 |
| RCR4: | RTCコントロールレジスタ4 | RDAYAR1/BCNT0AER1: | 日アラームレジスタ1/バイナリカウント0アラーム許可レジスタ1 |
| RADJ: | 時間誤差補正レジスタ | RMONAR1/BCNT1AER1: | 月アラームレジスタ1/バイナリカウント1アラーム許可レジスタ1 |
| RTCCRn: | 時間キャプチャ制御レジスタn | RYRAR1/BCNT2AER1: | 年アラームレジスタ1/バイナリカウント2アラーム許可レジスタ1 |
| RSECCPn/BCNT0CPn: | 秒キャプチャレジスタn/BCNT0キャプチャレジスタn | RYRAREN1/BCNT3AER1: | 年アラーム許可レジスタ1/バイナリカウント3アラーム許可レジスタ1 |
| RMINCPn/BCNT1CPn: | 分キャプチャレジスタn/BCNT1キャプチャレジスタn | | |
| RHRCPn/BCNT2CPn: | 時キャプチャレジスタn/BCNT2キャプチャレジスタn | | |
| RDAYCPn/BCNT3CPn: | 日キャプチャレジスタn/BCNT3キャプチャレジスタn | | |
| RMONCPn: | 月キャプチャレジスタn | | |

備考 n = 0~2

表9-2 RTCの入出力端子

端子名	入出力	機能
XT1	入力	32.768 kHzの水晶振動子を接続します。
XT2	入力	
EXCLKS	入力	32.768 kHzの外部クロック入力を接続します。
RTCOUT	出力	1 Hz/64 Hzの波形を出力します。
RTCIC0	入力	時間キャプチャイベント入力端子です
RTCIC1	入力	
RTCIC2	入力	

9.2 独立電源RTCを制御するレジスタ

RTCのレジスタの書き込み/読み出しは、9.6.4 レジスタの書き込み/読み出し時の注意事項に従って行う必要があります。

RTCのレジスタで、リセット時の値が不定の場合は、リセットでは初期化されません。また、カウント動作時(RCR2.STARTビット="1"のとき)にリセット状態へ遷移した場合、年/月/曜日/日/時/分/秒/64 Hzカウンタは動作を継続します。レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。

独立電源RTCを制御するレジスタで、レジスタの電源ドメイン、リセット発生時の初期値、VRTCENの設定によるレジスタのリード/ライト可否を表9-3に示します。

表9-3 RTC関連レジスタ一覧 (1/2)

特殊機能レジスタ (SFR) 名称	ビット 名称	電源 ドメイン	RTC パワーオン ・リセット	MCUリセット時		RTC ソフト ウェア リセット	VRTCENの設定による R/W可否	
				パワーオン ・リセット	RTCPOR 以外 ^{注1}		VRTCEN=0	VRTCEN=1
PER2	VRTCEN	V _{DD}	—	0	0	—	R/W可	R/W可 ^{注4}
R64CNT	—	VRTC	不定	—	—	00H	R不可	R可
RSECCNT/BCNT0	—	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注5, 7}
RMINCNT/BCNT1	—	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注5, 7}
RHRCNT/BCNT2	—	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注5, 7}
RWKCNT/BCNT3	—	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注5, 7}
RDAYCNT	—	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注5, 7}
RMONCNT	—	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注5, 7}
RYRCNT	—	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注5, 7}
RSECARm/BCNT0ARm (m = 0, 1)	—	VRTC	不定	—	—	00H	R/W不可	R/W可 ^{注5}
RMINARm/BCNT1ARm (m = 0, 1)	—	VRTC	不定	—	—	00H	R/W不可	R/W可 ^{注5}
RHRARm/BCNT2ARm (m = 0, 1)	—	VRTC	不定	—	—	00H	R/W不可	R/W可 ^{注5}
RWKARm/BCNT3ARm (m = 0, 1)	—	VRTC	不定	—	—	00H	R/W不可	R/W可 ^{注5}
RDAYARm/BCNT0AERm (m = 0, 1)	—	VRTC	不定	—	—	00H	R/W不可	R/W可 ^{注5}
RMONARm/BCNT1AERm (m = 0, 1)	—	VRTC	不定	—	—	00H	R/W不可	R/W可 ^{注5}
RYRARm/BCNT2AERm (m = 0, 1)	—	VRTC	不定	—	—	0000H	R/W不可	R/W可 ^{注5}
RYRARENm/BCNT3AERm (m = 0, 1)	—	VRTC	不定	—	—	00H	R/W不可	R/W可 ^{注5}
RCR1	AIE	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注3, 6, 8}
	PIE	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注3, 6, 8}
	RTCOS	V _{DD}	—	0	—	—	R/W不可	R/W可 ^{注4, 7}
	PES	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注6, 8}

表9-3 RTC関連レジスタ一覧 (2/2)

特殊機能レジスタ (SFR) 名称	ビット 名称	電源 ドメイン	RTC パワーオン ・リセット	MCUリセット時		RTC ソフト ウェア リセット	VRTCENの設定による R/W可否	
				パワーオン ・リセット	RTCPOR 以外 ^{注1}		VRTCEN=0	VRTCEN=1
RCR2	START	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注3, 6, 8}
	RESET	V _{DD}	—	0	—	—	R/W不可	R/W可 ^{注4, 6, 8}
	ADJ30	V _{DD}	—	0	—	0	R/W不可	R/W可 ^{注4, 6, 8}
	RTCOE	V _{DD}	—	0	—	—	R/W不可	R/W可 ^{注4, 7}
	AADJE	VRTC	不定	—	—	0	R/W不可	R/W可 ^{注5}
	AADJP	VRTC	不定	—	—	0	R/W不可	R/W可 ^{注5}
	HR24	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注5, 7}
	CNTMD	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注6, 8}
RCR3	RTCICEN	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注5}
RCR4	ADJ500M	VRTC	不定	—	—	—	R/W不可	R/W可 ^{注5}
RADJ	—	VRTC	不定	—	—	00H	R/W不可	R/W可 ^{注6, 8}
RTCCR _y (y = 0-2)	—	VRTC	不定	—	—	00H	R/W不可	R/W可 ^{注6, 8}
RSECCPy/BCNT0CPy (y = 0-2)	—	VRTC	不定	—	—	00H	R不可	R可
RMINCPy/BCNT1CPy (y = 0-2)	—	VRTC	不定	—	—	00H	R不可	R可
RHRCPy/BCNT2CPy (y = 0-2)	—	VRTC	不定	—	—	00H	R不可	R可
RDAYCPy/BCNT3CPy (y = 0-2)	—	VRTC	不定	—	—	00H	R不可	R可
RMONCPy (y = 0-2)	—	VRTC	不定	—	—	00H	R不可	R可
RSR	CF	V _{DD}	—	0 ^{注2}	—	0	R/W不可	R/W可 ^{注4}
SCMC	—	VRTC	00H	—	—	—	R/W不可	R/W可 ^{注4}
SCSC	—	VRTC	40H	—	—	—	R/W不可	R/W可 ^{注4}
RTCPORSR	—	VRTC	00H	—	—	—	R/W不可	R/W可 ^{注4}
RTCICNFEN	—	VRTC	00H	—	—	—	R/W不可	R/W可 ^{注4}

注1. リセット要因は、第30章 リセット機能の(1)～(8)を参照してください。

- リセット解除後、読み出し値が不定になる場合があります。
- VRTCENを0から1に設定後、CPUクロック (f_{CLK}) で2サイクル待つてから読み出しを行ってください。
- 書き込み後すぐに書いた値を読み出すことができます。
- 書き込み後の読み出しは、CPUクロック (f_{CLK}) で4サイクル目から読み出しが可能です。
- カウントソースに同期して更新されるので、レジスタを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。
- カウント動作時 (RCR2.STARTビット = 1のとき) は、書き込みを行わないでください。書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。
- リセット発生後、RTCレジスタへの書き込みは、カウントソースクロック6サイクル経過後に行ってください。VRTCが遮断状態のとき、RTC関連レジスタを設定するのは禁止です。

9.2.1 周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは、各周辺ハードウェア・マクロへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。独立電源RTCのレジスタを操作するときは、必ずビット0 (VRTCEN) を“1”に設定してください。PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	3	[2]	1	[0]
PER2	TMKAEN	OSDCEN	UARTMG1EN	UARTMG0EN	0	MACEN	0	VRTCEN

VRTCEN	独立電源RTCの入カクロック供給の制御
0	入カクロック供給停止 ・独立電源RTCで使用するSFRへのライト不可、リードした場合は00Hが読めます。独立電源RTCはサブ・クロック (fsx) により動作可能。
1	入カクロック供給 ・独立電源RTCで使用するSFRへのリード／ライト可

- 注意1.** V_{DD}端子の電源電圧が1.8 V未満に低下した場合にVRTC端子でリーク電流が発生する可能性があります。その為、独立電源RTCのSFRにリード／ライトする時以外はVRTCEN = 0に設定してください。
- 2.** VRTC端子に電源が供給されていない時にはVRTCEN = 0に設定してください。
- 3.** 次のビットには必ず“0”を設定してください。
ビット1, 3

9.2.2 64 Hzカウンタ (R64CNT)

R64CNTカウンタは、カレンダーカウントモード／バイナリカウントモード共通で使用します。

R64CNTカウンタは、128 Hzクロックでアップカウントするカウンタで、秒周期を生成します。

R64CNTカウンタを読み出すことで、秒以下の状態が確認できます。

RTCソフトウェアリセット、30秒調整または0.5秒調整を実行すると“00h”になります。

読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9-3 64 Hzカウンタ (R64CNT) のフォーマット

アドレス : F0581H リセット時 : 不定 R

略号	7	6	5	4	3	2	1	0
R64CNT	0	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
F1HZ	1 Hzビット							
秒以下の桁の1 Hzの状態を示します。								
F2HZ	2 Hzビット							
秒以下の桁の2 Hzの状態を示します。								
F4HZ	4 Hzビット							
秒以下の桁の4 Hzの状態を示します。								
F8HZ	8 Hzビット							
秒以下の桁の8 Hzの状態を示します。								
F16HZ	16 Hzビット							
秒以下の桁の16 Hzの状態を示します。								
F32HZ	32 Hzビット							
秒以下の桁の32 Hzの状態を示します。								
F64HZ	64 Hzビット							
秒以下の桁の64 Hzの状態を示します。								

9.2.3 秒カウンタ (RSECCNT) / バイナリカウンタ0 (BCNT0)

(1) カレンダカウントモード時

RSECCNTカウンタは、BCDコード化された秒部分の設定・カウント用のカウンタであり、64 Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”~“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9-4 秒カウンタ (RSECCNT) のフォーマット



(2) バイナリカウントモード時

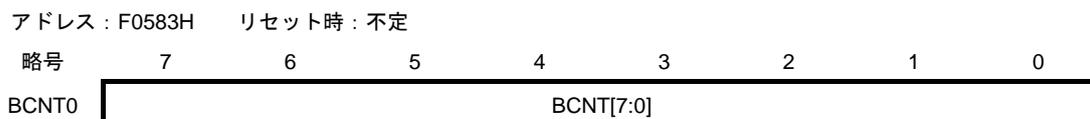
BCNT0カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb7~b0です。

32ビットバイナリカウンタは、64 Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。

書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9-5 バイナリカウンタ0 (BCNT0) のフォーマット



9.2.4 分カウンタ (RMINCNT) / バイナリカウンタ1 (BCNT1)

(1) カレンダカウントモード時

RMINCNTカウンタは、BCDコード化された分部分の設定、カウント用のカウンタであり、秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”~“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9-6 分カウンタ (RMINCNT) のフォーマット



(2) バイナリカウントモード時

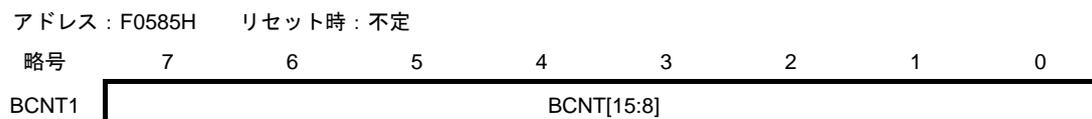
BCNT1カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb15~b8です。

32ビットバイナリカウンタは、64 Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。

書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9-7 バイナリカウンタ1 (BCNT1) のフォーマット



9.2.5 時カウンタ (RHRCNT) / バイナリカウンタ2 (BCNT2)

(1) カレンダーカウントモード時

RHRCNTカウンタは、BCDコード化された時部分の設定・カウント用のカウンタであり、分カウンタの1時間ごとの桁上げによってカウント動作を行います。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24ビットが“0”：10進 (BCD) で“00”～“11”

RCR2.HR24ビットが“1”：10進 (BCD) で“00”～“23”

上記以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RHRCNTカウンタを読み出す場合は、RCR2.HR24 ビットが“0”の場合のみPMビットが有効になります。

RCR2.HR24ビットが“1”の場合は、PMビットの値を無視してください。

読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9-8 時カウンタ (RHRCNT) のフォーマット

アドレス : F0587H	リセット時 : 不定	R/W						
略号	7	6	5	4	3	2	1	0
RHRCNT	0	PM	HR10		HR1			
	PM	PMビット						
	0	午前						
	1	午後						
時カウンタのAM/PMの設定を行います。								
	HR10	10時間カウントビット						
十時間の位は一時間の位の桁上げごとに0から2をカウントします。								
	HR1	1時間カウントビット						
一時間の位は1時間ごとに0から9をカウントします。桁上げが発生すると、十時間の位が+1されます。								

(2) バイナリカウントモード時

BCNT2カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb23～b16です。

32ビットバイナリカウンタは、64 Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。

書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9-9 バイナリカウンタ2 (BCNT2) のフォーマット

アドレス : F0587H	リセット時 : 不定							
略号	7	6	5	4	3	2	1	0
BCNT2	BCNT[23:16]							

9.2.6 曜日カウンタ (RWKCNT) / バイナリカウンタ3 (BCNT3)

(1) カレンダカウントモード時

RWKCNTカウンタはコード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。設定可能範囲は、10進で“0”~“6”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9-10 曜日カウンタ (RWKCNT) のフォーマット

アドレス : F0589H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RWKCNT	0	0	0	0	0	DAYW		

DAYW	曜日カウントビット
000	日曜日
001	月曜日
010	火曜日
011	水曜日
100	木曜日
101	金曜日
110	土曜日
111	設定禁止

(2) バイナリカウントモード時

BCNT3カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb31~b24です。32ビットバイナリカウンタは、64 Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9-11 バイナリカウンタ3 (BCNT3) のフォーマット

アドレス : F0589H リセット時 : 不定

略号	7	6	5	4	3	2	1	0
BCNT3	BCNT[31:24]							

9.2.7 日カウンタ (RDAYCNT)

RDAYCNTカウンタは、カレンダーカウントモード時に使用します。

RDAYCNTカウンタは、BCDコード化された日部分の設定・カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。また、うるう年、月に対応したカウント動作を行います。

うるう年は年カウンタ (RYRCNT) の“00”を2000年とみなして2000年から2099年を、400, 100, 4で割り切れるかどうかによって計算されます。

設定可能範囲は、10進 (BCD) で“01”~“31”です。それ以外の値が設定されると、正常に動作しません (月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください)。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、9.3.6 64 Hzカウンタおよび時刻読み出し手順に従ってください。

図9-12 日カウンタ (RDAYCNT) のフォーマット

アドレス : F058BH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RDAYCNT	0	0	DATE10		DATE1			
DATE10	10日カウントビット							
十日の位は一日の位の桁上げごとに0~3をカウントします。								
DATE1	1日カウントビット							
一日の位は1日ごとに0~9をカウントします。桁上げが発生すると十日の位が+1されます。								

9.2.8 月カウンタ (RMONCNT)

RMONCNTカウンタは、カレンダーカウントモード時に使用します。

RMONCNTカウンタは、BCDコード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“01”~“12”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

図9-13 月カウンタ (RMONCNT) のフォーマット

アドレス : F058DH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RMONCNT	0	0	0	MON10	MON1			
MON10		10月カウントビット						
十月の位は一月の位の桁上げごとに0~1をカウントします。								
MON1		1月カウントビット						
一月の位は1月ごとに0~9をカウントします。桁上げが発生すると十月の位が+1されます。								

9.2.9 年カウンタ (RYRCNT)

RYRCNTカウンタは、カレンダーカウントモード時に使用します。

RYRCNTカウンタは、BCDコード化された年部分の設定・カウント用のカウンタであり、月カウンタの1年ごとの桁上げによって、カウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”~“99”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、**9.3.6 64 Hzカウンタおよび時刻読み出し手順**に従ってください。

RYRCNTレジスタは、16ビット・メモリ操作命令でのみ設定可能です。

図9-14 年カウンタ (RYRCNT) のフォーマット



9.2.10 秒アラームレジスタm (RSECARm) / バイナリカウンタ0アラームレジスタm (BCNT0ARm) (m = 0, 1)

(1) カレンダーカウントモード時

RSECARmレジスタは、BCDコード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENBビットが“1”であれば、RSECARmレジスタの値とRSECCNTカウンタの値との比較を行います。アラームレジスタ (RSECARm, RMINARm, RHRARm, RWKARm, RDAYARm, RMONARm, RYRARENm) のうち、ENBビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 (m = 0使用時), RTCAIF1 (m = 1使用時) が“1”になります。

設定可能範囲は、10進 (BCD) で“00”~“59”であり、それ以外の値が設定されると、正常に動作しません。RTCソフトウェアリセットを実行すると00hになります。

図9-15 秒アラームレジスタm (RSECARm) のフォーマット

アドレス : F0591H (RSECAR0), F05B1H (RSECAR1) リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RSECARm	ENB		SEC10			SEC1		
	ENB		ENBビット					
	0		RSECCNTカウンタの値と比較を行わない。					
	1		RSECCNTカウンタの値と比較を行う。					
	SEC10		10秒ビット					
	十秒の位の設定値							
	SEC1		1秒ビット					
	一秒の位の設定値							

(2) バイナリカウントモード時

BCNT0ARmカウンタは、32ビットバイナリカウンタのb7~b0に対応する書き込み/読み出し可能なアラームレジスタです。

RTCソフトウェアリセットを実行すると00hになります。

図9-16 バイナリカウンタ0アラームレジスタm (BCNT0ARm) のフォーマット

アドレス : F0591H (BCNT0AR0), F05B1H (BCNT0AR1) リセット時 : 不定

略号	7	6	5	4	3	2	1	0
BCNT0ARm	BCNTAR[7:0]							

9.2.11 分アラームレジスタm (RMINARm) / バイナリカウンタ1アラームレジスタm (BCNT1ARm)

(1) カレンダーカウントモード時

RMINARmレジスタは、BCDコード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENBビットが“1”であれば、RMINARmレジスタの値とRMINCNTカウンタの値との比較を行います。アラームレジスタ (RSECARm, RMINARm, RHRARm, RWKARm, RDAYARm, RMONARm, RYRARENm) のうち、ENBビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 (m = 0使用時), RTCAIF1 (m = 1使用時) が “1” になります。

設定可能範囲は、10進 (BCD) で“00”~“59”であり、それ以外の値が設定されると、正常に動作しません。RTCソフトウェアリセットを実行すると00hになります。

図9-17 分アラームレジスタm (RMINARm) のフォーマット

アドレス : F0593H (RMINAR0), F05B3H (RMINAR1) リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RMINARm	ENB		MIN10			MIN1		
	ENB		ENBビット					
	0		RMINCNTカウンタの値と比較を行わない。					
	1		RMINCNTカウンタの値と比較を行う。					
	MIN10		10分ビット					
	十分の位の設定値							
	MIN1		1分ビット					
	一分の位の設定値							

(2) バイナリカウントモード時

BCNT1ARmカウンタは、32ビットバイナリカウンタのb15~b8に対応する書き込み/読み出し可能なアラームレジスタです。

RTCソフトウェアリセットを実行すると00hになります。

図9-18 バイナリカウンタ1アラームレジスタm (BCNT1ARm) のフォーマット

アドレス : F0593H (BCNT1AR0), F05B3H (BCNT1AR1) リセット時 : 不定

略号	7	6	5	4	3	2	1	0
BCNT1ARm	BCNTAR[15:8]							

9. 2. 12 時アラームレジスタm (RHRARm) / バイナリカウンタ2アラームレジスタm (BCNT2ARm) (m = 0, 1)

(1) カレンダーカウントモード時

RHRARmレジスタは、BCDコード化された時カウンタ (RHCNT) に対応するアラームレジスタです。ENBビットが“1”であれば、RHRARmレジスタの値とRHCNTカウンタの値との比較を行います。アラームレジスタ (RSECARm, RMINARm, RHRARm, RWKARm, RDAYARm, RMONARm, RYRARENm) のうち、ENBビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 (m = 0使用時), RTCAIF1 (m = 1使用時) が“1”になります。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24ビットが“0” : 10進 (BCD) で“00”~“11”

RCR2.HR24ビットが“1” : 10進 (BCD) で“00”~“23”

上記以外の値が設定されると、正常に動作しません。

RCR2.HR24ビットが“0”の場合は、PMビットの設定も行ってください。

RCR2.HR24ビットが“1”の場合は、PMビットの値は無効となります。

RTCソフトウェアリセットを実行すると00hになります。

図9-19 時アラームレジスタm (RHRARm) のフォーマット

アドレス : F0595H (RHRAR0), F05B5H (RHRAR1) リセット時 : 不定 R/W

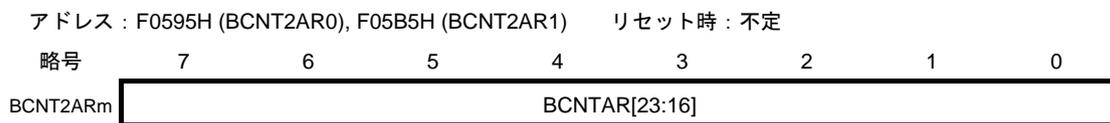
略号	7	6	5	4	3	2	1	0
RHRARm	ENB	PM	HR10		HR1			
	ENB	ENBビット						
	0	RHCNTカウンタの値と比較を行わない。						
	1	RHCNTカウンタの値と比較を行う。						
	PM	PMビット						
	0	午前						
	1	午後						
	時アラームのAM/PMの設定を行います。							
	HR10	10時間ビット						
	十時間の位の設定値							
	HR1	1時間ビット						
	一時間の位の設定値							

(2) バイナリカウントモード時

BCNT2ARmカウンタは、32ビットバイナリカウンタのb23~b16に対応する書き込み/読み出し可能なアラームレジスタです。

RTCソフトウェアリセットを実行すると00hになります。

図9-20 バイナリカウンタ2アラームレジスタm (BCNT2ARm) のフォーマット



9.2.13 曜日アラームレジスタm (RWKARm) / バイナリカウンタ3アラームレジスタm (BCNT3ARm) (m = 0, 1)

(1) カレンダーカウントモード時

RWKARmレジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENBビットが“1”であれば、RWKARmレジスタの値とRWKCNTカウンタの値との比較を行います。アラームレジスタ (RSECARm, RMINARm, RHRARm, RWKARm, RDAYARm, RMONARm, RYRARENm) のうち、ENBビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 (m = 0使用時), RTCAIF1 (m = 1使用時) が “1” になります。

設定可能範囲は、10進で“0”~“6”であり、それ以外の値が設定されると、正常に動作しません。

RTCソフトウェアリセットを実行すると00hになります。

図9-21 曜日アラームレジスタm (RWKARm) のフォーマット

アドレス : F0597H (RWKAR0), F05B7H (RWKAR1) リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RWKARm	ENB	0	0	0	0	DAYW		

ENB	ENBビット
0	RWKCNTカウンタの値と比較を行わない。
1	RWKCNTカウンタの値と比較を行う。

DAYW	曜日の設定値ビット
000	日曜日
001	月曜日
010	火曜日
011	水曜日
100	木曜日
101	金曜日
110	土曜日
“111”は設定しないでください。	

(2) バイナリカウントモード時

BCNT3ARmカウンタは、32ビットバイナリカウンタのb31~b24に対応する書き込み/読み出し可能なアラームレジスタです。

RTCソフトウェアリセットを実行すると00hになります。

図9-22 バイナリカウンタ3アラームレジスタm (BCNT3ARm) のフォーマット

アドレス : F0597H (BCNT3AR0), F05B7H (BCNT3AR1) リセット時 : 不定

略号	7	6	5	4	3	2	1	0
BCNT3ARm	BCNTAR[31:24]							

9.2.14 日アラームレジスタ m (RDAYAR m) / バイナリカウンタ0アラーム許可レジスタ m (BCNT0AER m) ($m = 0, 1$)

(1) カレンダーカウントモード時

RDAYAR m レジスタは、BCDコード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENBビットが“1”であれば、RDAYAR m レジスタの値とRDAYCNTカウンタの値との比較を行います。アラームレジスタ (RSECAR m , RMINAR m , RHRAR m , RWKAR m , RDAYAR m , RMONAR m , RYRAREN m) のうち、ENBビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 ($m = 0$ 使用時), RTCAIF1 ($m = 1$ 使用時) が“1”になります。

設定可能範囲は、10進 (BCD) で“01”~“31”であり、それ以外の値が設定されると、正常に動作しません。RTCソフトウェアリセットを実行すると00hになります。

図9-23 日アラームレジスタ m (RDAYAR m) のフォーマット

アドレス : F0599H (RDAYAR0), F05B9H (RDAYAR1) リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RDAYAR m	ENB	0	DATE10		DATE1			
	ENB	ENBビット						
	0	RDAYCNTカウンタの値と比較を行わない。						
	1	RDAYCNTカウンタの値と比較を行う。						
	DATE10	10日ビット						
	十日の位の設定値							
	DATE1	1日ビット						
	一日の位の設定値							

(2) バイナリカウントモード時

BCNT0AER m レジスタは、32ビットバイナリカウンタのb7~b0に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0]ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 ($m = 0$ 使用時), RTCAIF1 ($m = 1$ 使用時) が“1”になります。

RTCソフトウェアリセットを実行すると00hになります。

図9-24 バイナリカウンタ0アラーム許可レジスタ m (BCNT0AER m) のフォーマット

アドレス : F0599H (BCNT0AER0), F05B9H (BCNT0AER1) リセット時 : 不定

略号	7	6	5	4	3	2	1	0
BCNT0AER m	ENB[7:0]							

9.2.15 月アラームレジスタm (RMONARm) / バイナリカウンタ1アラーム許可レジスタm (BCNT1AERm) (m = 0, 1)

(1) カレンダーカウントモード時

RMONARmレジスタは、BCDコード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENBビットが“1”であれば、RMONARmレジスタの値とRMONCNTカウンタの値との比較を行います。アラームレジスタ (RSECARm, RMINARm, RHRARm, RWKARm, RDAYARm, RMONARm, RYRARENm) のうち、ENBビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 (m = 0使用時), RTCAIF1 (m = 1使用時) が“1”になります。

設定可能範囲は、10進 (BCD) で“01”~“12”であり、それ以外の値が設定されると、正常に動作しません。RTCソフトウェアリセットを実行すると00hになります。

図9-25 月アラームレジスタm (RMONARm) のフォーマット

アドレス : F059BH (RMONAR0), F05BBH (RMONAR1) リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RMONARm	ENB	0	0	MON10	MON1			
	ENB	ENBビット						
	0	RMONCNTカウンタの値と比較を行わない。						
	1	RMONCNTカウンタの値と比較を行う。						
	MON10	10月ビット						
	十月の位の設定値							
	MON1	1月ビット						
	一月の位の設定値							

(2) バイナリカウントモード時

BCNT1AERmレジスタは、32ビットバイナリカウンタのb15~b8に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0]ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 (m = 0使用時), RTCAIF1 (m = 1使用時) が“1”になります。

RTCソフトウェアリセットを実行すると00hになります。

図9-26 バイナリカウンタ1アラーム許可レジスタm (BCNT1AERm) のフォーマット

アドレス : F059BH (BCNT1AER0), F05BBH (BCNT1AER1) リセット時 : 不定

略号	7	6	5	4	3	2	1	0
BCNT1AERm	ENB[15:8]							

9.2.16 年アラームレジスタm (RYRARm) / バイナリカウンタ2アラーム許可レジスタm (BCNT2AERm) (m = 0, 1)

(1) カレンダーカウントモード時

RYRARmレジスタは、BCDコード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。設定可能範囲は、10進 (BCD) で“00”~“99”であり、それ以外の値が設定されると、正常に動作しません。RTCソフトウェアリセットを実行すると0000hになります。RYRARmレジスタは、16ビット・メモリ操作命令でのみ設定可能です。

図9-27 年アラームレジスタm (RYRARm) のフォーマット

アドレス : F059CH (RYRAR0), F05BCH (RYRAR1)	リセット時 : 不定	R/W														
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RYRARm	0	0	0	0	0	0	0	0	YR10				YR1			
	YR10		10年ビット													
	十年の位の設定値															
	YR1		1年ビット													
	一年の位の設定値															

(2) バイナリカウントモード時

BCNT2AERmレジスタは、32ビットバイナリカウンタのb23~b16に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0]ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 (m = 0使用時) , RTCAIF1 (m = 1使用時) が“1”になります。

RTCソフトウェアリセットを実行すると0000hになります。

BCNT2AERmレジスタは、16ビット・メモリ操作命令でのみ設定可能です。

図9-28 バイナリカウンタ2アラーム許可レジスタm (BCNT2AERm) のフォーマット

アドレス : F059CH (BCNT2AER0), F05BCH (BCNT2AER1)	リセット時 : 不定															
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCNT2AERm	0	0	0	0	0	0	0	0	ENB[23:16]							

9.2.17 年アラーム許可レジスタm (RYRARENm) / バイナリカウンタ3アラーム許可レジスタm (BCNT3AERm) (m = 0, 1)

(1) カレンダーカウントモード時

RYRARENmレジスタは、ENBビットが“1”であれば、RYRARレジスタの値とRYRCNTカウンタの値との比較を行います。アラームレジスタ (RSECARm, RMINARm, RHRARm, RWKARm, RDAYARm, RMONARm, RYRARENm) のうち、ENBビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 (m = 0使用時), RTCAIF1 (m = 1使用時) が“1”になります。

RTCソフトウェアリセットを実行すると00hになります。

図9-29 年アラーム許可レジスタm (RYRARENm) のフォーマット

アドレス : F059FH (RYRAREN0), F05BFH (RYRAREN1) リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RYRARENm	ENB	0	0	0	0	0	0	0

ENB	ENBビット
0	RYRCNTカウンタの値と比較を行わない。
1	RYRCNTカウンタの値と比較を行う。

(2) バイナリカウントモード時

BCNT3AERmレジスタは、32ビットバイナリカウンタのb31~b24に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0]ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、それぞれがすべて一致するとき、割り込み要求フラグRTCAIF0 (m = 0使用時), RTCAIF1 (m = 1使用時) が“1”になります。

RTCソフトウェアリセットを実行すると00hになります。

図9-30 バイナリカウンタ3アラーム許可レジスタm (BCNT3AERm) のフォーマット

アドレス : F059FH (BCNT3AER0), F05BFH (BCNT3AER1) リセット時 : 不定

略号	7	6	5	4	3	2	1	0
BCNT3AERm	ENB[31:24]							

9.2.18 RTCコントロールレジスタ1 (RCR1)

RCR1レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

AIE, PIE, PESビットは、カウントソースに同期して更新されるので、RCR1レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

図9-31 RTCコントロールレジスタ1 (RCR1) のフォーマット

アドレス : F05A3H リセット時 : 不定[※] R/W

略号	7	6	5	4	3	2	1	0
RCR1	PES			RTCOS	PIE	0	AIE	

PES	周期割り込みの選択
0110	周期割り込み発生の周期は1/256秒ごと
0111	周期割り込み発生の周期は1/128秒ごと
1000	周期割り込み発生の周期は1/64秒ごと
1001	周期割り込み発生の周期は1/32秒ごと
1010	周期割り込み発生の周期は1/16秒ごと
1011	周期割り込み発生の周期は1/8秒ごと
1100	周期割り込み発生の周期は1/4秒ごと
1101	周期割り込み発生の周期は1/2秒ごと
1110	周期割り込み発生の周期は1秒ごと
1111	周期割り込み発生の周期は2秒ごと
上記以外	周期割り込みを発生しない

周期割り込みの周期を設定します。PESビットで設定した周期に応じて周期割り込みを要求します。

RTCOS	RTCCOUT出力の選択
0	RTCCOUTは1 Hzを出力。
1	RTCCOUTは64 Hzを出力。

RTCCOUTの出力周期を選択するビットです。カウント動作停止中 (RCR2.STARTビット="0") かつ RTCCOUT出力禁止 (RCR2.RTCOEビット="0") のときに書き換えてください。RTCCOUTを外部端子に出力する場合は、RCR2.RTCOEビットを有効にしてください。I/Oポートの制御については、第4章 ポート機能を参照してください。

PIE	周期割り込みの制御
0	周期割り込み要求を禁止。
1	周期割り込み要求を許可。

周期割り込み要求の許可または禁止を選択します。

AIE	アラーム割り込みの制御
0	アラーム割り込み要求を禁止。
1	アラーム割り込み要求を許可。

アラーム割り込み要求の許可または禁止を選択します。

注 パワーオン・リセット信号の発生により、RTCOSビットは0になります。

注意 ビット1には必ず"0"を設定してください。

また、本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。

9.2.19 RTCコントロールレジスタ2 (RCR2)

(1) カレンダカウントモード時

RCR2レジスタは、時間モード、自動補正機能、RTCOE出力許可、30秒調整、RTCソフトウェアリセット、カウント制御に関するレジスタです。

図9-32 RTCコントロールレジスタ2 (RCR2) のフォーマット (カレンダカウントモード時) (1/2)

アドレス : F05A5H リセット時 : 不定[※] R/W

略号	7	6	5	4	3	2	1	0
RCR2	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START

CNTMD	カウントモードの選択
0	カレンダカウントモード
1	バイナリカウントモード

RTCのカウントモードを、カレンダカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定するビットです。
 カウントモード設定時は、RTCソフトウェアリセットを実行し、初期設定からやり直してください。
 本ビットは、カウントソースに同期して更新され、RTCソフトウェアリセット完了までに値が確定します。
 初期設定の詳細は、**9.3.1 電源投入後のレジスタの初期設定概要**を参照してください。

HR24	時間モードの選択
0	RTCは12時間モードで動作。
1	RTCは24時間モードで動作。

RTCの時間モードを12時間モードで動作させるか、24時間モードで動作させるかを指定するビットです。
 HR24ビットの書き換えは、STARTビットでカウント動作を停止させてから行ってください。STARTビットと同時にHR24ビットの値を書き換えしないでください。

AADJP	自動補正周期の選択
0	1分ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウント値から加減する。
1	10秒ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウント値から加減する。

自動補正周期を選択するビットです。
 AADJPビットの書き換えは、プラスマイナスビット (RADJ.PMADJ) を“00b” (補正しない) にしてから行ってください。
 RTCソフトウェアリセットを実行するとAADJPビットは、“0”になります。

AADJE	自動補正機能の制御
0	自動補正機能禁止。
1	自動補正機能許可。

自動補正機能の禁止、許可を制御するビットです。
 AADJEビットの書き換えは、プラスマイナスビット (RADJ.PMADJ) を“00b” (補正しない) にしてから行ってください。
 RTCソフトウェアリセットを実行するとAADJEビットは、“0”になります。

RTCOE	RTCOE出力の制御
0	RTCOE出力禁止。
1	RTCOE出力許可。

RTCOE (1 Hz/64 Hzクロック) の出力を許可するビットです。
 RTCOEビットの書き換えは、STARTビットでカウント動作を停止させてから行ってください。カウント動作を停止 (STARTビットへの“0”書き込み) するときは、同時にRTCOEビットの値を書き換えしないでください。
 RTCOEを外部端子に出力する場合は、RTCOEビットを許可にし、かつポート制御の設定もしてください。

注 パワーオン・リセット信号の発生により、RESET, ADJ30, RTCOEビットは0になります。

図9-32 RTCコントロールレジスタ2 (RCR2) のフォーマット (カレンダーカウントモード時) (2/2)

アドレス : F05A5H リセット時 : 不定^{※1} R/W

略号	7	6	5	4	3	2	1	0
RCR2	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START

ADJ30	30秒調整の制御
書き込み時	
0	書き込み無効。
1	30秒調整の実行。
読み出し時	
0	通常の時計動作または30秒調整が完了。
1	30秒調整中。
<p>30秒調整を行うビットです。</p> <p>ADJ30ビットに“1”が書き込まれたときのRSECCNTカウンタの値が30秒未満の場合は00秒に切り捨て、30秒以上の場合は1分に桁上げします。</p> <p>30秒調整は、カウントソースに同期して行われます。ADJ30ビットに“1”が書き込まれた場合、30秒調整が完了するとADJ30ビットは自動的に“0”になります。ADJ30ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。ただし、30秒調整が完了するまでは必ずVRTCEN = 1の状態を維持してください。</p> <p>30秒調整が行われると、プリスケアラおよびR64CNTカウンタもリセットされます。</p> <p>RTCソフトウェアリセットを実行するとADJ30ビットは、“0”になります。</p>	

RESET	RTCソフトウェアリセットの制御
書き込み時	
0	書き込み無効。
1	プリスケアラおよびRTCソフトウェアリセット対象レジスタ ^{※2} を初期化。
読み出し時	
0	通常の時計動作またはRTCソフトウェアリセット完了。
1	RTCソフトウェアリセット中。
<p>プリスケアラおよびRTCソフトウェアリセット対象レジスタを初期化するビットです。</p> <p>RESETビットに“1”が書き込まれた場合、カウントソースに同期して初期化が実行され、初期化が完了するとRESETビットは自動的に“0”になります。</p> <p>RESETビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。ただし、初期化が完了するまでは必ずVRTCEN = 1の状態を維持してください。</p>	

START	プリスケアラと時計カウンタの動作制御
0	プリスケアラと時計カウンタは停止。
1	プリスケアラと時計カウンタは通常動作。
<p>プリスケアラおよび時計カウンタの停止または動作を制御するビットです。</p> <p>STARTビットは、カウントソースに同期して更新されるので、STARTビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。ただし、値が更新されるまでは必ずVRTCEN = 1の状態を維持してください。</p>	

注1. パワーオン・リセット信号の発生により、RESET、ADJ30、RTCOEビットは0になります。

- R64CNT, RSECARm/BCNT0ARm, RMINARm/BCNT1ARm, RHRARm/BCNT2ARm, RWKARm/BCNT3ARm, RDAYARm/BCNT0AERm, RMONARm/BCNT1AERm, RYRARm/BCNT2AERm, RYRARENm/BCNT3AERm, RADJ, RTCCRY, RSECCPy/BCNT0CPy, RMINCPy/BCNT1CPy, RHRCPy/BCNT2CPy, RDAYCPy/BCNT3CPy, RMONCPy, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP, RSR

注意1. 本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。

- 30秒調整機能と0.5秒調整機能を同時に使用する事はできません。
ADJ30とADJ500Mはいずれか一方のみに“1”をセットしてください。

(2) バイナリカウントモード時

図9-33 RTCコントロールレジスタ2 (RCR2) のフォーマット (バイナリカウントモード時) (1/2)

アドレス : F05A5H リセット時 : 不定^{*} R/W

略号	7	6	5	4	3	2	1	0
RCR2	CNTMD	0	AADJP	AADJE	RTCOE	0	RESET	START

CNTMD	カウントモードの選択
0	カレンダーカウントモード
1	バイナリカウントモード

RTCのカウントモードを、カレンダーカウントモードで動作するか、バイナリカウントモードで動作するかを指定するビットです。

カウントモード設定時は、RTCソフトウェアリセットを実行し、初期設定からやり直してください。

本ビットは、カウントソースに同期して更新され、RTCソフトウェアリセット完了までに値が確定します。

初期設定の詳細は、**9.3.1 電源投入後のレジスタの初期設定概要**を参照してください。

AADJP	自動補正周期の選択
0	32秒ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウント値から加減する。
1	8秒ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウント値から加減する。

自動補正周期を選択するビットです。

バイナリカウントモードでは32秒ごとまたは8秒ごとの補正周期を選択することができます。

AADJPビットの書き換えは、プラスマイナスビット (RADJ.PMADJ) を“00b” (補正しない) にしてから行ってください。

RTCソフトウェアリセットを実行するとAADJPビットは、“0”になります。

AADJE	自動補正機能の制御
0	自動補正機能禁止。
1	自動補正機能許可。

自動補正機能の禁止、許可を制御するビットです。

AADJEビットの書き換えは、プラスマイナスビット (RADJ.PMADJ) を“00b” (補正しない) にしてから行ってください。

RTCソフトウェアリセットを実行するとAADJEビットは、“0”になります。

RTCOE	RTCOUT出力の制御
0	RTCOUT出力禁止。
1	RTCOUT出力許可。

RTCOUT (1 Hz/64 Hzクロック) の出力を許可するビットです。

RTCOEビットの書き換えは、STARTビットでカウント動作を停止させてから行ってください。カウント動作を停止する (STARTビットへ“0”を書く) ときは、同時にRTCOEビットの値を書き換えしないでください。

RTCOUTを外部端子に出力する場合は、RTCOEビットを有効にし、かつポート制御も有効にしてください。

注 パワーオン・リセット信号の発生により、RESET、RTCOEビットは0になります。

図9-33 RTCコントロールレジスタ2 (RCR2) のフォーマット (バイナリカウントモード時) (2/2)

アドレス : F05A5H リセット時 : 不定^{注1} R/W

略号	7	6	5	4	3	2	1	0
RCR2	CNTMD	0	AADJP	AADJE	RTCOE	0	RESET	START

RESET	RTCソフトウェアリセットの制御
書き込み時	
0	書き込み無効。
1	プリスケアラおよびRTCソフトウェアリセット対象レジスタ ^{注2} を初期化。
読み出し時	
0	通常の時計動作またはRTCソフトウェアリセット完了。
1	RTCソフトウェアリセット中。
プリスケアラおよびRTCソフトウェアリセット対象レジスタを初期化するビットです。 RESETビットに“1”が書き込まれた場合、カウントソースに同期して初期化が実行され、初期化が完了するとRESETビットは自動的に“0”になります。 RESETビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。ただし、初期化が完了するまでは必ずVRTCEN = 1の状態を維持してください。	

START	32ビットバイナリカウンタ、64 Hzカウンタ、およびプリスケアラの動作制御
0	32ビットバイナリカウンタ、64 Hzカウンタ、およびプリスケアラは停止。
1	32ビットバイナリカウンタ、64 Hzカウンタ、およびプリスケアラは通常動作。
プリスケアラおよびカウンタ (時計) の停止または動作を制御するビットです。 STARTビットは、カウントソースに同期して更新されます。STARTビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。ただし、値が更新されるまでは必ずVRTCEN = 1の状態を維持してください。	

注1. パワーオン・リセット信号の発生により、RESET、RTCOEビットは0になります。

- 2.** R64CNT, RSECARm/BCNT0ARm, RMINARm/BCNT1ARm, RHRARm/BCNT2ARm, RWKARm/BCNT3ARm, RDAYARm/BCNT0AERm, RMONARm/BCNT1AERm, RYRARm/BCNT2AERm, RYRARENm/BCNT3AERm, RADI, RTCCRy, RSECCPy/BCNT0CPy, RMINCPy/BCNT1CPy, RHRCPy/BCNT2CPy, RDAYCPy/BCNT3CPy, RMONCPy, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP, RSR

注意 本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。

9.2.20 RTCコントロールレジスタ3 (RCR3)

RCR3レジスタは、時間キャプチャイベント入力 (RTCICn) 端子の入力許可／無効を制御するためのレジスタです。

図9-34 RTCコントロールレジスタ3 (RCR3) のフォーマット

アドレス : F05A7H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RCR3	0	0	0	0	0	0	0	RTCICEN

RCR3 レジスタ	RTCCRn レジスタ	時間キャプチャイベント入力 (RTCICn) の入力許可／無効制御
RTCICEN	TCEN	
0	0	RTCICn入力無効
0	1	設定禁止 ^注
1	0	RTCICn入力無効
1	1	RTCICn入力許可

RTCICENビット (時間キャプチャイベント入力 (RTCICn) 制御ビット)
 時間キャプチャイベント入力 (RTCICn) 端子の入力許可／無効を制御します。
 時間キャプチャイベント機能を使用する場合は、必ずRTCICENビットを1に設定してRTCICn端子入力を許可した後に、RTCCRnレジスタのTCENビットに1を設定してください。RTCICENビットが0設定時にRTCCRnレジスタのTCENビットを1に設定する事を禁止します。
 時間キャプチャイベント機能を使用しない場合はRTCICENビットに0を設定してください。但しRTCICENビットに0を設定した場合でも、RTCICn端子の外部割り込み機能は使用可能です。

注 RTCICENビットが0設定時にRTCCRnレジスタのTCENビットを1に設定する事を禁止します。RTCICn端子を使用する場合は必ず、RTCICEN = 1に設定した後にTCEN = 1に設定してください。

注意 ビット7-1には必ず“0”を設定してください。また、本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。

備考 n = 0-2

9.2.21 RTCコントロールレジスタ4 (RCR4)

RCR4レジスタは、カレンダーカウントモードの0.5秒調整機能を制御するレジスタです。

図9-35 RTCコントロールレジスタ4 (RCR4) のフォーマット

アドレス : F05A9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RCR4	0	0	0	0	0	0	0	ADJ500M

ADJ500M	0.5秒調整の制御
書き込み時	
0	書き込み無効
1	0.5秒調整の実行
読み出し時	
0	通常の時計動作または0.5秒調整が完了
1	0.5秒調整中
<p>0.5秒調整を行うビットです。</p> <p>ADJ500Mビットに“1”が書き込まれたときのR64CNTの値が40h (0.5秒) 未満の場合は00h (0秒) に切り捨て、40h (0.5秒) 以上の場合は1秒に桁上げします。</p> <p>0.5秒調整は、カウントソースに同期して行われます。ADJ500Mビットに“1”が書き込まれた場合、0.5秒調整が完了するとADJ500Mビットは自動的に“0”になります。ADJ500Mビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。ただし、0.5秒調整が完了するまでは必ずVRTCEN = 1の状態を維持してください。</p> <p>0.5秒調整が行われると、プリスケアラおよびR64CNTカウンタもリセットされます。</p> <p>RTCソフトウェアリセットを実行するとADJ500Mビットは、“0”になります。</p>	

- 注意1.** 本レジスタは8ビット・メモリ操作命令でのみアクセスが可能です。
- 2.** 30秒調整機能と0.5秒調整機能を同時に使用する事はできません。
ADJ30とADJ500Mはいずれか一方のみに“1”をセットしてください。

9.2.22 時間誤差補正レジスタ (RADJ)

RADJレジスタは、カレンダーカウントモード／バイナリカウントモード共通で使用します。

時計を誤差補正值に応じて進めるか、遅らせることによって、補正を行います。

自動補正機能許可ビット (RCR2.AADJE) が“0”の場合は、RADJレジスタを書き込むときに補正動作を行います。

RCR2.AADJEビットが“1”の場合は、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正動作を行います。

ソフトウェア設定 (自動補正しない設定) による補正時は、レジスタ設定後、カウントソースで320サイクル以内に次の補正值を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は、レジスタ設定後、カウントソースで320サイクル以上待つから再設定してください。

RADJレジスタは、カウントソースに同期して更新されます。RADJレジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTCソフトウェアリセットを実行すると00hになります。

図9-36 時間誤差補正レジスタ (RADJ) のフォーマット

アドレス : F05AFH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RADJ	PMADJ			ADJ				

PMADJ	時計誤差補正の動作制御
00	補正動作を行いません。
01	時計を進める。
10	時計を遅らせる。
11	設定禁止

ADJビットで設定した誤差補正值に応じて時計を進めるか、遅らせるかを選択します。

ADJ	時計誤差補正值の設定
	時計の誤差に応じて誤差補正值 (サブ・クロックのクロックサイクル数) を設定します。

9.2.23 時間キャプチャ制御レジスタ y (RTCCR y) ($y = 0\sim 2$)

RTCCR y レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

RTCCR0レジスタがRTCIC0端子, RTCCR1レジスタがRTCIC1端子, RTCCR2レジスタがRTCIC2端子をそれぞれ制御します。

RTCCR y レジスタは、カウントソースに同期して更新されます。RTCCR y レジスタを書き換えた場合は、TCSTビットを除く全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTCソフトウェアリセットを実行すると00hになります。

注意 V_{DD} 端子からの電源供給が遮断した場合においても、VRTC電源供給状態であればRTC時間キャプチャは使用可能です。

図9-37 時間キャプチャ制御レジスタy (RTCCRy) (y = 0~2) のフォーマット

アドレス : RTCCR0 F05C1H, RTCCR1 F05C3H, RTCCR2 F05C5H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
RTCCRy	TCEN	0	TCNF	0	TCST	TCCT		

TCEN	時間キャプチャイベント入力端子制御
0	RTCICy端子が時間キャプチャイベント入力端子として無効。
1	RTCICy端子が時間キャプチャイベント入力端子として有効。

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) の有効/無効を制御するビットです。時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) に複数の機能が割り当てられている場合、ポート制御の設定をし、かつ、本ビットも有効にしてください。このとき、ポート制御の設定を必ず先に行ってください。
本ビットを“0”にする場合、TCCTビットも“00b”にしてください。

TCNF	時間キャプチャノイズフィルタ制御
00	ノイズフィルタOFF。
01	設定禁止
10	ノイズフィルタON (カウントソース)。
11	ノイズフィルタON (カウントソースの32分周)。

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のノイズフィルタを制御するビットです。ノイズフィルタがONの場合、カウントソースの1分周、32分周のどちらかを選択することが可能です。このとき、時間キャプチャイベント入力端子の入カレベルが選択されたサンプル間隔で3回連続で一致すると、入力レベルを決定します。
TCNFビットの設定は、TCCTビットを“00b” (イベント検出しなし) にした状態で行ってください。ノイズフィルタを使用する場合は、TCNFビットの設定後、設定したサンプリング周期の3周期分待った後、TCCTビットの設定を行ってください。また、TCNFビットは、TCENビットが“1”の状態で行ってください。

TCST	時間キャプチャステータス
0	イベント検出しなし。
1	イベント検出あり。 ^注

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のイベントが検出されたことを示すビットです。
TCSTビットが“0”の場合は、イベント検出されていないことを示します。
TCSTビットが“1”の場合は、該当する端子のイベントが検出されたことを示し、そのキャプチャレジスタが有効になります。複数回イベントが検出された場合は、最初のキャプチャ時刻を保持します。
カウント動作停止中 (RCR2.STARTビットが“0”) にイベントを検出した場合、キャプチャした値は保証できませんので、TCSTビットを“0”にして、キャプチャした値を破棄してください。
TCSTビットに“0”を書き込むことで、TCSTビットを“0”にできます。また、“0”以外の値の書き込みは無効になります。
TCSTビットを“0”にするときは、TCCTビットを“00b” (イベント検出しなし) にした状態で行ってください。TCSTビットは、カウントソースに同期して“0”になります。TCSTビットを“0”にした場合は、値が更新されたことを確認してから次の処理を実行してください。

TCCT	時間キャプチャ制御
00	イベント検出しなし。
01	立ち上がりエッジ検出。
10	立ち下がりエッジ検出。
11	両エッジ検出。

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のエッジ検出を制御するビットです。検出するエッジの選択が可能です。ビットは、TCENビットが“1”の状態で行ってください。

注 イベント検出されたことを示します。“1”の書き込みは無効です。“0”を書き込むことで“0”にすることができます。

9.2.24 秒キャプチャレジスタ y (RSECCPy) ($y = 0\sim 2$) / BCNT0キャプチャレジスタ y (BCNT0CPy) ($y = 0\sim 2$)

(1) カレンダーカウントモード時

RSECCPyレジスタは、時間キャプチャイベント検出時にRSECCNTカウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0端子によるイベント検出時はRSECCP0レジスタに、RTCIC1端子によるイベント検出時はRSECCP1レジスタに、RTCIC2端子によるイベント検出時はRSECCP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは、RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9-38 秒キャプチャレジスタ y (RSECCPy) ($y = 0\sim 2$) のフォーマット



(2) バイナリカウントモード時

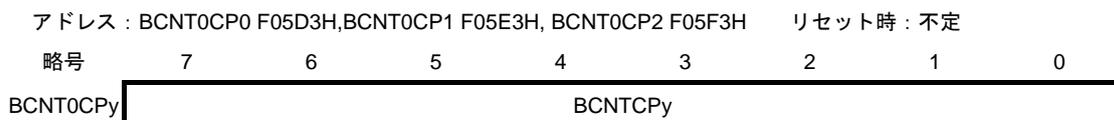
BCNT0CPyレジスタは、時間キャプチャイベント検出時にBCNT0カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0端子によるイベント検出時はBCNT0CP0レジスタに、RTCIC1端子によるイベント検出時はBCNT0CP1レジスタに、RTCIC2端子によるイベント検出時はBCNT0CP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは、RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9-39 BCNT0キャプチャレジスタ y (BCNT0CPy) ($y = 0\sim 2$) のフォーマット



9.2.25 分キャプチャレジスタ y (RMINCP y) ($y = 0\sim 2$) / BCNT1キャプチャレジスタ y (BCNT1CP y) ($y = 0\sim 2$)

(1) カレンダカウントモード時

RMINCP y レジスタは、時間キャプチャイベント検出時にRMINCNTカウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0端子によるイベント検出時はRMINCP0レジスタに、RTCIC1端子によるイベント検出時はRMINCP1レジスタに、RTCIC2端子によるイベント検出時はRMINCP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは、RTCCR y .TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9-40 分キャプチャレジスタ y (RMINCP y) ($y = 0\sim 2$) のフォーマット



(2) バイナリカウントモード時

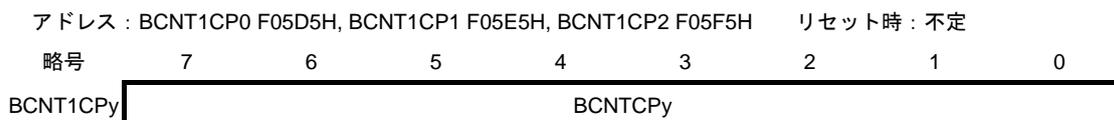
BCNT1CP y レジスタは、時間キャプチャイベント検出時にBCNT1カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0端子によるイベント検出時はBCNT1CP0レジスタに、RTCIC1端子によるイベント検出時はBCNT1CP1レジスタに、RTCIC2端子によるイベント検出時はBCNT1CP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは、RTCCR y .TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9-41 BCNT1キャプチャレジスタ y (BCNT1CP y) ($y = 0\sim 2$) のフォーマット



9.2.26 時キャプチャレジスタ y (RHRCP y) ($y = 0 \sim 2$) / BCNT2キャプチャレジスタ y (BCNT2CP y) ($y = 0 \sim 2$)

(1) カレンダカウントモード時

RHRCP y レジスタは、時間キャプチャイベント検出時にRHCNTカウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0端子によるイベント検出時はRHRCP0レジスタに、RTCIC1端子によるイベント検出時はRHRCP1レジスタに、RTCIC2端子によるイベント検出時はRHRCP2レジスタにそれぞれのイベント検出時刻を格納します。

RCR2.HR24ビットが“0”（12時間モードで動作）の場合のみ、PMビットが有効になります。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは、RTCCR y .TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9-42 時キャプチャレジスタ y (RHRCP y) ($y = 0 \sim 2$) のフォーマット

アドレス : RHRCP0 F05D7H, RHRCP1 F05E7H, RHRCP2 F05F7H リセット時 : 不定 R

略号	7	6	5	4	3	2	1	0
RHRCP y	0	PM	HR10		HR1			
	PM	PMビット						
	0	午前						
	1	午後						
	HR10	10時間キャプチャビット						
	十時間の位のキャプチャ値を示します。							
	HR1	1時間キャプチャビット						
	一時間の位のキャプチャ値を示します。							

(2) バイナリカウントモード時

BCNT2CP y レジスタは、時間キャプチャイベント検出時にBCNT2カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0端子によるイベント検出時はBCNT2CP0レジスタに、RTCIC1端子によるイベント検出時はBCNT2CP1レジスタに、RTCIC2端子によるイベント検出時はBCNT2CP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは、RTCCR y .TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9-43 BCNT2キャプチャレジスタ y (BCNT2CP y) ($y = 0 \sim 2$) のフォーマット

アドレス : BCNT2CP0 F05D7H, BCNT2CP1 F05E7H, BCNT2CP2 F05F7H リセット時 : 不定

略号	7	6	5	4	3	2	1	0
BCNT2CP y	BCNTCP y							

9.2.27 日キャプチャレジスタy (RDAYCPy) (y = 0~2) / BCNT3キャプチャレジスタy (BCNT3CPy) (y = 0~2)

(1) カレンダーカウントモード時

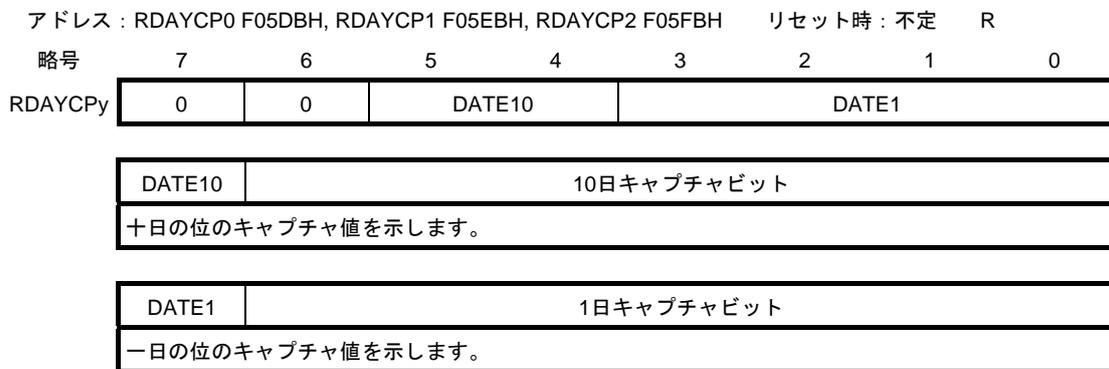
RDAYCPyレジスタは、時間キャプチャイベント検出時にRDAYCNTカウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0端子によるイベント検出時はRDAYCP0レジスタに、RTCIC1端子によるイベント検出時はRDAYCP1レジスタに、RTCIC2端子によるイベント検出時はRDAYCP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは、RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9-44 日キャプチャレジスタy (RDAYCPy) (y = 0~2) のフォーマット



(2) バイナリカウントモード時

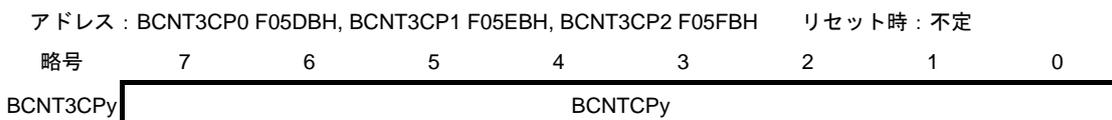
BCNT3CPyレジスタは、時間キャプチャイベント検出時にBCNT3カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0端子によるイベント検出時はBCNT3CP0レジスタに、RTCIC1端子によるイベント検出時はBCNT3CP1レジスタに、RTCIC2端子によるイベント検出時はBCNT3CP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは、RTCCRy.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9-45 BCNT3キャプチャレジスタy (BCNT3CPy) (y = 0~2) のフォーマット



9.2.28 月キャプチャレジスタ y (RMONCP y) ($y = 0 \sim 2$)

RMONCP y レジスタは、時間キャプチャイベント検出時にRMONCNTカウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0端子によるイベント検出時はRMONCP0レジスタに、RTCIC1端子によるイベント検出時はRMONCP1レジスタに、RTCIC2端子によるイベント検出時はRMONCP2レジスタにそれぞれのイベント検出時刻を格納します。

RTCソフトウェアリセットを実行すると00hになります。

読み出しは、RTCCRY.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

図9-46 月キャプチャレジスタ y (RMONCP y) ($y = 0 \sim 2$) のフォーマット

アドレス	RMONCP0 F05DDH, RMONCP1 F05EDH, RMONCP2 F05FDH							リセット時	R
略号	7	6	5	4	3	2	1	0	
RMONCP y	0	0	0	MON10	MON1				
	MON10	10月キャプチャビット							
	十月の位のキャプチャ値を示します。								
	MON1	1月キャプチャビット							
	一月の位のキャプチャ値を示します。								

9.2.29 RTCステータスレジスタ (RSR)

RSRは、桁上げフラグレジスタです。本レジスタはカレンダーカウントモード／バイナリカウントモードで共通の機能です。

プリスケアラや時計カウンタが、各割り込み設定条件と一致したときに“1”にセットされます。プリスケアラ、時計カウンタ、各割り込み設定レジスタは、リセットされないため、フラグを読み出すまでにフラグがセットされる場合があります。

RTCソフトウェアリセットを実行すると00hにクリアされます。

図9-47 RTCステータスレジスタ (RSR) のフォーマット

アドレス : F05A1H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
RSR	0	0	0	0	0	0	CF	0

CF	桁上げフラグ
0	秒カウンタ／バイナリカウンタ0への桁上げおよび64 Hzカウンタ読み出し時の64 Hzカウンタへの桁上げなし。
1	秒カウンタ／バイナリカウンタ0への桁上げまたは64 Hzカウンタ読み出し時の64 Hzカウンタへの桁上げあり。

本フラグが“1”にセットされた場合、秒カウンタ／バイナリカウンタ0への桁上げ、または64 Hzカウンタ読み出し時に64 Hzカウンタへの桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。

[0になる条件]

- ・ CFフラグに“0”を書き込んだとき

[1になる条件]

- ・ 秒カウンタ／バイナリカウンタ 0への桁上げまたは64 Hzカウンタ読み出し時に64 Hzカウンタへの桁上げが発生したとき
- ・ CFフラグに“1”を書き込んだとき

注 リセット解除後、読み出し値が不定になる場合があります。

- 注意1. RTCアラーム割り込みm発生の確認には、IF1LのRTCAIF0フラグ (m = 0使用時)、IF1HのRTCAIF1フラグ (m = 1使用時) を使用してください。
2. 周期割り込みの発生は、割り込み要求フラグレジスタ (IF1H) のRTCRIFフラグを使用してください。

備考 m = 0, 1

9.2.30 サブ・クロック動作モード制御レジスタ (SCMC)

XT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

SCMCレジスタは、すべてのリセット要因及びRTCパワーオン・リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

SCMCレジスタはVRTC電源で動作します。VRTC電源起動直後は、VRTC端子の電圧検出機能 (32.3.5 VRTC端子電圧検出制御レジスタ (LVDVRTC) 参照) を使用して、VRTC端子への電源供給開始を確認してください。

RTCパワーオン・リセット信号の発生により、00Hになります。その他リセット要因 (V_{DD}電源のパワーオン・リセットを含む) ではリセットされません。

図9-48 サブ・クロック動作モード制御レジスタ (SCMC) のフォーマット

アドレス : F0384H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
SCMC	0	0	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	0

EXCLKS	OSCSELS	サブ・システムクロック 端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振 (デフォルト)
0	1	通常発振
1	0	超低消費発振
1	1	禁止設定

注 EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはRTCパワーオン・リセットによるリセット時のみ初期化され、その他リセット要因 (V_{DD}電源のパワーオン・リセットを含む) では、値を保持します。

- 注意** 1. SCMCレジスタは、CPUのリセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。SCMCレジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作 (00H以外の誤書き込みで復帰不可) を防止するために、CPUのリセット解除後は必ず00Hに設定してください。
2. CPUのリセット解除後、サブ・クロック動作ステータス制御レジスタ (SCSC) の設定でXT1発振を開始する前に、SCMCレジスタを設定してください。
3. AMPHS1, AMPHS0ビットは、リセット解除後f_{CLK}にf_{IH}を選択した状態 (f_{CLK}をf_{MX}に切り替える前の状態) で設定してください。
4. f_{XT}の発振安定時間は、ソフトウェアでカウントしてください。
5. SCMCレジスタ書き込み後、RTCパワーオン・リセット以外のリセットが発生した場合、暴走時の誤動作を防ぐためCPUのリセット解除後は必ずリセット発生前と同じ値を設定してください。

注意 6. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。

- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- ・XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は、6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。なお、高い発振余裕度を確保が必要な用途（例：ユーティリテメータ）では超低消費発振（AMPHS1, AMPHS0 = 1, 0）のご使用は推奨しません。通常発振（AMPHS1, AMPHS0 = 0, 1）のご使用を推奨します。
- ・XT1端子, XT2端子と発振子との配線は極力短くし、寄生容量, 配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
- ・回路基板は寄生容量, 配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には、できるかぎりV_{SS}と同電位のグランド・パターンを配置してください。
- ・XT1端子, XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は、XT1端子, XT2端子間に容量やリークが生じない材料をご使用ください。

7. ピット7-6, 3, 0には必ず"0"を設定してください。

9.2.31 サブ・クロック動作ステータス制御レジスタ (SCSC)

サブ・クロックの動作を制御するレジスタです。

SCSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

SCSCレジスタはVRTC電源で動作します。VRTC電源起動直後は、VRTC端子の電圧検出機能 (32.3.5 VRTC端子電圧検出制御レジスタ (LVDVRTC) 参照) を使用して、VRTC端子への電源供給開始を確認してください。

RTCのパワーオン・リセット信号の発生により、40Hになります。

図9-49 サブ・クロック動作ステータス制御レジスタ (SCSC) のフォーマット

アドレス : F0386H リセット時 : 40H R/W

略号	7	6	5	4	3	2	1	0
SCSC	0	XTSTOP	0	0	0	0	0	0

XTSTOP ^注	XT1発振回路の動作/停止制御
0	XT1発振モード時 : XT1発振回路動作 外部クロック入力モード時 : EXCLKSからの外部クロック有効 入力ポート・モード時 : 入力ポート
1	XT1発振モード時 : XT1発振回路停止 外部クロック入力モード時 : EXCLKSから外部クロック無効 入力ポート・モード時 : 入力ポート

注 XTSTOPビットはRTCのパワーオン・リセット時のみ初期化され、その他のリセット要因 (V_{DD}電源のパワーオン・リセットを含む) では値を保持します。

- 注意 1.** XTSTOPビットの設定でXT1発振を開始する場合は、サブ・クロックに必要な発振安定時間をソフトウェアにてウェイトしてください。
- 2.** ビット7, 5-0には必ず"0"を設定してください。

9.2.32 RTCパワーオン・リセットステータスレジスタ (RTCPORSR)

RTCPORSRレジスタは、RTCパワーオン・リセットの発生を確認するレジスタです。

RTCPORSRレジスタのビット0 (RTCPORF) への“1”書き込みは有効であり、“0”書き込みは無視されます。

RTCパワーオン・リセット発生の有無を確認するときは、あらかじめRTCPORFビットに“1”を書き込んでおいてください。

RTCPORSRレジスタは、8ビット・メモリ操作命令で設定します。

RTCPORSRレジスタはVRTC電源で動作します。VRTC電源起動直後は、VRTC端子の電圧検出機能 (32.3.5 VRTC端子電圧検出制御レジスタ (LVDVRTC) 参照) を使用して、VRTC端子への電源供給開始を確認してください。

RTCパワーオン・リセット信号の発生により、00Hになります。

注意1. RTCPORSRレジスタはRTCパワーオン・リセット時のみ初期化され、その他のリセット要因では、値を保持します。

2. RTCPORSRレジスタはVRTCEN = 1の場合にリード/ライトが可能です。

図9-50 RTCパワーオン・リセット・ステータス・レジスタ (RTCPORSR) のフォーマット

アドレス : F0380H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCPORSR	0	0	0	0	0	0	0	RTCPORF

RTCPORF	RTCパワーオン・リセット発生確認
0	RTCパワーオン・リセット発生を検出。
1	RTCパワーオン・リセットは発生していない。

9.2.33 RTCICn端子 (n = 0~2) 用ノイズ・フィルタ許可レジスタ (RTCICNFEN)

RTCICNFENレジスタは、RTCICn端子 (n = 0-2) のノイズ・フィルタの有効/無効を設定するレジスタです。ノイズ・フィルタが有効の場合、RTCカウントソース (fsx) の 2^{12} 分周、 2^{13} 分周のどちらかを選択することが可能です。

この時、RTCICn端子の入力レベルが選択されたサンプル間隔で3回一致すると、入力レベルを決定します。

注意 RTCICNFENレジスタは、RTCパワーオン・リセット時のみ初期化され、その他のリセット要因では、値を保持します。

図9-51 RTCICn端子 (n = 0~2) 用ノイズ・フィルタ許可レジスタ (RTCICNFEN) のフォーマット

アドレス : F0382H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCICNFEN	0	RTCIC2NF1	RTCIC1NF1	RTCIC0NF1	0	RTCIC2NF0	RTCIC1NF0	RTCIC0NF0

RTCIC2NF1	RTCIC2NF0	RTCIC2端子のノイズ・フィルタ制御
0	0	ノイズ・フィルタ無効。
0	1	
1	0	ノイズ・フィルタ有効 (RTCカウントソースの 2^{12} 分周=250ms)。
1	1	ノイズ・フィルタ有効 (RTCカウントソースの 2^{13} 分周=500ms)。

RTCIC1NF1	RTCIC1NF0	RTCIC1端子のノイズ・フィルタ制御
0	0	ノイズ・フィルタ無効。
0	1	
1	0	ノイズ・フィルタ有効 (RTCカウントソースの 2^{12} 分周 = 250 ms)。
1	1	ノイズ・フィルタ有効 (RTCカウントソースの 2^{13} 分周 = 500 ms)。

RTCIC0NF1	RTCIC0NF0	RTCIC0端子のノイズ・フィルタ制御
0	0	ノイズ・フィルタ無効。
0	1	
1	0	ノイズ・フィルタ有効 (RTCカウントソースの 2^{12} 分周 = 250 ms)。
1	1	ノイズ・フィルタ有効 (RTCカウントソースの 2^{13} 分周 = 500 ms)。

注意 1. ビット7, 3には必ず0を設定してください。

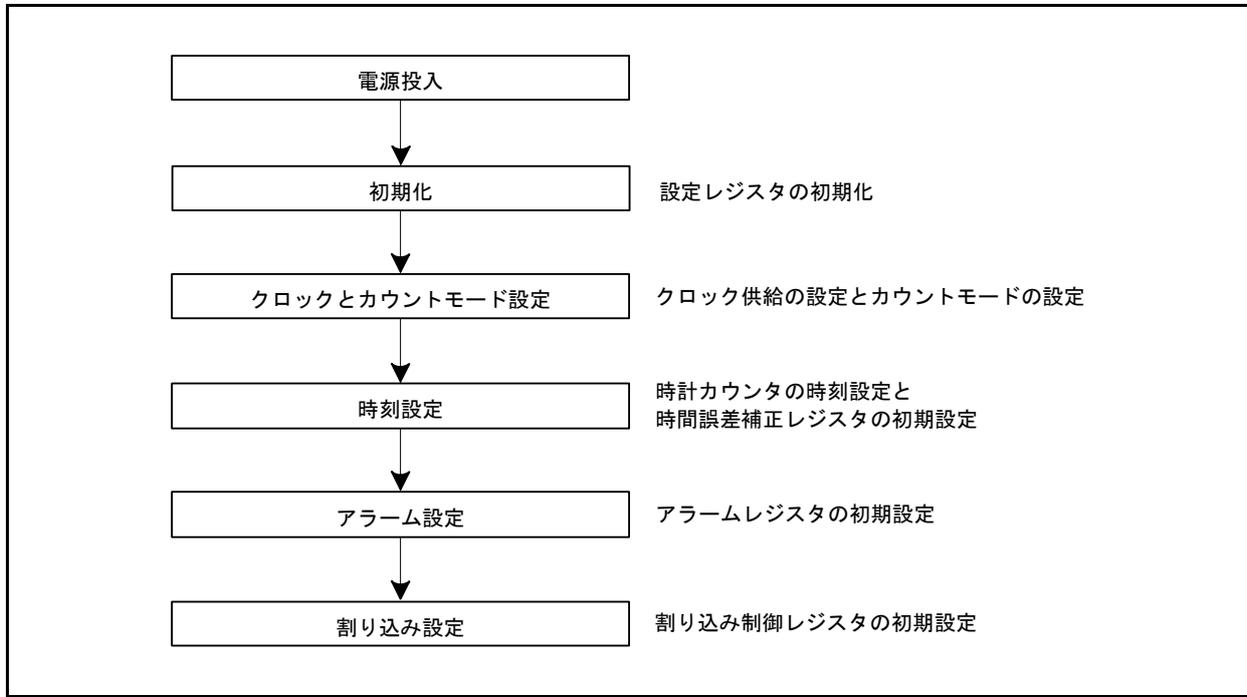
- 本レジスタの設定は、RTCCRY.TCCTビットを“00b” (イベント検出しない) にした状態で行ってください。ノイズフィルタを使用する場合は、本レジスタの設定後、設定したサンプリング周期の3周期分待った後、RTCCRY.TCCTビットの設定を行ってください。また、本レジスタは、TCENビットが“1”の状態を設定してください。

9.3 動作説明

9.3.1 電源投入後のレジスタの初期設定概要

電源投入後、クロック設定、カウントモード設定、時刻設定、時計誤差補正、アラーム、割り込み、時間キ
ャプチャ制御レジスタの初期設定をしてください。

図9-52 電源投入後の初期設定概要

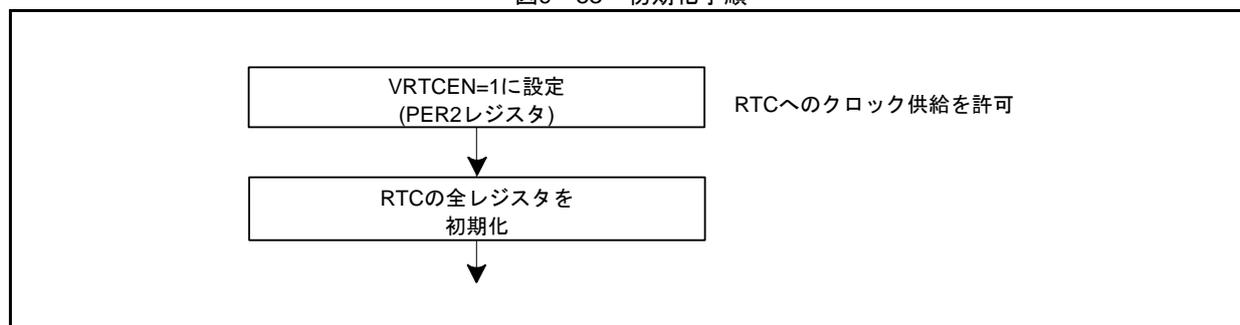


備考 V_{DD} の動作下限電圧は1.6 Vまたは1.8 Vに対し、VRTCの動作下限電圧は1.6 Vです。

9.3.2 初期化手順

図9-53に初期化手順を示します。

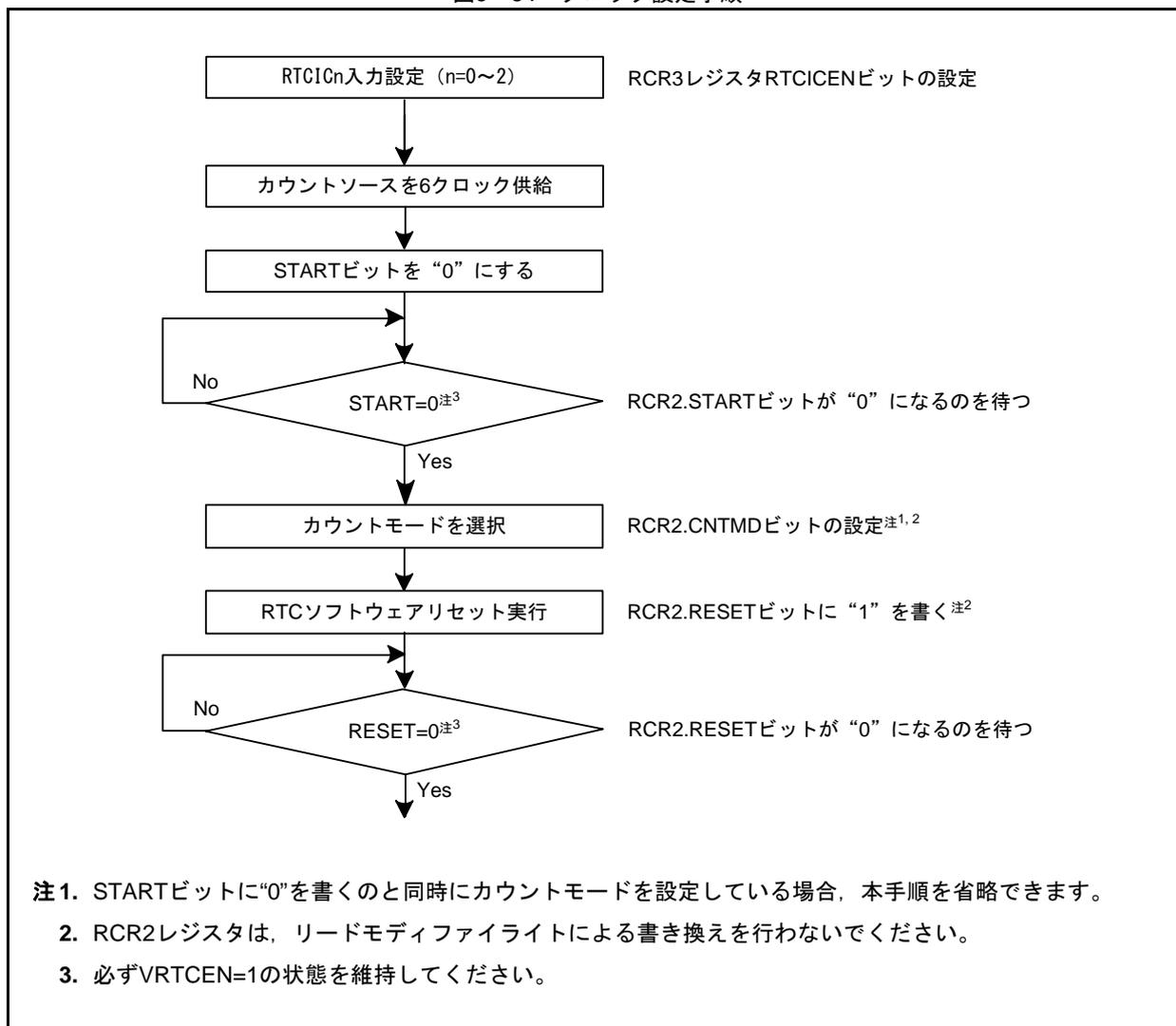
図9-53 初期化手順



9.3.3 クロックとカウントモード設定手順

図9-54にクロック設定手順を示します。

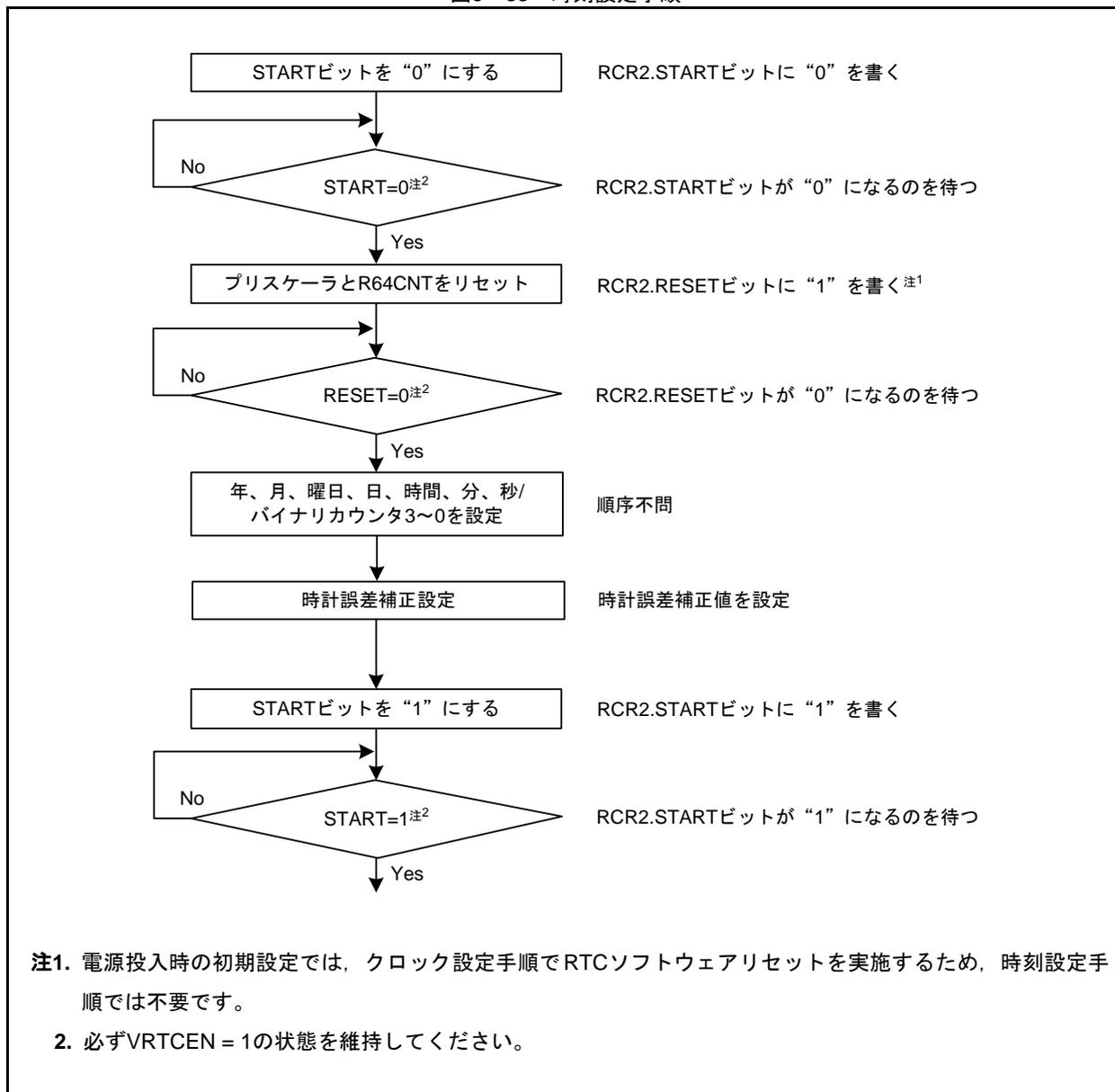
図9-54 クロック設定手順



9.3.4 時刻設定手順

図9-55に時刻設定手順を示します。

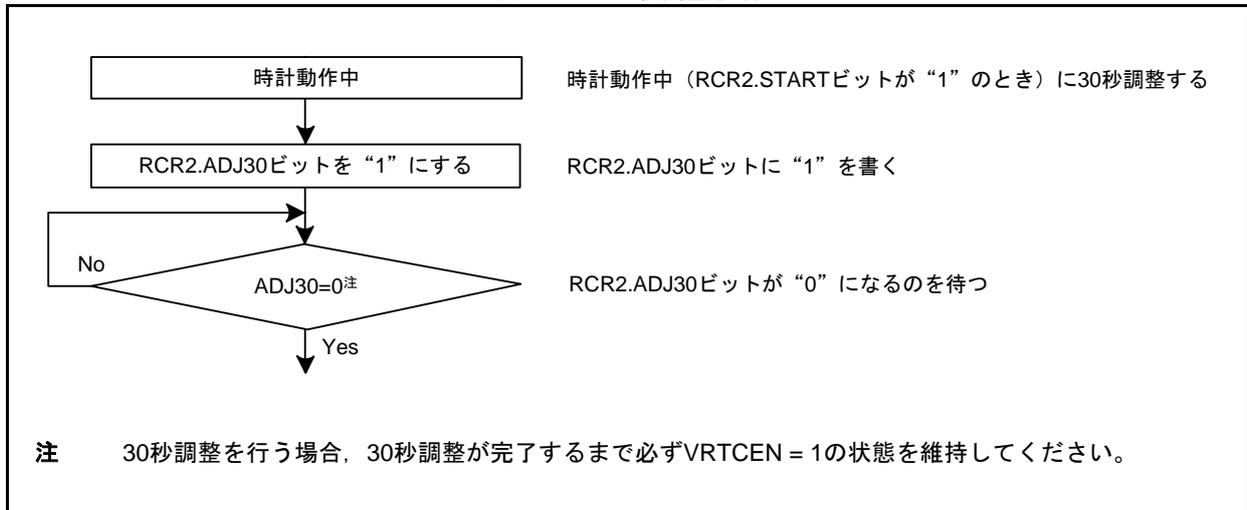
図9-55 時刻設定手順



9.3.5 30秒調整手順

図9-56に30秒調整手順を示します。30秒調整機能はカレンダーカウントモードでのみ使用可能です。

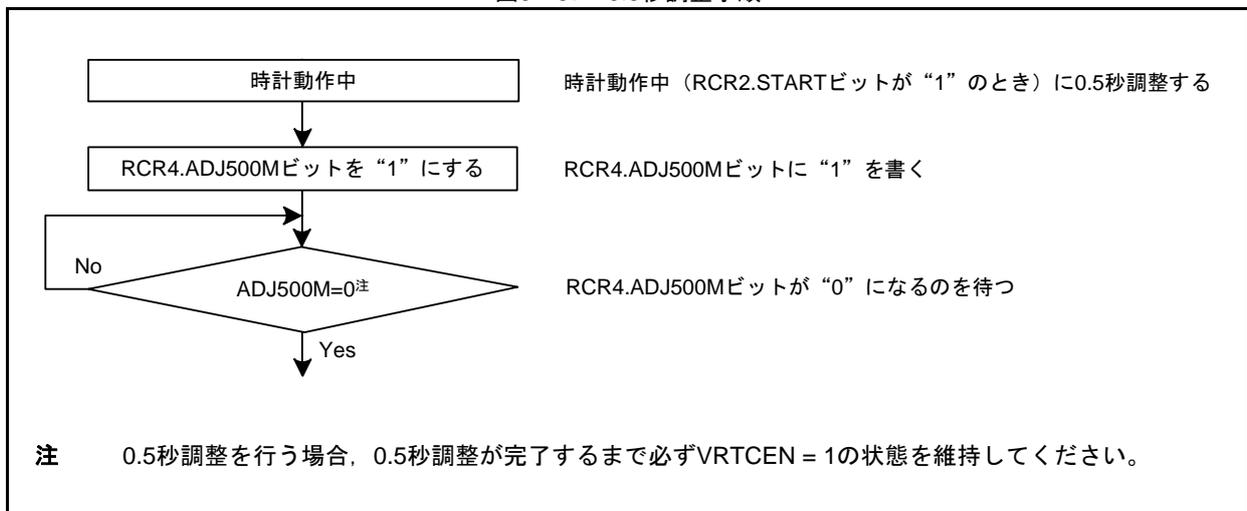
図9-56 30秒調整手順



9.3.6 0.5秒調整手順

図9-57に0.5秒調整手順を示します。0.5秒調整機能はカレンダーカウントモードでのみ使用可能です。

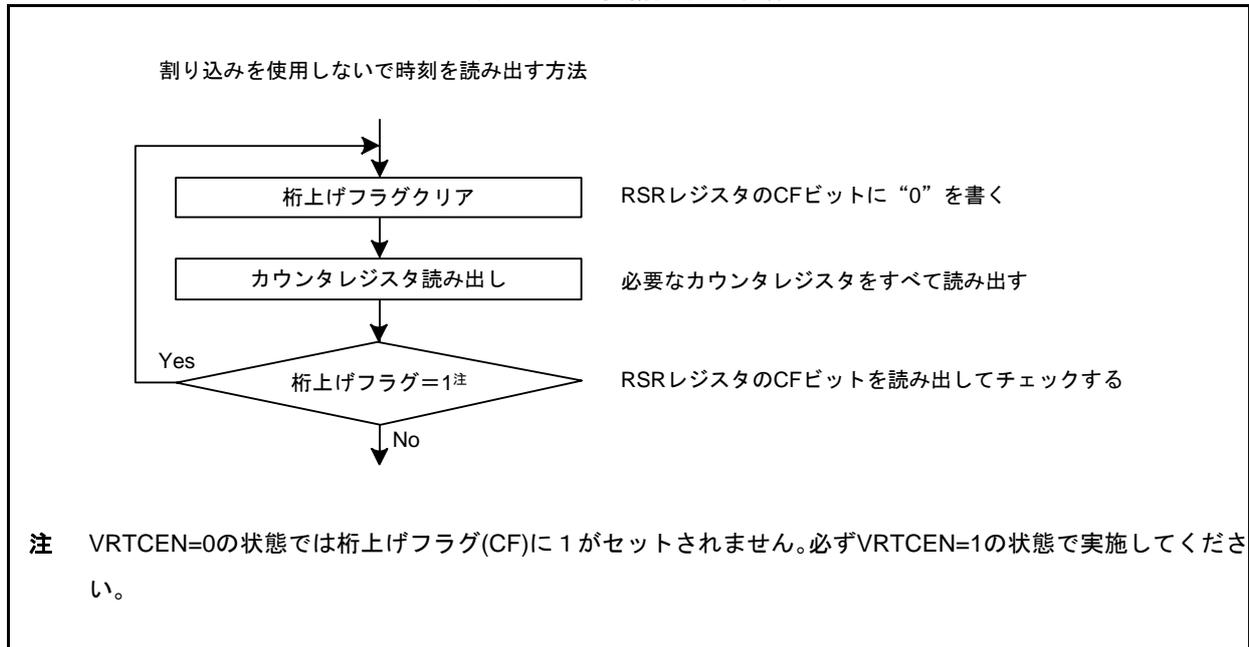
図9-57 0.5秒調整手順



9.3.7 64 Hzカウンタおよび時刻読み出し手順

図9-58に64 Hzカウンタおよび時刻読み出し手順を示します。

図9-58 時刻読み出し手順

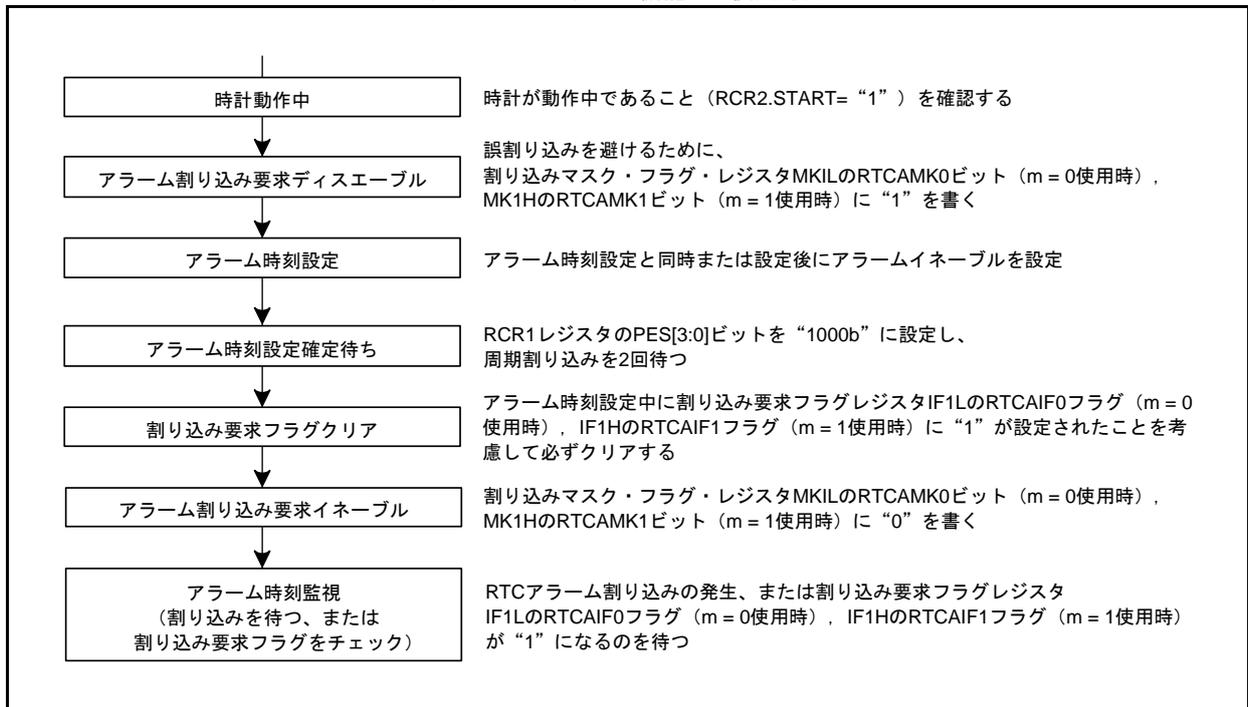


64 Hzカウンタ及び時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。図9-58の時刻読み出し手順に従って時刻を読み出してください。

9.3.8 アラーム機能

図9-59にアラーム機能mの使用方法を示します。

図9-59 アラーム機能mの使用方法



備考 : m = 0, 1

カレンダーカウントモードでは、アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタのENBビットに"1"を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENBビットに"0"を書き込みます。

バイナリカウントモードでは、32ビットの任意のビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラーム許可レジスタのENBビットに"1"を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットには、アラーム許可レジスタのENBビットに"0"を書き込みます。

カウンタとアラーム時刻が一致した場合は、割り込み要求フラグレジスタIF1LのRTCAIF0フラグ (m = 0使用時) , IF1HのRTCAIF1フラグ (m = 1使用時) が"1"にセットされます。アラームの検出はこのフラグを読み出すことによって確認できますが、通常は割り込みで行います。ALM割り込みに対応した割り込み要求許可ビットに"1"が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

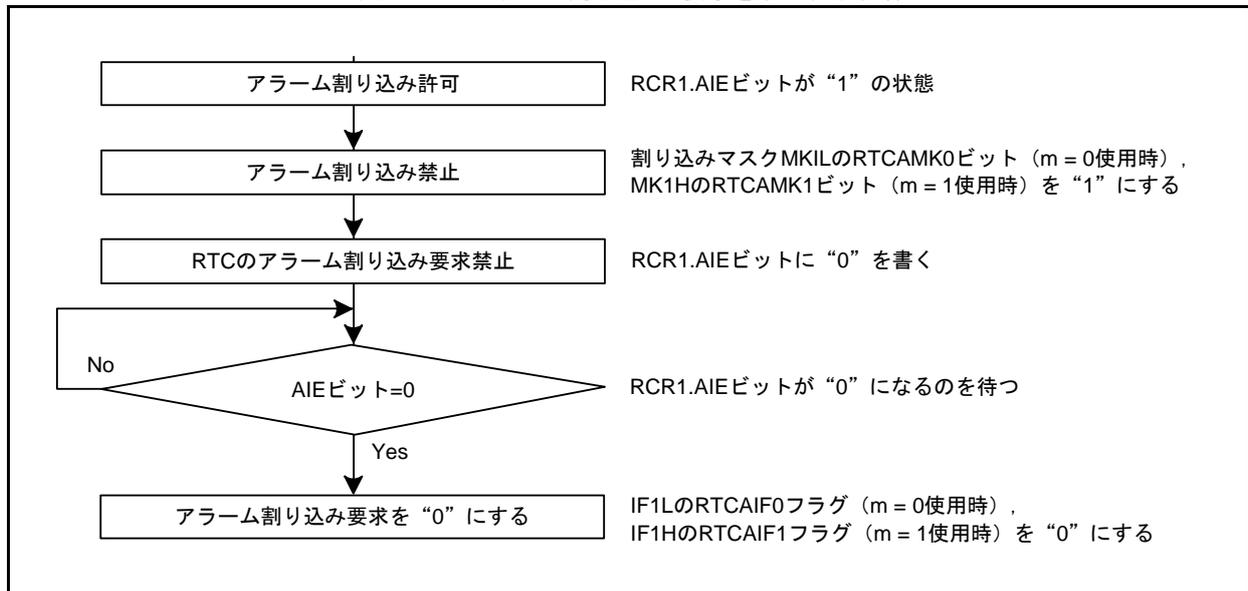
割り込み要求フラグレジスタ (IF1H, IF1L) の割り込み要求フラグは"0"を書き込むとクリアされます。

スタンバイ・モードのときにカウンタとアラーム時刻が一致するとスタンバイ・モードから復帰します。

9.3.9 アラーム割り込みm禁止手順

図9-60に許可状態のアラーム割り込みm要求を禁止する手順を示します。

図9-60 アラーム割り込みm要求を禁止する手順



備考 : m = 0, 1

9.3.10 時計誤差補正機能

時計誤差補正機能は、サブ・クロックの発振精度による時計の誤差（遅れる／進む）を補正します。サブ・クロック選択時、32,768クロックサイクルを1秒として動作するため、サブ・クロックの周波数が高い場合は時計が進み、低い場合は時計が遅れます。本機能により、時計を進めるか、遅らせることで誤差を補正することができます。

時計誤差補正機能には、自動補正とソフトウェアによる補正の2種類の補正機能があります。

自動補正、ソフトウェアによる補正の選択は、RCR2.AADJEビットで設定してください。

9.3.10.1 自動補正機能

RCR2.AADJEビットが“1”の場合、自動補正機能が有効です。

自動補正機能では、RCR2.AADJPビットで選択した補正周期ごとにRADJレジスタ設定に応じて時計を進めるか、遅らせます。以下に例を示します。

例1) サブ・クロック=32.769 kHz

補正方法：

サブ・クロックの周波数が32.769 kHzの場合、32,769クロックサイクルで1秒になりますが、RTCは、32,768クロックサイクルを1秒として動作するため、1秒につき1クロックサイクル分、時計が進みます。1分なら60クロックサイクル分、時計が進むため、1分ごとに60クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：（RCR2.CNTMD = 0”の場合）

- RCR2.AADJPビット = 0（1分ごとに補正）
- RADJ.PMADJ[1:0]ビット = 10b（遅らせる）
- RADJ.ADJ[5:0]ビット = 60（3Ch）

例2) サブ・クロック = 32.766 kHz

補正方法：

サブ・クロックの周波数が32.766 kHzの場合、32,766クロックサイクルで1秒になりますが、RTCは32,768クロックサイクルを1秒として動作するため、1秒につき2クロックサイクル分、時計が遅れます。10秒なら20クロックサイクル分、時計が遅れるため、10秒ごとに20クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：（RCR2.CNTMD = “0”の場合）

- RCR2.AADJPビット = 1（10秒ごとに補正）
- RADJ.PMADJ[1:0]ビット = 01b（進める）
- RADJ.ADJ[5:0]ビット = 20（14h）

例3) サブ・クロック = 32.764 kHz

補正方法：

サブ・クロックの周波数が32.764 kHzの場合、32,764クロックサイクルで1秒になりますが、RTCは32,768クロックサイクルを1秒として動作するため、1秒につき4クロックサイクル分、時計が遅れます。8秒なら32クロックサイクル分、時計が遅れるため、8秒ごとに“32”クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：（RCR2.CNTMD = “1”の場合）

- RCR2.AADJPビット = 1（8秒ごとに補正）
- RADJ.PMADJ[1:0]ビット = 01b（進める）
- RADJ.ADJ[5:0]ビット = 32（20h）

9.3.10.2 ソフトウェアによる補正

RCR2.AADJEビットが“0”の場合、ソフトウェアによる補正が有効です。

ソフトウェアによる補正では、RADJレジスタへの書き込み命令を実行したタイミングでRADJレジスタ設定に応じて時計を進めるか、遅らせます。

例1) サブ・クロック = 32.769 kHz

補正方法：

サブ・クロックの周波数が32.769 kHzの場合、32,769クロックサイクルで1秒になりますが、RTCは32,768クロックサイクルを1秒として動作するため、1秒につき1クロックサイクル分、時計が進みます。1秒ごとに1クロックサイクル分、時計が進むため、1秒ごとに1クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RADJ.PMADJ[1:0]ビット = 10b (遅らせる)
- RADJ.ADJ[5:0]ビット = 1 (01h)

1秒の割り込みごとにRADJレジスタに書き込む

9.3.10.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0]ビットを“00b” (補正しない) にした後、RCR2.AADJEビットを変更してください。

ソフトウェアによる補正から、自動補正に切り替える場合

- (1) RADJ.PMADJ[1:0]ビットを“00b” (補正しない) にする
- (2) RCR2.AADJEビットを“1” (自動補正機能許可) にする
- (3) RCR2.AADJPビットで補正周期を選択する
- (4) RADJ.PMADJ[1:0]ビットに補正方向を、RADJ.ADJ[5:0]ビットに時計誤差補正值を設定する

自動補正から、ソフトウェアによる補正に切り替える場合

- (1) RADJ.PMADJ[1:0]ビットを“00b” (補正しない) にする
- (2) RCR2.AADJEビットを“0” (ソフトウェアによる補正機能有効) にする
- (3) 任意のタイミングでRADJ.PMADJ[1:0]ビットに補正方向を、RADJ.ADJ[5:0]ビットに時計誤差補正值を書き込むと補正を行う。以降、RADJレジスタに書き込むごとに補正を行う。

9.3.10.4 補正機能の停止手順

補正機能を停止する場合は、RADJ.PMADJ[1:0]ビットを“00b” (補正しない) にしてください。

9.3.10.5 時間キャプチャ機能

RTCは時間キャプチャイベント入力端子のエッジ検出によって、月、日、時、分、秒／バイナリカウンタ3～0の値を格納します。

また、RTCの時間キャプチャイベント入力端子には、ノイズフィルタを使用することができます。ノイズフィルタを有効にした場合、端子の入力レベルが、3回一致することでTCSTビットが“1”になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタのON/OFFを設定できます。

ノイズフィルタOFFの場合の動作を図9-61に、ノイズフィルタONの場合の動作を図9-62に示します。

図9-61 時間キャプチャ機能動作タイミング (フィルタOFF)

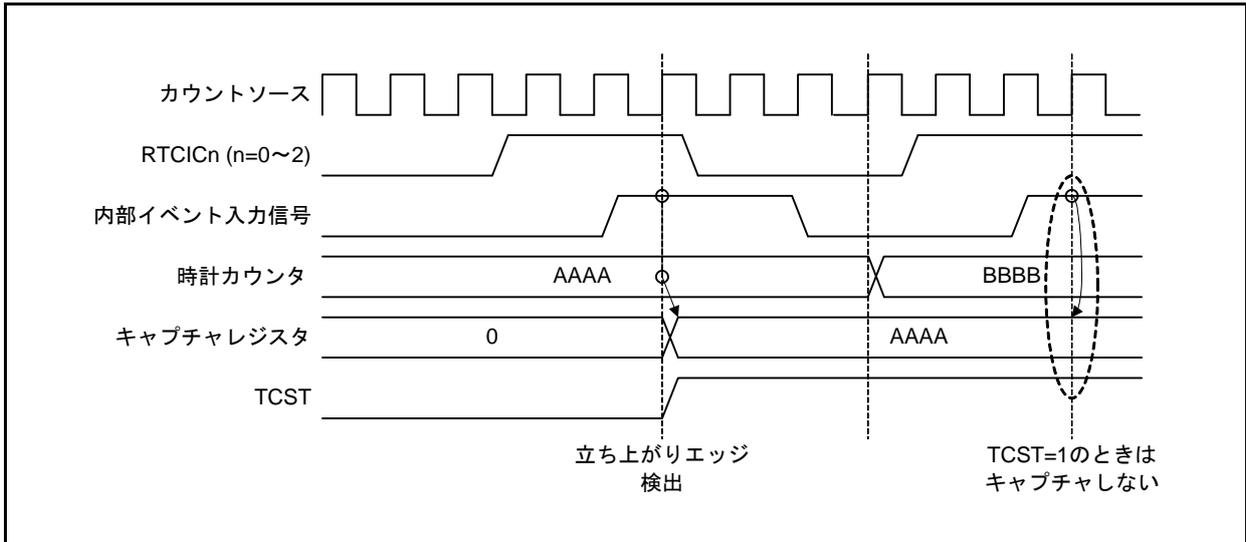
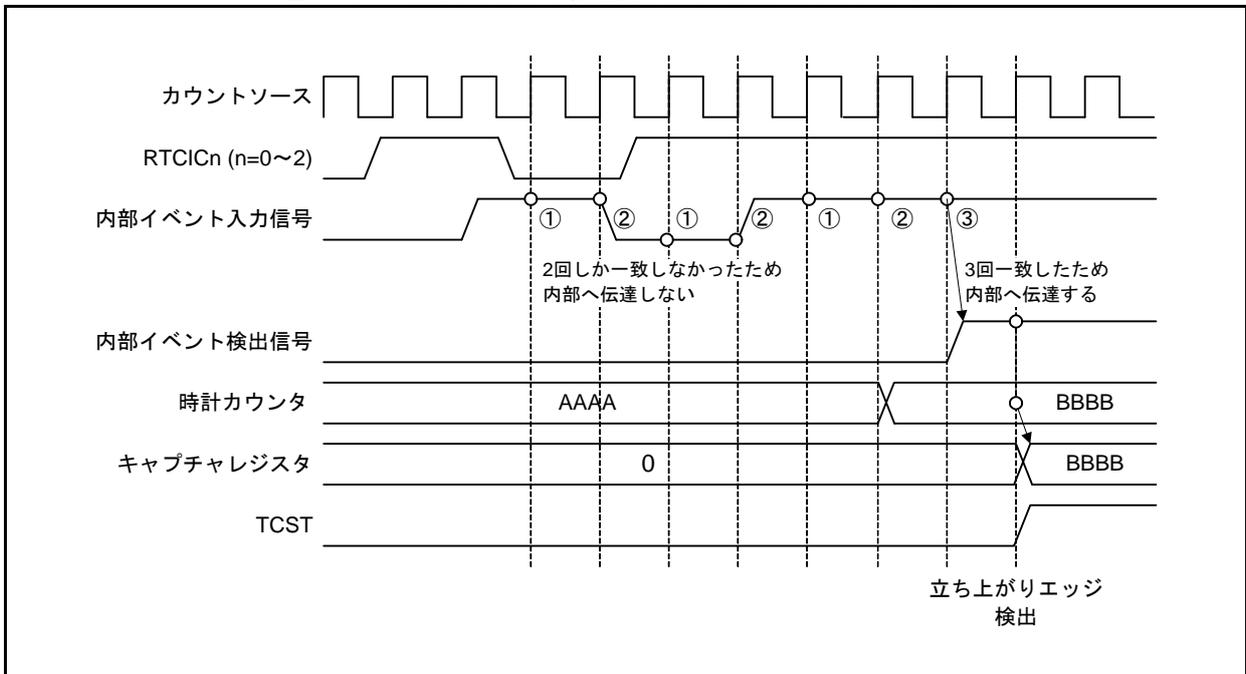


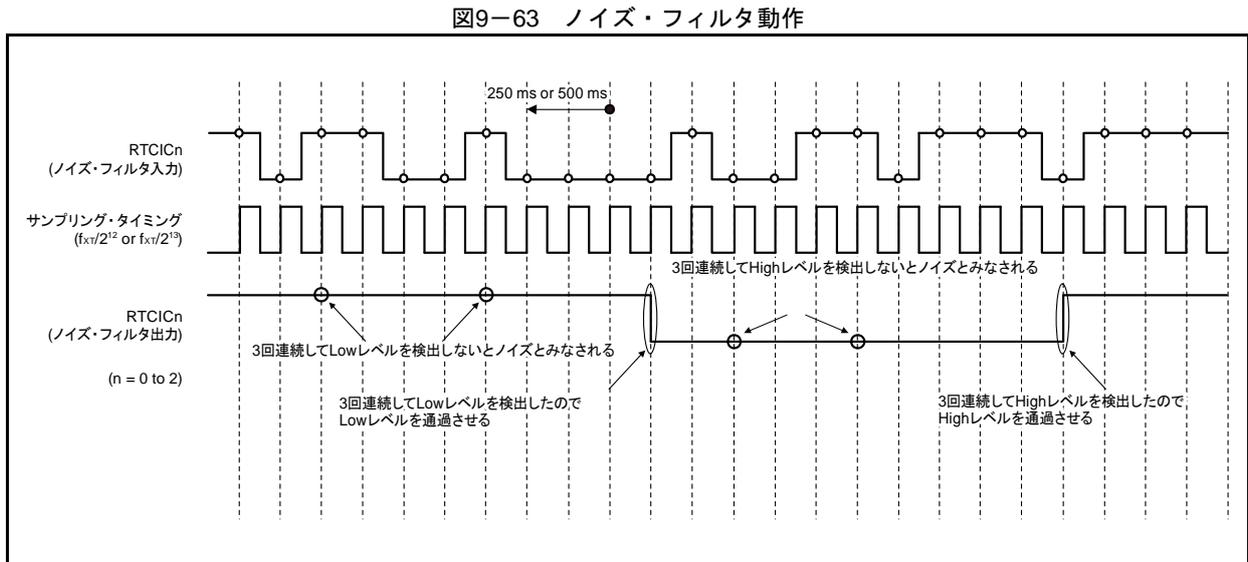
図9-62 時間キャプチャ機能動作タイミング (フィルタON)



9.3.11 RTCICn端子 (n = 0~2) 用ノイズ・フィルタ動作

RTCICn端子 (n = 0~2) はRTCの時間キャプチャイベント入力として使用することができます。RTCICn端子のチャタリングにより無用な時間キャプチャを防止するために、RTCICn端子用にノイズ・フィルタを内蔵しています。サンプリングクロックはRTCICNFENレジスタのRTCICnNF0ビットで選択できます。サンプリングクロックごとにRTCICn端子の入力信号をサンプリングし、3回連続して検出レベルに一致した場合に入力信号を通過させます。

ノイズ・フィルタ動作例を図9-63に示します。



RTCICn端子のノイズ・フィルタ設定は2つのレジスタ (RTCICNFENとRTCCRn.TCNF1-0) で選択可能です。表に、設定一覧を示します。

表9-4 RTCICn端子 (n = 0~2) 用ノイズ・フィルタ動作

RCR3	RTCCRn		RTCICNFEN		RTCICn端子のノイズ・フィルタ設定
	TCNF1	TCNF0	RTCICnNF1	RTCICnNF0	
0	0	0	0	x	RTCICn 端子入力無効。
0	0	0	0	x	ノイズ・フィルタ無効。
			1	0	ノイズ・フィルタ有効 (RTCカウントソースの2 ¹² 分周)。
			1	1	ノイズ・フィルタ有効 (RTCカウントソースの2 ¹³ 分周)。
	1	0	0	0	ノイズ・フィルタ有効 (RTCカウントソース)。
	1	1	0	0	ノイズ・フィルタ有効 (RTCカウントソースの32分周)。
上記以外					設定禁止。

備考 : n = 0~2

9.4 割り込み要因

RTCの割り込み要因には、以下の2種類があります。表9-5にRTCの割り込み要因を示します。

表9-5 RTCの割り込み要因

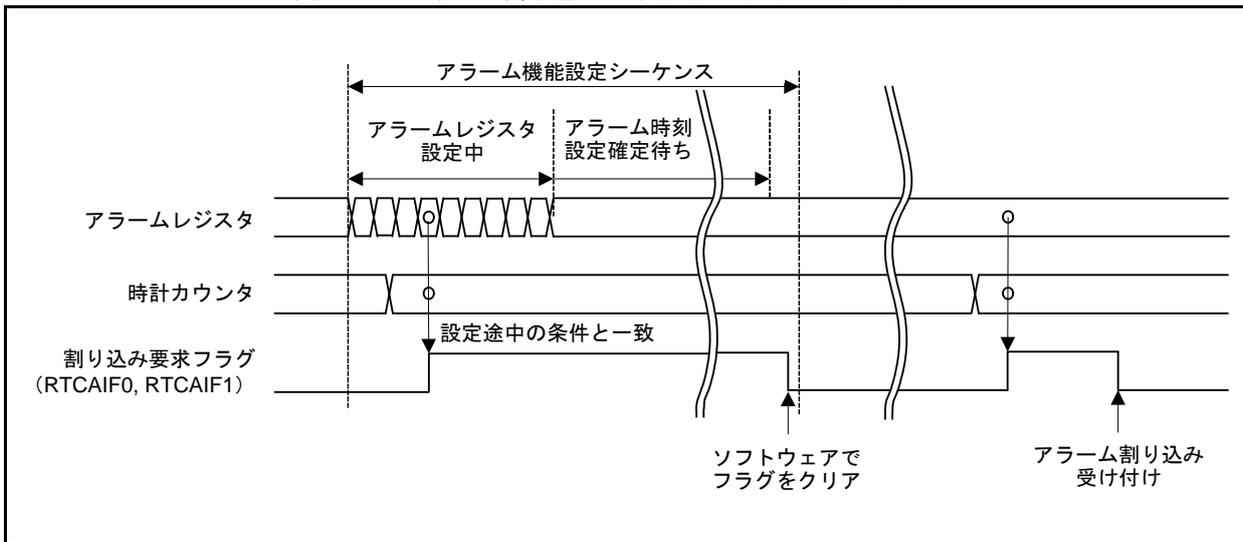
名称	割り込み要因
INTRTCALMm	RTCアラーム割り込みm (ALM)
INTRTCPRD	周期割り込み (PRD)

(1) RTCアラーム割り込みm (ALM)

アラームレジスタと時計カウンタとの比較結果によって割り込みが発生します(詳細は9.3.8 アラーム機能を参照してください)。

アラームレジスタの設定中に時計カウンタと一致し、割り込みフラグが“1”になる可能性があるため、アラームレジスタの変更後、アラーム時刻設定の確定を待ち、一度割り込み要求フラグレジスタIF1LのRTCAIF0フラグ (m = 0使用時), IF1HのRTCAIF1フラグ (m = 1使用時) を“0”にしてください。アラーム割り込みの割り込みフラグは、一度“0”にすると、再度アラームレジスタと時計カウンタが不一致状態になった後、再び一致するかアラームの再設定を行うまで“1”になりません。

図9-64 アラーム割り込みm (ALM) のタイミングチャート



注意 RTCアラーム割り込みm発生の確認には、IF1LのRTCAIF0フラグ (m = 0使用時), IF1HのRTCAIF1フラグ (m = 1使用時) を使用してください。

備考 : m = 0, 1

(2) 周期割り込み (PRD)

2秒, 1秒, 1/2秒, 1/4秒, 1/8秒, 1/16秒, 1/32秒, 1/64秒, 1/128秒, 1/256秒周期で発生する割り込みです。

RCR1.PES[3:0]ビットによって周期の選択が可能です。

注意 周期割り込みの発生は、割り込み要求フラグレジスタ (IF1H) のRTCRIFフラグを使用してください。

9.5 イベントリンク出力機能

RTCはイベントリンクコントローラ（ELC）へ以下のイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

(1) 周期イベント出力

RCR1.PES[3:0]ビットの設定により、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒周期から選択された周期でイベントを出力します。

また、イベント発生周期選択直後のイベント発生周期は保証されません。

注意 RTCのイベントリンク出力機能を使用する場合は、RTCの設定（初期化、時刻設定など）後、ELCを設定して行ってください。ELC設定後にRTCを設定すると、意図しないイベントが出力することがあります。

9.5.1 割り込み処理とイベントリンクの関係

RTCには、周期割り込みに割り込み許可／禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合にCPUに対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELCを介して他のモジュールにイベント信号として出力します。

注意 STOPモード中もアラーム割り込み、周期割り込み出力することができますが、ELC用の周期イベント信号は出力しません。

9.6 使用上の注意事項

9.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.STARTビット=1のとき）は、以下のレジスタに書き込みを行わないでください。

RSECCNT/BCNT0, RMINCNT/BCNT1, RHRCNT/BCNT2, RDAYCNT, RWKCNT/BCNT3, RMONCNT, RYRCNT, RCR1.RTCOS, RCR2.RTCOE, RCR2.HR24

上記のレジスタへの書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

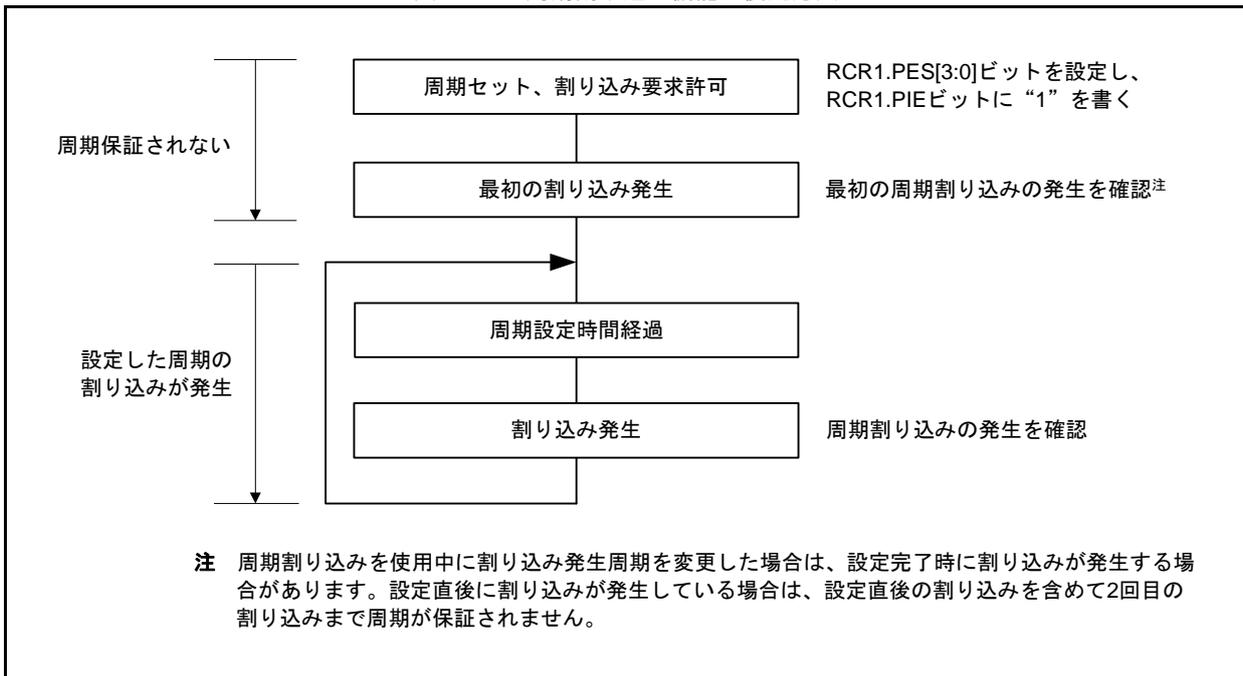
9.6.2 周期割り込みの使用について

周期割り込みの使用方法を図9-65に示します。

周期割り込みは、RCR1.PES[3:0]ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケアラ、R64CNT, RSECCNT/BCNT0カウンタを使用しているため、RCR1.PES[3:0]ビット設定直後の割り込み発生周期は保証されません。

RCR2レジスタによって、カウント動作の停止/動作, RTCソフトウェアリセット, 30秒調整, RCR4レジスタによって、0.5秒調整を行うと、割り込み発生周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值の分だけ周期がずれます。

図9-65 周期割り込み機能の使用方法



9.6.3 RTCOUT (1 Hz/64 Hz) 出力について

RCR2レジスタによって、カウント動作の停止/動作, RTCソフトウェアリセット, 30秒調整, RCR4レジスタによって、0.5秒調整を行うと、RTCOUT (1 Hz/64 Hz) 出力の周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後のRTCOUT (1 Hz/64 Hz) 出力の周期は、補正值の分だけ周期がずれます。

9.6.4 レジスタの書き込み／読み出し時の注意事項

- 秒カウンタなど、カウントレジスタの読み出しは、9.3.6 64 Hzカウンタおよび時刻読み出し手順に従ってください。
- カウントレジスタ、アラームレジスタ、年アラーム許可レジスタ、RCR2.AADJE, AADJP, HR24ビット, RCR3, RCR4レジスタに書いた値は、CPUクロック(f_{CLK})で4サイクル目から読み出しが可能です。
- SCMC, SCSC, RTCPORSR, RTCICNFEN, RSRレジスタ, RCR1.RTCOSビット, RCR2.RTCOEビットは、書き込み後すぐに書いた値を読み出すことができます。
- リセット発生後、RTCレジスタへの書き込みは、カウントソースクロック6サイクル経過後に行ってください。VRTCが遮断状態の時、RTC関連レジスタを設定するのは禁止です。

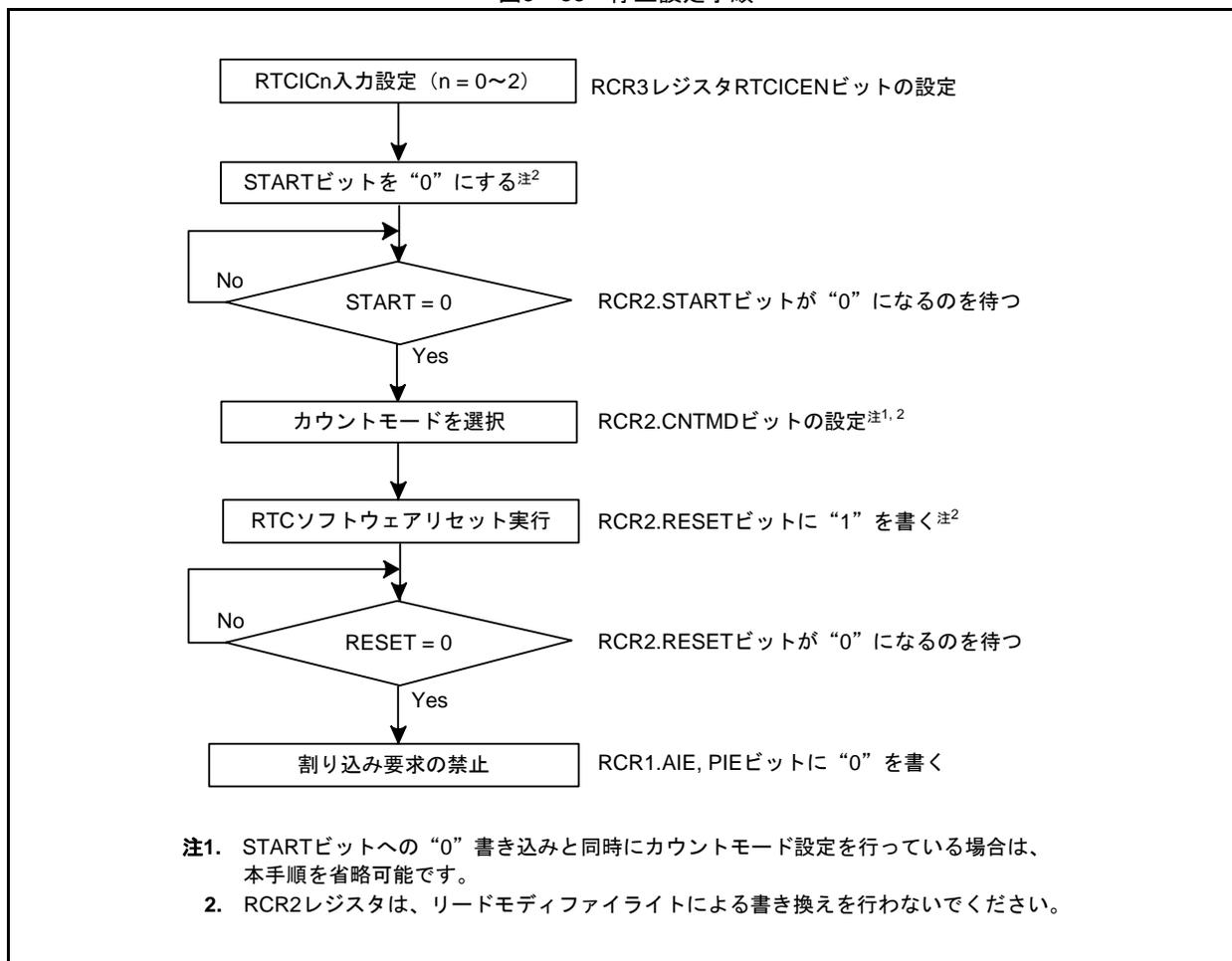
9.6.5 カウントモードの変更について

カウントモード（カレンダー／バイナリ）を変更する場合には、RCR2.STARTビットを“0”に設定し、カウント動作を停止させてから初期設定からやり直してください。初期設定の詳細は9.3.1 電源投入後のレジスタの初期設定概要を参照してください。

9.6.6 独立電源RTCの停止手順

RL78/I1C (512 KB) の独立電源RTCは、RTCパワーオン・リセット解除直後は不定状態です。独立電源RTCの機能を必要としない場合は、**図9-66**に示す下記手順に従って止めてください。

図9-66 停止設定手順



9.6.7 時間キャプチャイベント機能の注意事項

RL78/I1C (512 KB) では、V_{DD}電源端子からの電源供給が遮断した場合においても、時間キャプチャイベント入力端子 (RTCICn) の時間キャプチャ機能を使用することができます。

第10章 周波数測定回路

10.1 周波数測定回路

周波数測定回路は、基準クロックを外部から入力することで、サブ・クロック (fsx) または低速オンチップ・オシレータ・クロック (fil) の周波数測定を行うことができる機能です。

10.2 周波数測定回路の構成

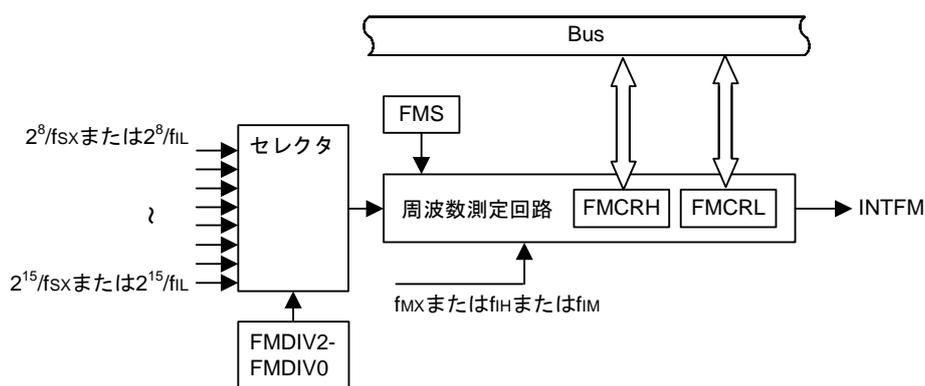
周波数測定回路は、次のハードウェアで構成されています。

表10-1 周波数測定回路の構成

項目	構成
カウンタ	カウンタ (32 ビット)
制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
	サブシステム・クロック供給オプション制御レジスタ (OSMC)
	周波数測定カウンタ・レジスタL (FMCRL)
	周波数測定カウンタ・レジスタH (FMCRH)
	周波数測定コントロール・レジスタ (FMCTL)
	周波数測定回路クロック選択レジスタ (FMCKS)

図10-1に周波数測定回路のブロック図を示します。

図10-1 周波数測定回路のブロック図



10.3 周波数測定回路を制御するレジスタ

周波数測定回路は、次のレジスタで制御します。

- 周辺イネーブル・レジスタ1 (PER1)
- サブシステム・クロック供給オプション制御レジスタ (OSMC)
- 周波数測定カウント・レジスタL (FMCRL)
- 周波数測定カウント・レジスタH (FMCRH)
- 周波数測定コントロール・レジスタ (FMCTL)
- 周波数測定回路クロック選択レジスタ (FMCKS)

10.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、周波数測定回路で使用するレジスタへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

ビット6 (FMCEN) を1に設定することで、周波数測定回路を制御するレジスタを設定可能になります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCEN	SMOTD1EN	SMOTD0EN	DTCEN	TRJ1EN	TRJ0EN	DSADCEN

FMCEN	周波数測定回路の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> 周波数測定回路で使用するSFRへのライト不可、リードした場合は00Hが読めます。 周波数測定回路およびSFRはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> 周波数測定回路で使用するSFRへのリード／ライト可

注意1. 次のビットには必ず“0”を設定してください。

ビット7

- 各周辺機能が動作許可の状態、PER1レジスタの対象ビットを切り替えないでください。PER1による設定は、PER1に割り当てている各周辺機能が停止している状態で切り替えてください。

10.3.2 サブシステム・クロック供給オプション制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブ・クロック (fsx) でCPU動作中のHALTモード時に、独立電源 RTC, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路, LCDコントローラ/ドライバ, 発振停止検出回路, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1, タイマRJ0, 1以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタでは12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路, LCDコントローラ/ドライバ, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1, タイマRJ0, 1の動作クロックを選択できます。

ただし、シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1の動作クロックに低速オンチップ・オシレータ・クロックを選択することはできません。シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1を使用する場合は、WUTMMCK0ビットを0に設定して、動作クロックにサブ・クロック (fsx) を選択してください。

OSMCレジスタは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 サブシステム・クロック供給オプション制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバ, 周波数測定回路, タイマRJ0, 1の 動作クロックの選択	周波数測定回路の カウント動作/停止 トリガクロック選択	クロック出力/ ブザー出力制御回路の 出カクロックの選択	シリアル・インターフェース UARTMG0, 1, サンプリング出力タイマ /ディテクタ0, 1の 動作クロックの選択
0	サブ・クロック (fsx)	サブ・クロック (fsx) を選択	サブ・クロック (fsx)	サブ・クロック (fsx)
1	低速オンチップ・オシレータ・クロ ック (f _{IL}) ^{注2,3,5,6}	低速オンチップ・オシレ ータ・クロック (f _{IL}) を選択 ^{注5}	クロック出力禁止 ^{注4}	設定禁止

注1. ビット6, 5, 3-0には, 必ず0を設定してください。

- サブ・クロック (fsx) 発振中にWUTMMCK0ビットを“1”に設定することは禁止です。
- WUTMMCK0ビットによるサブ・クロック (fsx) と低速オンチップ・オシレータ・クロック (f_{IL}) の切り替えは, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路, LCDコントローラ/ドライバ, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1, タイマRJ0, 1の全ての機能が停止中のみ可能です。
- WUTMMCK0を“1”に設定した場合, PCLBUZn端子からクロック出力を禁止します。
- WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロック (f_{IL}) が発振します。
- WUTMMCK0を“1”に設定した場合, LCDコントローラ/ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

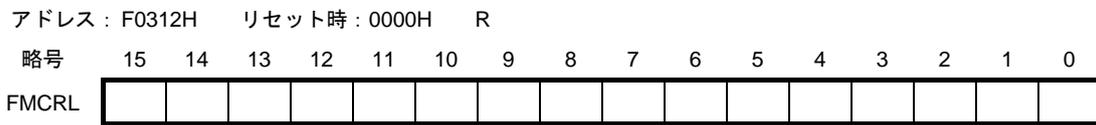
10.3.3 周波数測定カウント・レジスタL (FMCRL)

周波数測定回路内の周波数測定カウント・レジスタ (FMCRL) の下位16ビットを表します。

FMCRLレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、FMCRLレジスタは0000Hになります。

図10-4 周波数測定カウント・レジスタL (FMCRL) のフォーマット



- 注意1. FMS = 1のとき、FMCRLの値をリードしないでください。
 2. 周波数測定完了割り込み発生後、FMCRLの値をリードしてください。

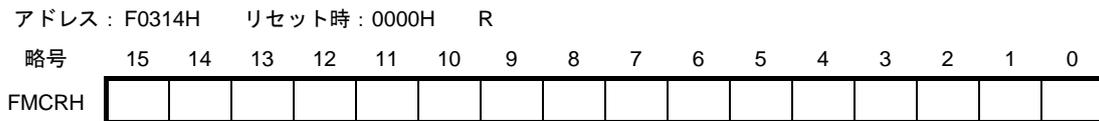
10.3.4 周波数測定カウント・レジスタH (FMCRH)

周波数測定回路内の周波数測定カウント・レジスタFMCRの上位16ビットを表します。

FMCRHレジスタは、16ビット・メモリ操作命令で読み出せます。

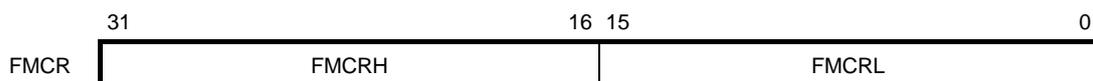
リセット信号の発生により、FMCRHレジスタは0000Hになります。

図10-5 周波数測定カウント・レジスタH (FMCRH) のフォーマット



- 注意1. FMS = 1のとき、FMCRHの値をリードしないでください。
 2. 周波数測定完了割り込み発生後、FMCRHの値をリードしてください。

図10-6 周波数測定カウント・レジスタFMCR (FMCRH, FMCRL)



10.3.5 周波数測定コントロール・レジスタ (FMCTL)

FMCTLレジスタは、周波数測定回路の動作を設定するレジスタです。周波数測定動作開始、周波数測定期間の設定を行います。

FMCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FMCTLレジスタは00Hになります。

図10-7 周波数測定コントロール・レジスタ (FMCTL) のフォーマット

アドレス : F0316H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FMCTL	FMS	0	0	0	0	FMDIV2	FMDIV1	FMDIV0

FMS	周波数測定回路動作許可
0	周波数測定回路停止
1	周波数測定回路動作 動作クロックの立ち上がりによってカウントを開始し、次の動作クロックの立ち下がりによりカウントを停止します。

FMDIV2	FMDIV1	FMDIV0	周波数測定期間設定
0	0	0	$2^8/f_{sx}$ または $2^8/f_{L}$ (7.8125 ms)
0	0	1	$2^9/f_{sx}$ または $2^9/f_{L}$ (15.625 ms)
0	1	0	$2^{10}/f_{sx}$ または $2^{10}/f_{L}$ (31.25 ms)
0	1	1	$2^{11}/f_{sx}$ または $2^{11}/f_{L}$ (62.5 ms)
1	0	0	$2^{12}/f_{sx}$ または $2^{12}/f_{L}$ (0.125 s)
1	0	1	$2^{13}/f_{sx}$ または $2^{13}/f_{L}$ (0.25 s)
1	1	0	$2^{14}/f_{sx}$ または $2^{14}/f_{L}$ (0.5 s)
1	1	1	$2^{15}/f_{sx}$ または $2^{15}/f_{L}$ (1 s)

注意 FMS = 1のとき、FMDIV2-FMDIV0ビットの設定を変更しないでください。

備考 周波数測定分解能は下記の計算式により算出できます。

- 周波数測定分解能 = $10^6 / (\text{周波数測定期間 [s]} \times \text{基準クロック周波数 (} f_{MX} \text{) [Hz]})$ [ppm]

例1) FMDIV2-FMDIV0 = 000B, $f_{MX} = 20$ MHzのとき、測定分解能 = 6.4 ppm

例2) FMDIV2-FMDIV0 = 111B, $f_{MX} = 1$ MHzのとき、測定分解能 = 1 ppm

10.3.6 周波数測定回路クロック選択レジスタ (FMCKS)

FMCKSレジスタは、周波数測定回路に入力する動作クロックおよび周波数カウントクロックを選択するレジスタです。

FMCKSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FMCKSレジスタは00Hになります。

図10-8 周波数測定回路クロック選択レジスタ (FMCKS) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FMCKS	0	0	0	0	0	0	FMCKSEL1	FMCKSEL0

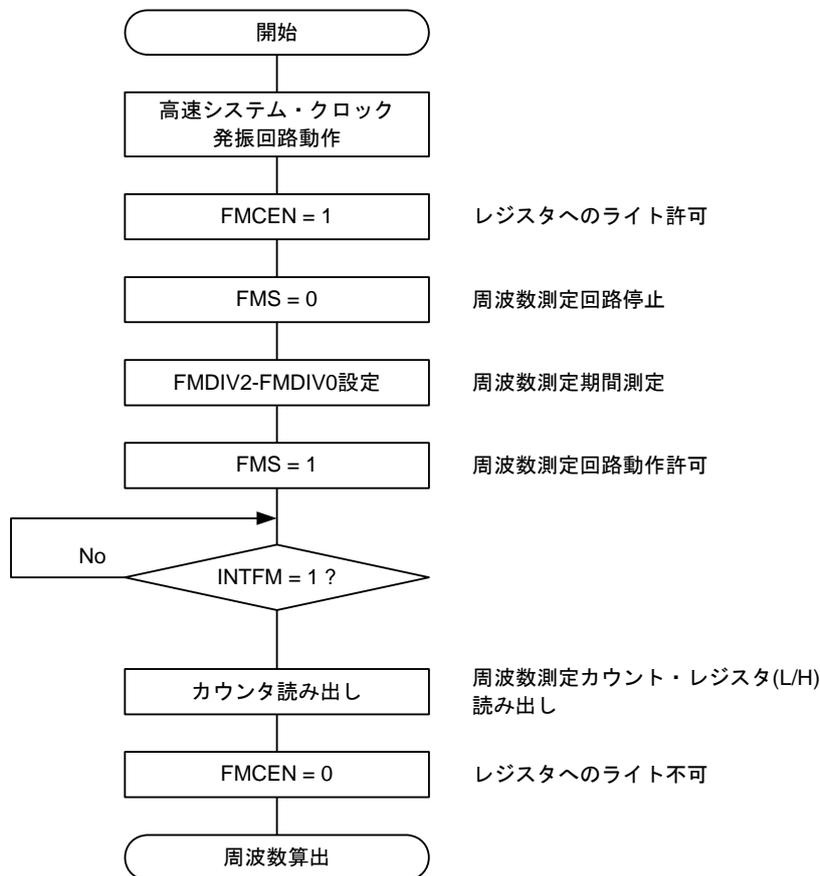
FMCKSEL1	FMCKSEL0	周波数カウントクロック選択
0	0	f _{MX} を選択
0	1	f _M を選択
1	×	f _H を選択

10.4 周波数測定回路の動作

10.4.1 基準クロックによる周波数測定回路の設定

周波数測定回路の設定は、最初にFMS = 0にしてから行ってください。

図10-9 基準クロックによる周波数測定回路の設定手順



注意 周波数測定カウント・レジスタ (L/H) 読み出し後は必ず、FMCEN = 0に設定してください。

fsxまたはfIL発振周波数は次の計算式により算出できます。

$$fsx \text{ または } f_{IL} \text{ 発振周波数} = \frac{\text{基準クロック周波数 [Hz]} \times \text{動作トリガ分周比}}{\text{周波数測定カウント・レジスタ値(FMCR)}} \quad [\text{Hz}]$$

例えば、下記の条件にて周波数測定を行い、

- カウントクロック周波数：f_{MX} = 10 MHz
- 周波数測定期間設定レジスタ：FMDIV2-FMDIV0 = 111B (動作トリガ分周比：2¹⁵)

測定結果が下記であった場合

- 周波数測定カウント・レジスタ：FMCR = 10000160 D

fsxまたはfIL発振周波数は次の値になる。

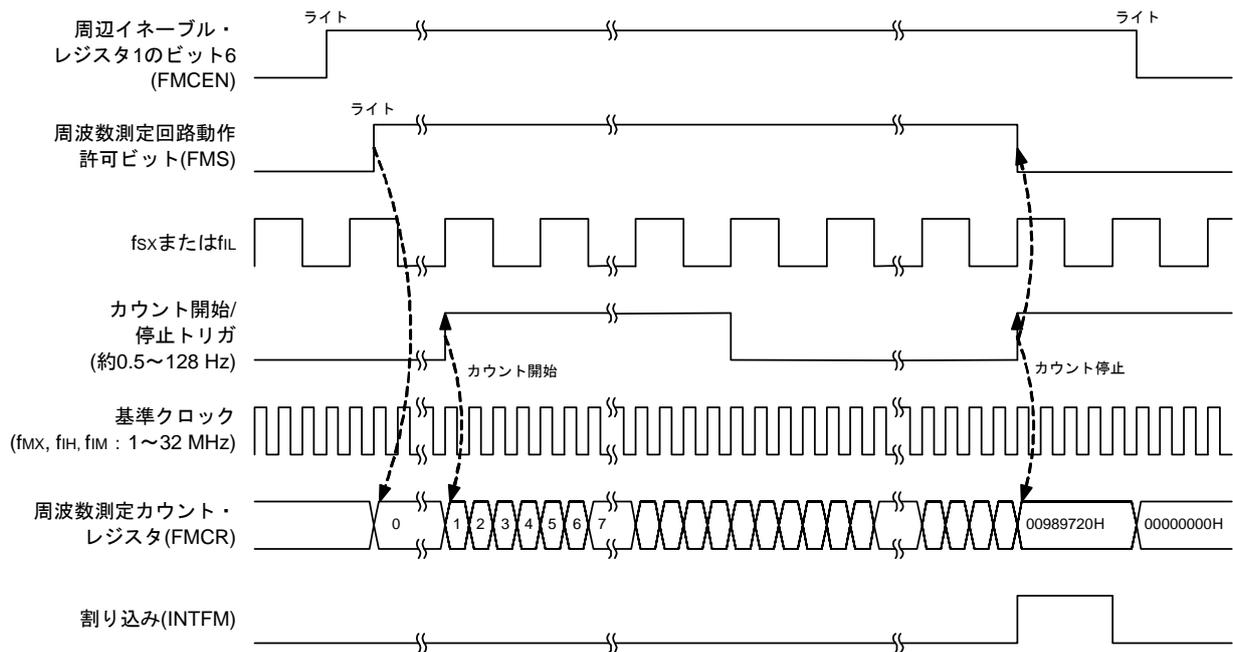
$$fsx \text{ または } f_{IL} \text{ 発振周波数} = \frac{(10 \times 10^6) \times 2^{15}}{10000160} = 32767.47572 \quad [\text{Hz}]$$

10.4.2 周波数測定回路の動作タイミング

周波数測定回路の動作は、図10-10のようなタイミングとなります。

周波数測定回路動作許可ビット (FMS) を“1”に設定後、周波数測定期間設定ビット (FMDIV2-FMDIV0) で設定したカウント開始トリガによってカウントを開始し、次のトリガでカウントを停止します。カウント停止後は、カウント値を保持し、周波数測定回路動作許可ビット (FMS) が“0”にリセットされます。周波数測定回路の動作が終了し、周波数測定カウント・レジスタ (L/H) 読み出し後は、必ず周辺イネーブル・レジスタ1のビット6 (FMCEN) を“0”に設定してください。また、fsxまたはfilの1クロック分割り込みを発生します。

図10-10 周波数測定回路の動作タイミング



第11章 12ビット・インターバル・タイマ

11.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み（INTIT）を発生します。STOPモードからのウエイク・アップに使用できます。

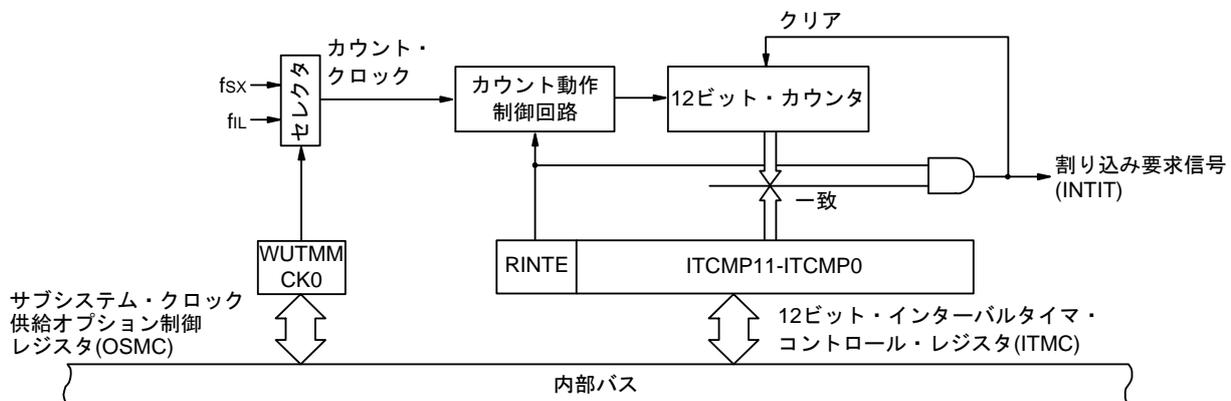
11.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表11-1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ2（PER2）
	周辺リセット制御レジスタ2（PRR2）
	サブシステム・クロック供給オプション制御レジスタ（OSMC）
	12ビット・インターバル・タイマ・コントロール・レジスタ（ITMC）

図11-1 12ビット・インターバル・タイマのブロック図



11.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ2 (PER2)
- ・周辺リセット制御レジスタ2 (PRR2)
- ・サブシステム・クロック供給オプション制御レジスタ (OSMC)
- ・12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

11.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは、必ずビット7 (TMKAEN) を1に設定してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	OSDCEN	UARTMG1EN	UARTMG0EN	0	MACEN	0	VRTCEN

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可、リードした場合は0Hが読めます。ただし、初期化はされていません。 ^注
1	入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注 12ビット・インターバル・タイマおよび12ビット・インターバル・タイマで使用するSFRを初期化する場合、PRR2のビット7 (TMKARES) を使用してください。

注意1. 次のビットには必ず“0”を設定してください。

ビット3, 1

- 各周辺機能が動作許可の状態、PER2レジスタの対象ビットを切り替えしないでください。PER2による設定は、PER2に割り当てている各周辺機能が停止している状態で切り替えてください（ただし、FMCENは除く）。

11.3.2 周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

12ビット・インターバル・タイマをリセットする場合は、必ずビット7 (TMKARES) を1に設定してください。

PRR2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR2レジスタは00HIになります。

図11-3 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	OSDCRES	UARTMG1RES	UARTMG0RES	0	MACRES	0	0

TMKARES	12ビット・インターバル・タイマのリセット制御
0	12ビット・インターバル・タイマのリセット解除
1	12ビット・インターバル・タイマはリセット状態

11.3.3 サブシステム・クロック供給オプション制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-4 サブシステム・クロック供給オプション制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ／ドライバ, 周波数測定回路, タイマRJ0, 1の動作クロックの選択	周波数測定回路のカウンタ動作／停止トリガクロック選択	クロック出力／ブザー出力制御回路の出力クロックの選択	シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ／ディテクタ0, 1の動作クロック選択
0	サブ・クロック (fsx)	サブ・クロック (fsx) を選択	サブ・クロック (fsx)	サブ・クロック (fsx)
1	低速オンチップ・オシレータ・クロック (fil) ^{注2, 3, 5, 6}	低速オンチップ・オシレータ・クロック (fil) を選択 ^{注5}	クロック出力禁止 ^{注4}	設定禁止

注1. ビット6, 5, 3-0, 必ず0を設定してください。

2. サブ・クロック (fsx) 発振中にWUTMMCK0ビットを“1”に設定することは禁止です。
3. WUTMMCK0ビットによるサブ・クロック (fsx) と低速オンチップ・オシレータ・クロック (fil) の切り替えは、12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力／ブザー出力制御回路, LCDコントローラ／ドライバ, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ／ディテクタ0, 1, タイマRJ0, 1の全ての機能が停止中のみ可能です。
4. WUTMMCK0を“1”に設定した場合, PCLBUZn端子からクロック出力を禁止します。
5. WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロック (fil) が発振します。
6. WUTMMCK0を“1”に設定した場合, LCDコントローラ／ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

11.3.4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図11-5 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止 (カウント・クリア)
1	カウンタ動作開始

ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期 × (ITMCMP設定値 + 1)」の定周期割り込みを発生します。
.	
.	
FFFH	設定禁止
000H	
ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例	
・ ITCMP11-ITCMP0 = 001H, カウント・クロック : $f_{sx} = 32.768 \text{ kHz}$ 時	
$1/32.768 \text{ [kHz]} \times (1+1) = 0.06103515625 \text{ [ms]} \doteq 61.03 \text{ [}\mu\text{s]}$	
・ ITCMP11-ITCMP0 = FFFH, カウント・クロック : $f_{sx} = 32.768 \text{ kHz}$ 時	
$1/32.768 \text{ [kHz]} \times (4095+1) = 125 \text{ [ms]}$	

- 注意 1. RINTEビットを1→0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始 (0→1) する場合は、TMKAIFフラグをクリアしてから割り込み処理許可にしてください。
2. RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。
3. スタンバイ・モードから復帰後にRINTEビット設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分以上経過後に移行してください。
4. ITCMP11-ITCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。ただし、RINTE = 0→1または1→0に変更すると同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

11.4 12ビット・インターバル・タイマの動作

11.4.1 12ビット・インターバル・タイマの動作タイミング

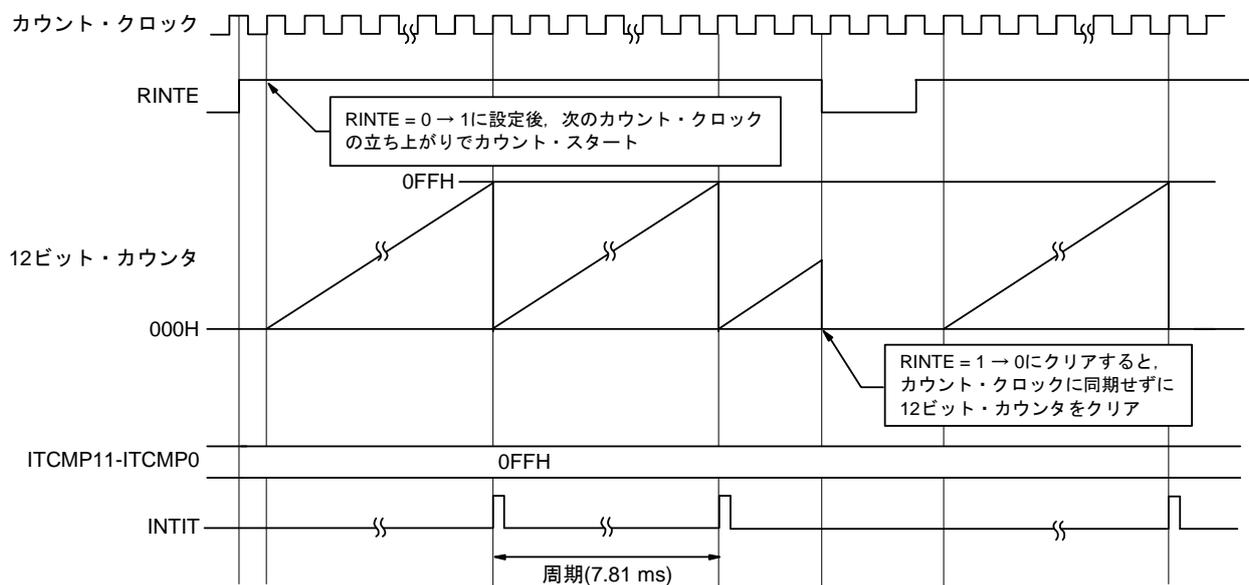
ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTIT) を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTIT) を発生します。

12ビット・インターバル・タイマの基本動作を図11-6に示します。

図11-6 12ビット・インターバル・タイマ動作のタイミング
(ITCMP11-ITCMP0 = 0FFH, カウント・クロック : fsx = 32.768 kHz)

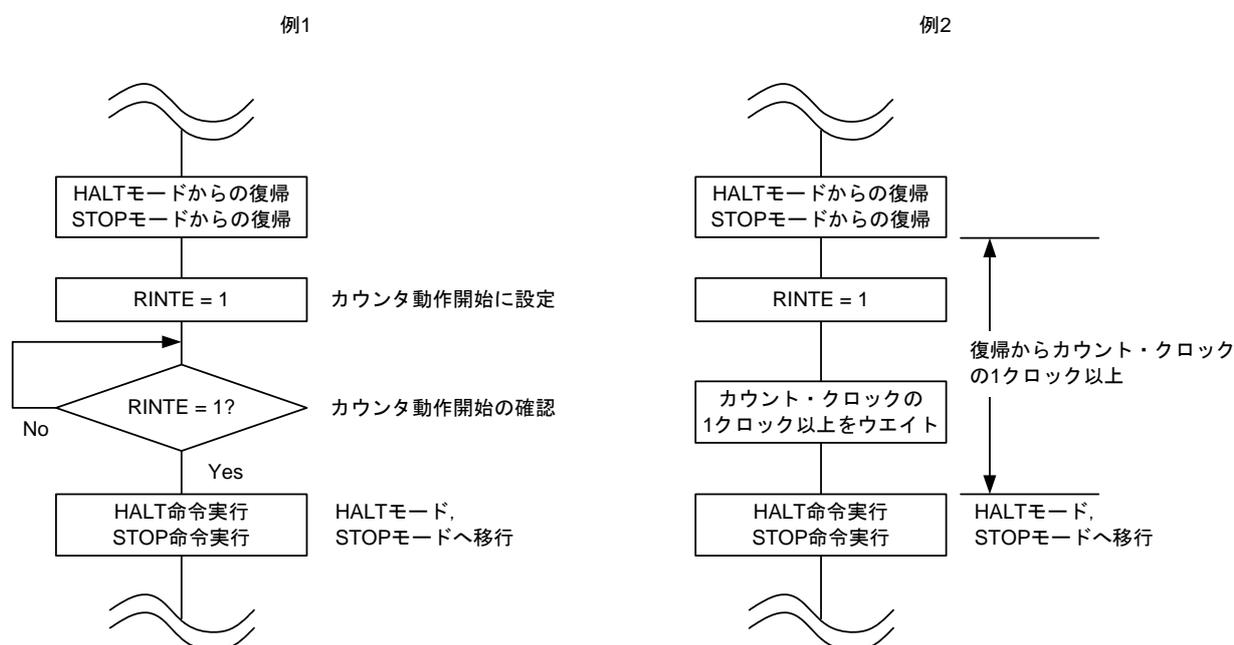


11.4.2 HALT/STOPモードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- ・RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する（**図11-7 例1**参照）。
- ・RINTE = 1に設定してから、カウント・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する（**図11-7 例2**参照）。

図11-7 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第12章 8ビット・インターバル・タイマ

RL78/I1C (512 KB) は8ビット・インターバル・タイマを4ユニット持ちます。

8ビット・インターバル・タイマは8ビット・タイマを1ユニットにつき2つ（チャンネル0, チャンネル1）持ち、それぞれが独立して動作します。また、2つの8ビット・タイマを連結動作させることで16ビット・タイマとして動作することもできます。

12.1 概要

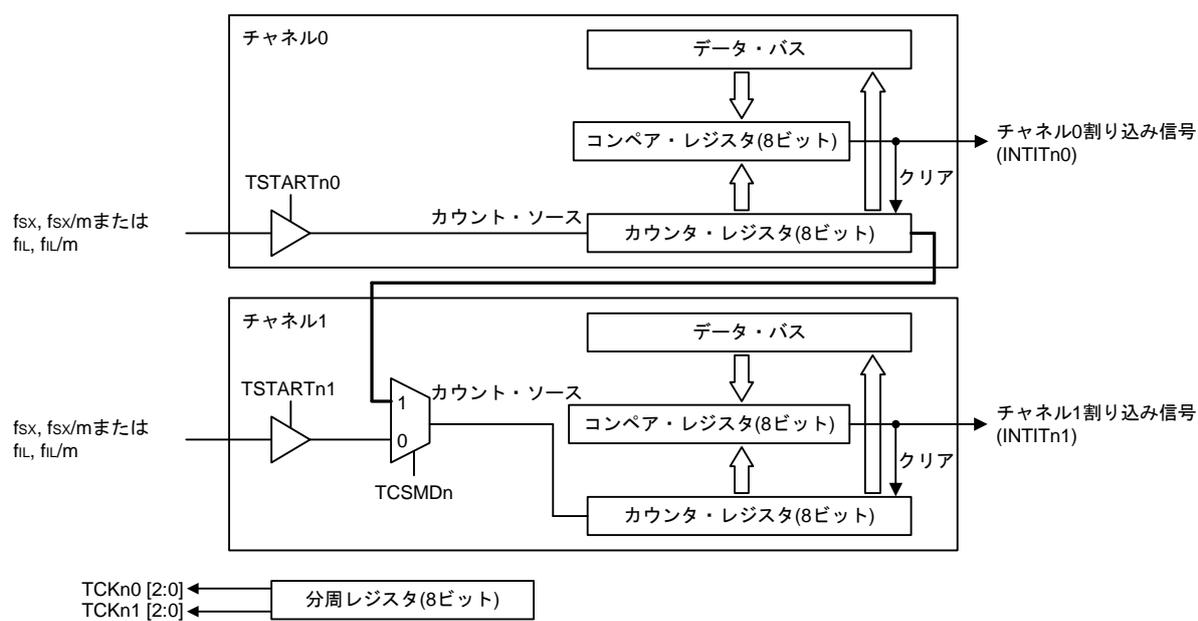
8ビット・インターバル・タイマはCPUと非同期の f_{sx} または f_{il} クロックで動作する8ビット・タイマです。

表12-1に8ビット・インターバル・タイマの仕様を、図12-1に8ビット・インターバル・タイマのブロック図を示します。

表12-1 8ビット・インターバル・タイマの動作仕様

項目	内容
カウント・ソース (動作クロック)	<ul style="list-style-type: none"> • f_{sx}, $f_{sx}/2$, $f_{sx}/4$, $f_{sx}/8$, $f_{sx}/16$, $f_{sx}/32$, $f_{sx}/64$, $f_{sx}/128$ • f_{il}, $f_{il}/2$, $f_{il}/4$, $f_{il}/8$, $f_{il}/16$, $f_{il}/32$, $f_{il}/64$, $f_{il}/128$
動作モード	<ul style="list-style-type: none"> • 8ビット・カウンタ・モード チャンネル0, チャンネル1が独立した8ビット・カウンタとして動作するモード • 16ビット・カウンタ・モード チャンネル0, チャンネル1を連結して16ビット・カウンタとして動作するモード
割り込み	<ul style="list-style-type: none"> • カウンタがコンペア値と一致したとき出力

図12-1 8ビット・インターバル・タイマのブロック図



TSTARTni (i = 0, 1), TCSMDn, TCLKENn: TRTCRnレジスタのビット

TCKni[2:0]: TRTMDnレジスタのビット

備考 m = 2, 4, 8, 16, 32, 64, 128

n = 0-3

12.2 入出力端子

8ビット・インターバル・タイマは入出力端子を持ちません。

12.3 レジスタの説明

表12-2に8ビット・インターバル・タイマのレジスタ構成を示します。

表12-2 レジスタ一覧

項目	構成
制御レジスタ	8ビット・インターバル・タイマ・カウンタ・レジスタn0 (TRTn0) 注1
	8ビット・インターバル・タイマ・カウンタ・レジスタn1 (TRTn1) 注1
	8ビット・インターバル・タイマ・カウンタ・レジスタn (TRTn) 注2
	8ビット・インターバル・タイマ・コンペア・レジスタn0 (TRTCMPn0) 注1
	8ビット・インターバル・タイマ・コンペア・レジスタn1 (TRTCMPn1) 注1
	8ビット・インターバル・タイマ・コンペア・レジスタn (TRTCMPn) 注2
	8ビット・インターバル・タイマ制御レジスタn (TRTCRn)
	8ビット・インターバル・タイマ分周レジスタn (TRTMDn)

注1. TRTCRnレジスタのTCSMDnビット = 0のときのみアクセス可能です。

2. TRTCRnレジスタのTCSMDnビット = 1のときのみアクセス可能です。

備考 n = 0-3

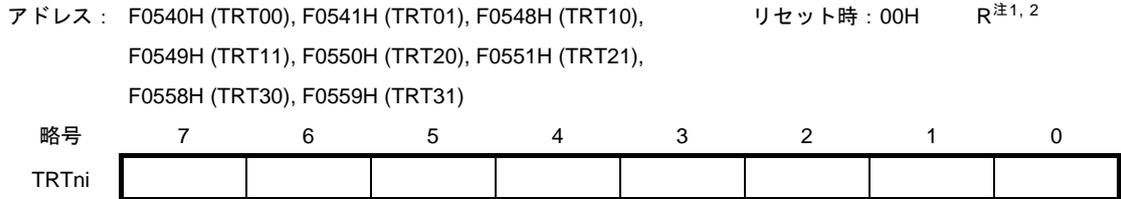
12.3.1 8ビット・インターバル・タイマ・カウンタ・レジスタ_{ni} (TRT_{ni}) (n = 0-3, i = 0, 1)

8ビット・インターバル・タイマのカウンタ・レジスタです。カウンタ・クロックによりカウンタ・アップするカウンタです。

TRT_{ni}レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 8ビット・インターバル・タイマ・カウンタ・レジスタ_{ni} (TRT_{ni}) のフォーマット



- 注1. TRT_{ni}レジスタはコンペア・レジスタTRTCMP_{ni}に書き込みアクセス後、カウンタ・クロックで2サイクル後00Hになります。詳細は12.4.4 コンペア・レジスタ値の反映タイミングを参照してください。
2. 8ビット・インターバル・タイマ制御レジスタ_n (TRTCR_n) のモード選択ビット (TCSMD_n) が0の場合のみアクセスが可能になります。

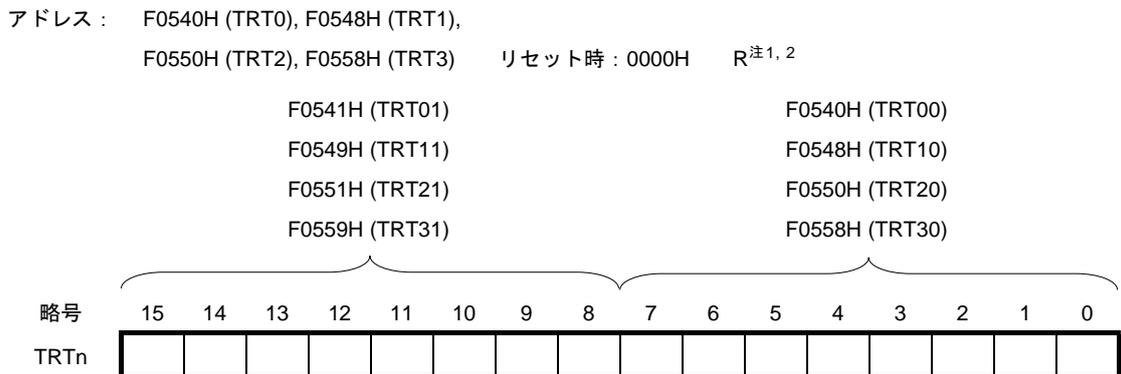
12.3.2 8ビット・インターバル・タイマ・カウンタ・レジスタ_n (TRT_n) (n = 0-3)

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合の16ビットのカウンタ・レジスタです。

TRT_nレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図12-3 8ビット・インターバル・タイマ・カウンタ・レジスタ_n (TRT_n) のフォーマット



- 注1. TRT_nレジスタはコンペア・レジスタTRTCMP_nに書き込みアクセス後、カウンタ・クロックで2サイクル後に0000Hになります。詳細は12.4.4 コンペア・レジスタ値の反映タイミングを参照してください。
2. 8ビット・インターバル・タイマ制御レジスタ_n (TRTCR_n) のモード選択ビット (TCSMD_n) が1の場合のみアクセスが可能になります。

12.3.4 8ビット・インターバル・タイマ・コンペア・レジスタn (TRTCMPn) (n = 0-3)

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合のコンペア値レジスタです。

TRTCMPnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFHになります。

設定範囲は0001H~FFFFH^{注1}です。

TRTnレジスタ（カウンタ）との比較値を格納します。

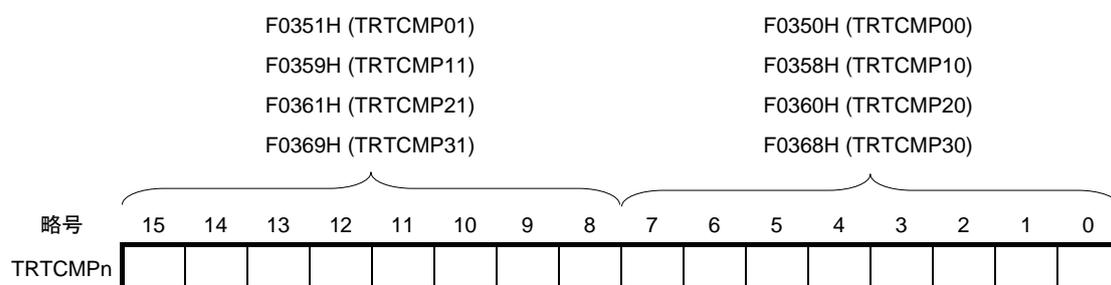
ライト・アクセスによりカウンタ値（TRTn）を0000Hにクリアします。

コンペア値の書き換えタイミングは、12.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

図12-5 8ビット・インターバル・タイマ・コンペア・レジスタn (TRTCMPn) のフォーマット

アドレス： F0350H (TRTCMP0), F0358H (TRTCMP1),

F0360H (TRTCMP2), F0368H (TRTCMP3) リセット時：FFFFH R/W^{注2}



注1. TRTCMPnレジスタの0000H設定は禁止です。

2. 8ビット・インターバル・タイマ制御レジスタn (TRTCRn) のモード選択ビット (TCSMDn) が1の場合のみアクセスが可能になります。

12.3.5 8ビット・インターバル・タイマ制御レジスタn (TRTCRn) (n = 0-3)

8ビット・インターバル・タイマのカウンタ停止／開始の設定と8ビット・カウンタ/16ビット・カウンタ動作の切替えを設定するレジスタです。

TRTCRnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-6 8ビット・インターバル・タイマ制御レジスタn (TRTCRn) のフォーマット

アドレス : F0352H (TRTCR0), F035AH (TRTCR1), リセット時 : 00H R/W^{注3}
 F0362H (TRTCR2), F036AH (TRTCR3)

略号	7	6	5	4	3	2	1	0
TRTCRn	TCSMDn	0	0	TCLKENn	0	TSTARTn1	0	TSTARTn0

TCSMDn	モード選択
0	8ビット・カウンタとして動作
1	16ビット・カウンタとして動作(チャンネル0, チャンネル1を連結)
詳細は、12.4 動作説明を参照。	

TCLKENn	8ビット・インターバル・タイマ・クロック許可 ^{注1}
0	クロック停止
1	クロック供給

TSTARTn1	8ビット・インターバル・タイマ1カウンタ開始 ^{注1, 2}
0	カウンタ停止
1	カウンタ開始
8ビット・インターバル・タイマ・モードでは、TSTARTn1ビットに1を書くことによりTRTn1がカウンタを開始し、0を書くことによりカウンタを停止します。 16ビット・インターバル・タイマ・モードでは、未使用のため無効になります。詳細は、12.4 動作説明を参照。	

TSTARTn0	8ビット・インターバル・タイマ0カウンタ開始 ^{注1, 2}
0	カウンタ停止
1	カウンタ開始
8ビット・インターバル・タイマ・モードでは、TSTARTn0ビットに1を書くことによりTRTn0がカウンタを開始し、0を書くことによりカウンタを停止します。 16ビット・インターバル・タイマ・モードでは、TSTARTn0ビットに1を書くことによりTRTnがカウンタを開始し、0を書くことによりカウンタを停止します。詳細は、12.4 動作説明を参照。	

注1. 8ビット・インターバル・タイマを設定する際には、必ず最初にTCLKENnビットを1に設定してください。クロックを停止させる場合、TSTARTn0およびTSTARTn1に0を設定後、動作クロック (fsxまたはfIL) で1サイクル以上経過後にTCLKENnビットに0を設定してください。詳細は、12.5.3 8ビット・インターバル・タイマ設定手順についてを参照してください。

2. TSTARTn0, TSTARTn1, TCSMDnビットの使用上の注意は、12.5.1 動作モード設定変更についてを参照してください。

3. ビット6, 5, 3, 1は、Read Onlyです。ライトする場合は、0を書き込んでください。リードする場合は、0が読み込まれます。

12.3.6 8ビット・インターバル・タイマ分周レジスタn (TRTMDn) (n = 0-3)

8ビット・インターバル・タイマのカウンタ・ソースの分周比選択を設定するレジスタです。

TRTMDnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-7 8ビット・インターバル・タイマ分周レジスタn (TRTMDn) のフォーマット

アドレス： F0353H (TRTMD0), F035BH (TRTMD1), リセット時：00H R/W^{注4}

F0363H (TRTMD2), F036BH (TRTMD3)

略号	7	6	5	4	3	2	1	0
TRTMDn	—	TCKn1			—	TCKn0		

TCKn1			8ビット・インターバル・タイマ1分周選択 ^{注1, 2, 3}
ビット6	ビット5	ビット4	
0	0	0	fsxまたはfiL
0	0	1	fsx/2またはfiL/2
0	1	0	fsx/4またはfiL/4
0	1	1	fsx/8またはfiL/8
1	0	0	fsx/16またはfiL/16
1	0	1	fsx/32またはfiL/32
1	1	0	fsx/64またはfiL/64
1	1	1	fsx/128またはfiL/128

8ビット・インターバル・タイマ・モードでは、TCKn1に設定したカウンタ・ソースによりTRTn1がカウントします。

16ビット・インターバル・タイマ・モードでは、使用しないため“000”に設定してください。詳細は、**12.4 動作説明**を参照。

TCKn0			8ビット・インターバル・タイマ0分周選択 ^{注1, 2, 3}
ビット2	ビット1	ビット0	
0	0	0	fsxまたはfiL
0	0	1	fsx/2またはfiL/2
0	1	0	fsx/4またはfiL/4
0	1	1	fsx/8またはfiL/8
1	0	0	fsx/16またはfiL/16
1	0	1	fsx/32またはfiL/32
1	1	0	fsx/64またはfiL/64
1	1	1	fsx/128またはfiL/128

8ビット・インターバル・タイマ・モードでは、TCKn0に設定したカウンタ・ソースによりTRTn0がカウントします。

16ビット・インターバル・タイマ・モードでは、TCKn0に設定したカウンタ・ソースによりTRTnがカウントします。詳細は、**12.4 動作説明**を参照。

注1. カウント中にカウンタ・ソースの切り替えをしないでください。カウンタ・ソースを切替えるときは、TRTCRnレジスタのTSTARTniビットが0（カウント停止）の時に、設定してください。

2. 未使用チャネルのTCKniは000Bに設定してください。

3. TCKni (i = 0, 1) ビットは、必ずTRTCMPniレジスタの設定前に設定してください。

4. ビット7, 3は、Read Onlyです。ライトする場合は、0を書き込んでください。リードする場合は、0が読み込まれます。

12.4 動作説明

12.4.1 カウンタ・モード

8ビット・カウンタ・モード/16ビット・カウンタ・モードの2種類のモードを持ちます。表12-3に8ビット・カウンタ・モード、表12-4に16ビット・カウンタ・モード時の使用レジスタと設定値を示します。

表12-3 8ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名 (シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタn0 (TRTn0)	b7~b0	チャンネル0側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・カウンタ・レジスタn1 (TRTn1)	b7~b0	チャンネル1側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタn0 (TRTCMPn0)	b7~b0	チャンネル0側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ・コンペア・レジスタn1 (TRTCMPn1)	b7~b0	チャンネル1側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタn (TRTCRn)	TSTARTn0	チャンネル0側のカウント開始/停止を選択してください。
	TSTARTn1	チャンネル1側のカウント開始/停止を選択してください。
	TCLKENn	1に設定してください。
	TCSMDn	0に設定してください。
8ビット・インターバル・タイマ分周レジスタn (TRTMDn)	TCKn0	チャンネル0側のカウント・クロックを選択してください。
	TCKn1	チャンネル1側のカウント・クロックを選択してください。

備考 n = 0-3

表12-4 16ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名 (シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタn (TRTn)	b15~b0	16ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタn (TRTCMPn)	b15~b0	16ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタn (TRTCRn)	TSTARTn0	カウント開始/停止制御を選択してください。
	TSTARTn1	0に設定してください。
	TCLKENn	1に設定してください。
	TCSMDn	1に設定してください。
8ビット・インターバル・タイマ分周レジスタn (TRTMDn)	TCKn0	カウント・クロックを選択してください。
	TCKn1	000Bに設定してください。

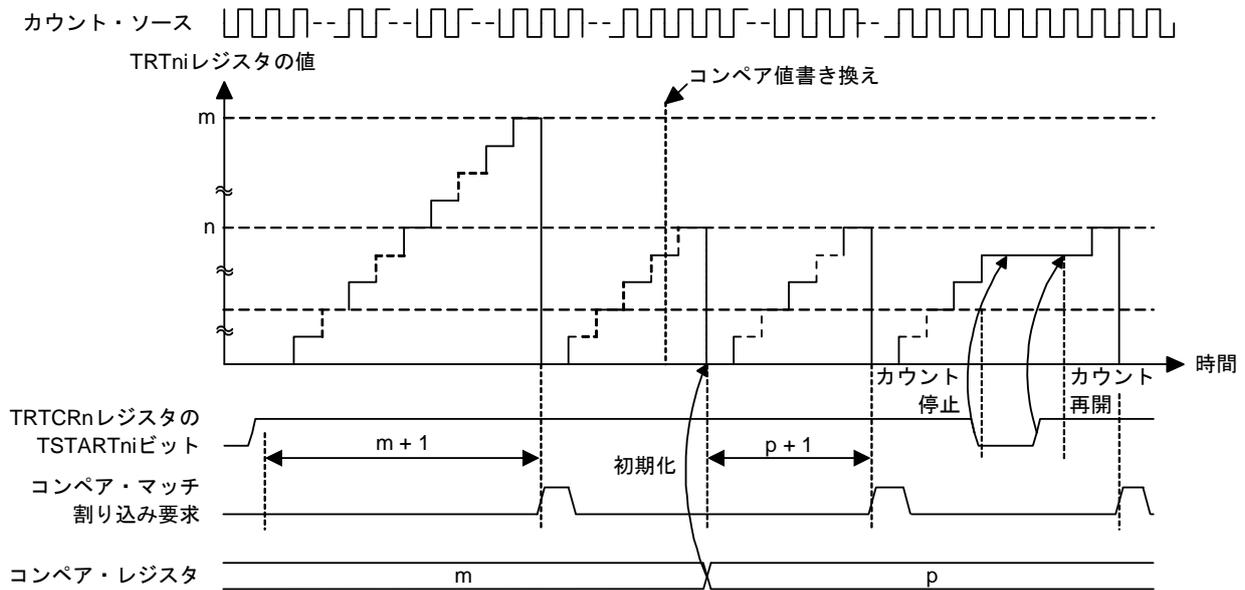
備考 n = 0-3

12.4.2 タイマ動作

分周レジスタ (TRTMDn) のTCKni (n = 0-3, i = 0, 1) ビットにより選択されたカウント・ソースで、アップ・カウントします。カウント・ソースが入力されるごとにカウント値が1だけ増加し、カウント値がコンペア値になった後、次のカウント・ソースが入力されるとコンペア・マッチし、割り込み要求が発生します。割り込み要求はカウント・ソース同期の1パルスで出力されます。ただし、TRTCRnレジスタのTSTARTniビットを0に設定し、カウント値が00hで停止した場合は、割り込み要求が発生し続けます。

また、動作停止時には停止直前のカウンタ値を保持し続けます。カウント値をクリアする場合は、TRTCMPniレジスタのコンペア値を再設定してください。TRTCMPniレジスタに書き込み後、カウント・ソースで2サイクル後にカウント値がクリアされます。

図12-8 タイマ動作例



備考 n = 0-3 i = 0, 1 m, p : TRTCMPniレジスタの設定値

ただし、カウント動作開始時の最初の00Hカウント期間は、TRTCRレジスタのTSTARTni (i = 0, 1) ビットに1を書き込むタイミングにより、下記のように可変します。

- カウント・ソース (fsxまたはfil) 選択時
 - 最大：カウント・ソースで2サイクル
 - 最小：カウント・ソースで1サイクル
- カウント・ソース (fsx/2^mまたはfil/2^m) 選択時
 - 最大：カウント・ソース1サイクル
 - 最小：選択クロック (fsxまたはfil) 1サイクル

カウント値がコンペア値と一致した場合、次のカウント・ソースでカウント値はクリアされます。また、TRTCMPnレジスタのコンペア値を書き換えた場合も、書き込み後カウント・ソースで2サイクル後にカウント値がクリアされます。

8/16ビット・カウンタ・モード時割り込み要因を、以下の表12-5に示します。

表12-5 8/16ビット・カウンタ・モード時割り込み要因

割り込み名称	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因
INTITn0	チャンネル0コンペア・マッチ後、次のカウント・ソースの立ち上がり	コンペア・マッチ後、次のカウント・ソースの立ち上がり
INTITn1	チャンネル1コンペア・マッチ後、次のカウント・ソースの立ち上がり	未発生

備考 n = 0-3

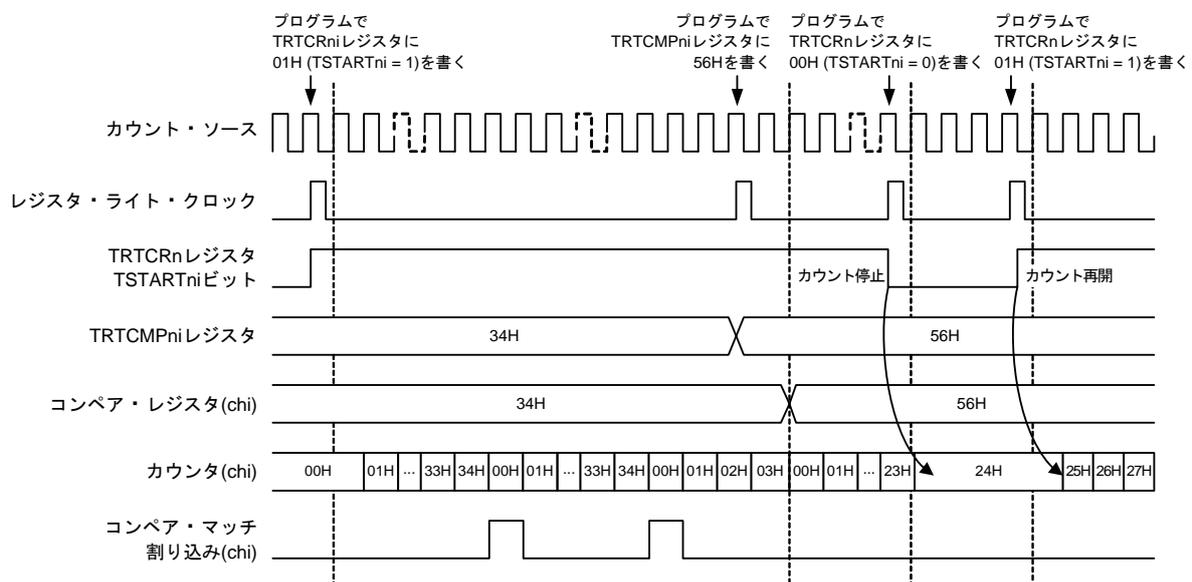
12.4.3 開始／停止タイミング

12.4.3.1 カウント・ソース (fsx) 選択時

TRTCRnレジスタのTSTARTni (n = 0-3, i = 0, 1) ビットに1を書き込み後、次のサブ・クロック (fsx) でカウントが開始され、その次のカウント・ソース (fsx) でカウンタが00Hから01Hにカウント・アップされます。同様に、TSTARTniビットに0を書き込み後、サブ・クロック (fsx) でカウント・アップ後にカウントが停止します。

カウント動作の開始／停止タイミングを図12-9、カウント停止→コンペア設定 (カウント・クリア) →カウント開始のタイミングを図12-10に示します。図12-9、図12-10は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

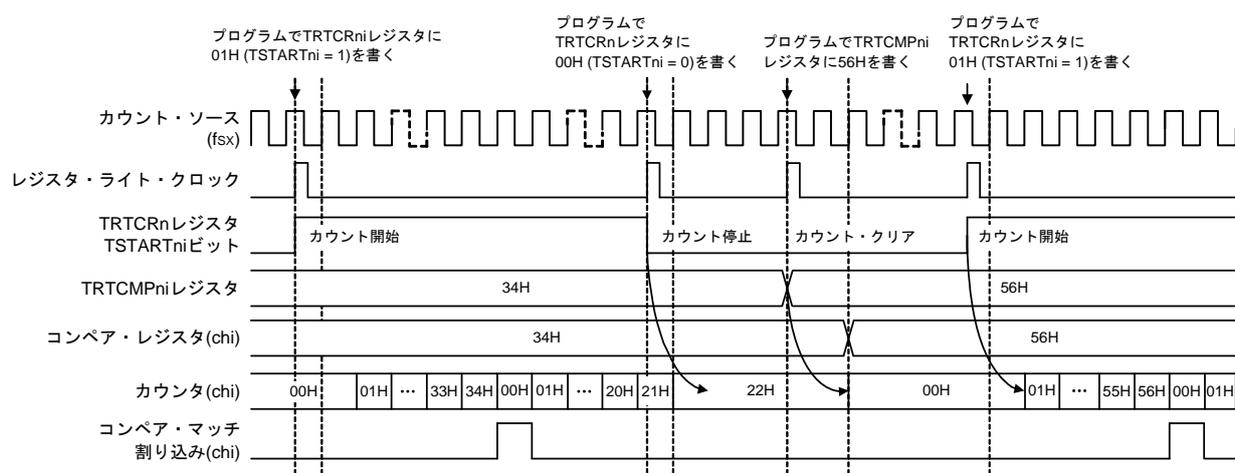
図12-9 カウント開始／停止動作例 (fsx選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0-3 i = 0, 1

図12-10 カウント停止→カウント・クリア→カウント開始動作例 (fsx選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0-3 i = 0, 1

12.4.3.2 カウント・ソース ($f_{sx}/2^m$) 選択時

TRTCRnレジスタのTSTARTni ($n = 0-3, i = 0, 1$) ビットに1を書き込み後、次のサブ・クロック (f_{sx}) でカウントが開始され、その次のカウント・ソース ($f_{sx}/2^m$) でカウンタが00Hから01Hにカウント・アップされます。同様に、TSTARTniビットに0を書き込み後、次のサブ・クロック (f_{sx}) でカウントが停止します。

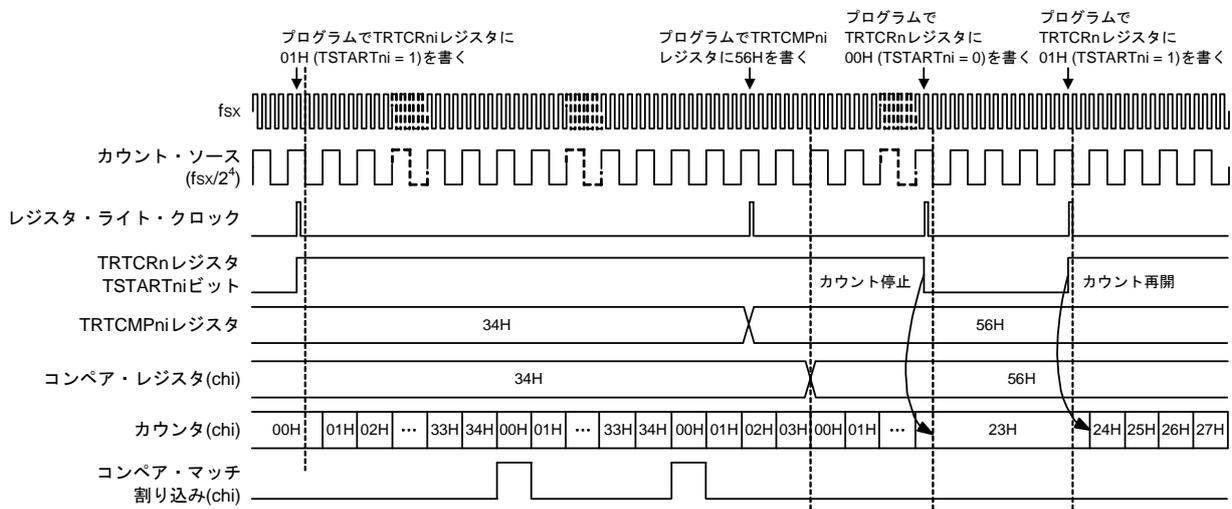
ただし、タイマカウント開始時の最初の00Hカウント期間は、TSTARTniビットの書き込みタイミングと次のカウント・ソースのタイミングによって下記のようにカウント・ソース1サイクルより短くなります。

最小：サブ・クロック (f_{sx}) 1サイクル

最大：カウント・ソース1サイクル

カウント動作の開始/停止タイミングを図12-11、カウント停止→コンペア・レジスタ設定（カウント・クリア）→カウント開始のタイミングを図12-12に示します。図12-11、図12-12は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

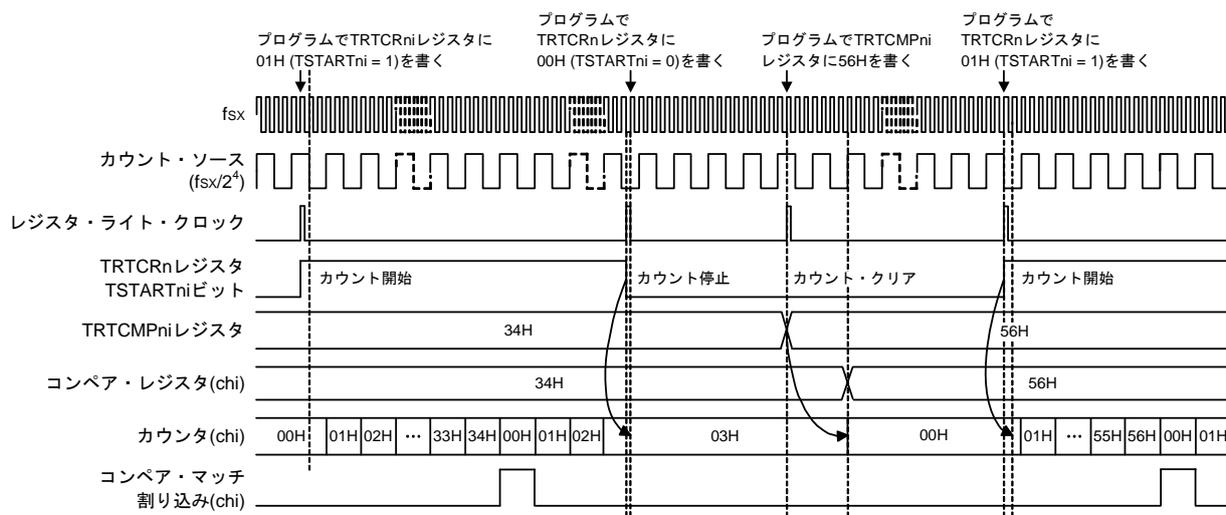
図12-11 カウント開始/停止動作例 ($f_{sx}/2^m$ 選択時)



TRTCRnレジスタのTCSMDnビットが0（8ビット・カウンタ動作）

備考 $n = 0-3$ $i = 0, 1$

図12-12 カウント停止→カウント・クリア→カウント開始動作例 (fsx/2^m選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

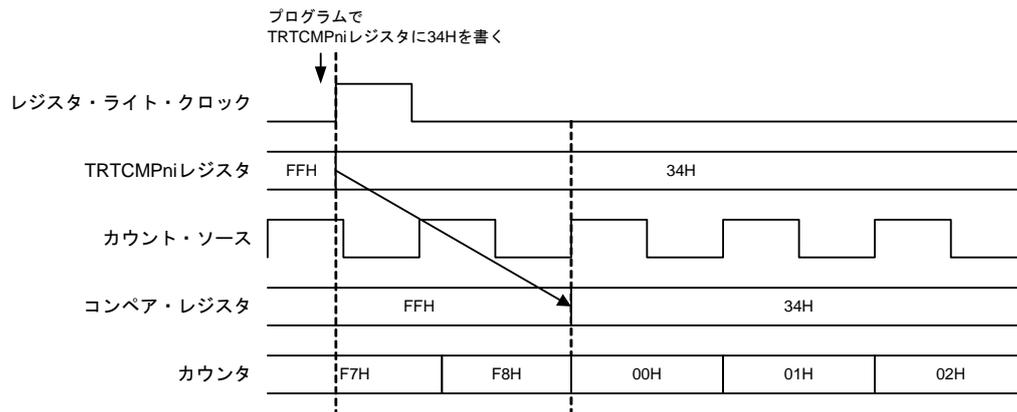
備考 n = 0-3 i = 0, 1

12.4.4 コンペア・レジスタ値の反映タイミング

TRTCMPni ($n = 0-3, i = 0, 1$) レジスタの値が反映されるタイミングはTRTCRnレジスタのTSTARTniビットの値によらず、同じタイミングとなります。TRTCMPniへの書き込みアクセス後、カウント・ソースで2サイクル後にコンペア・レジスタに格納されます。コンペア・レジスタ格納時にカウント値はクリアされ（8ビット・カウンタ・モード：00H、16ビット・カウンタ・モード：0000H）になります。

図12-13に書き換え動作のタイミング図を示します。図12-13は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

図12-13 コンペア値書き換え動作のタイミング図



備考 $n = 0-3$ $i = 0, 1$

12.5 8ビット・インターバル・タイマ使用上の注意事項

12.5.1 動作モード設定変更について

TCSMDnビット, TCKni ($n = 0-3, i = 0, 1$) ビットの設定変更は, TRTCRnレジスタのTSTARTniビットが0 (カウント停止) 中に設定してください。また, TSTARTniビットを1から0に書き換え後 (カウント停止), 8ビット・インターバル・タイマ関連レジスタ (TRTCRn, TRTMDn) にアクセスする場合, fsxまたはfILで1サイクル以上経過後にアクセスしてください。

12.5.2 コンペア・レジスタへのアクセスについて

同一のコンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn) に連続して書き込みしないでください。連続して書くときは, 書き込み間隔をカウント・ソースクロックの2サイクル以上空けてください。

また, コンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn) への書き込みは, 必ずカウント・ソースが発振している状態で, 8ビット・インターバル・タイマ・クロック許可ビット (TCLKENn) を1に設定した後に書き込みを実施してください。

12.5.3 8ビット・インターバル・タイマ設定手順について

クロックを供給する場合, 最初に8ビット・インターバル・タイマ制御レジスタn (TRTCRn) の8ビット・インターバル・タイマ・クロック許可ビット (TCLKENn) を1に設定した後に, TSTARTniビットを設定してください。(TCLKENn, TSTARTniビットを同時に変更しないでください。)

クロックを停止させる場合, TSTARTniを0に設定した後, fsxまたはfILで1サイクル以上経過後にTCLKENnビットを0に設定してください。

第13章 タイマRJ

13.1 タイマRJnの機能

タイマRJnはパルス出力、外部入力のパルス幅／周期測定、外部イベントをカウントできる16ビットタイマです。

RL78/I1C (512 KB) では2チャンネル搭載しています。

16ビットタイマはリロードレジスタとダウンカウンタから構成されます。リロードレジスタとダウンカウンタは同じ番地に配置されており、TRJnレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます。

表13-1にタイマRJnの仕様を示します。

表13-1 タイマRJnの仕様

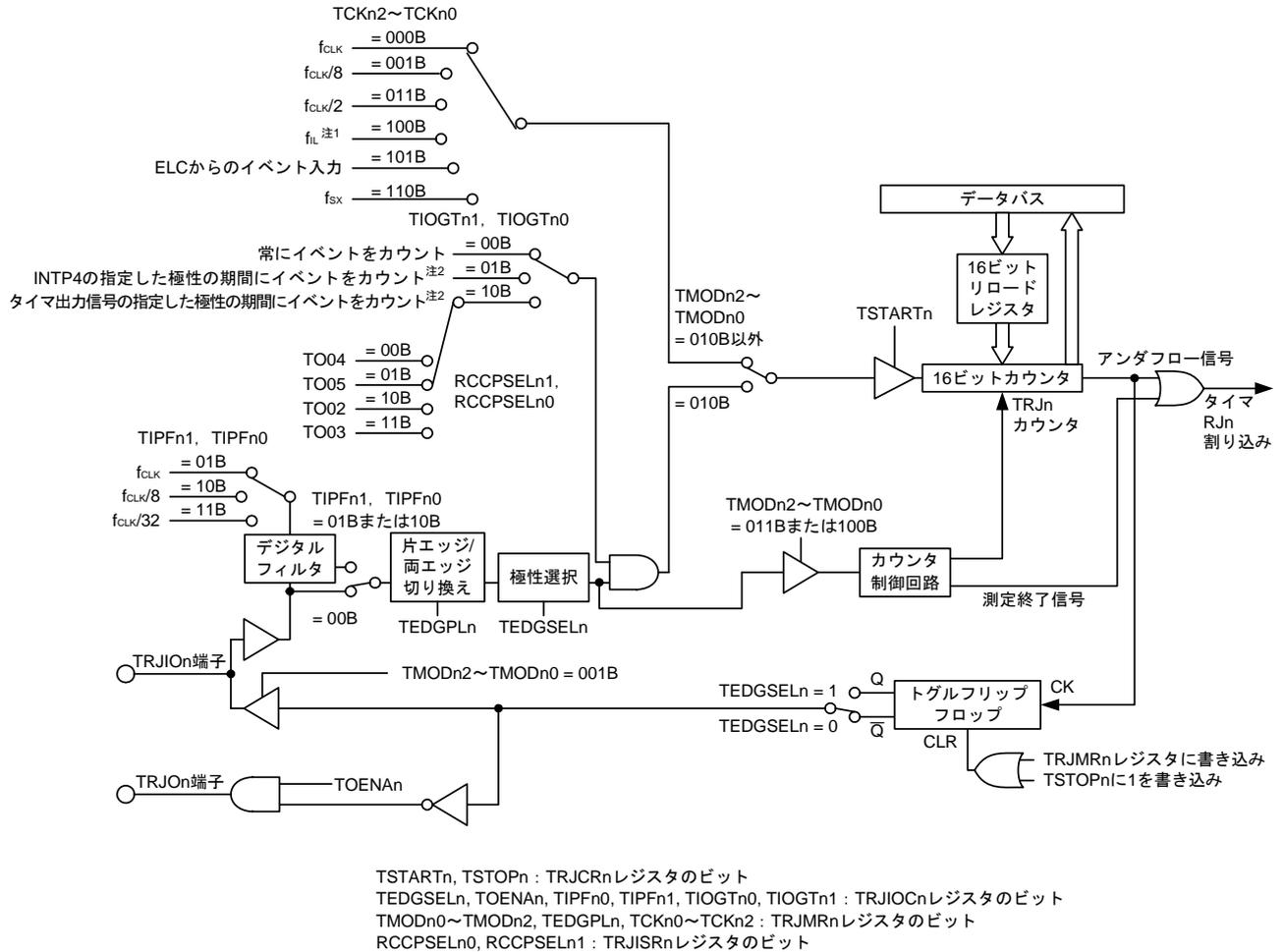
項目		内容
動作モード	タイマモード	カウントソースをカウントする
	パルス出力モード	カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部イベントをカウントする STOPモード時も動作可能
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース(動作クロック)		f_{CLK} , $f_{CLK}/2$, $f_{CLK}/8$, f_{IL} , f_{SX} , イベント・リンク・コントローラ(ELC)からのイベント入力から選択可能
割り込み		<ul style="list-style-type: none"> カウンタがアンダフローしたとき パルス幅測定モードで、外部入力(TRJIO_n)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO_n)の設定エッジが入力されたとき
選択機能		<ul style="list-style-type: none"> イベント・リンク・コントローラ (ELC)との連携 カウントソースにELCからのイベント入力を選択可能

備考 n : チャネル番号 (n = 0, 1)

13.2 タイマRJnの構成

図13-1にタイマRJnのブロック図を、表13-2にタイマRJnの端子構成を示します。

図13-1タイマRJnのブロック図



- 注1. カウントソースにfILを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを1にしてください。
- 2. TRJISRnレジスタのRCCPSELn2ビットで極性を選択できます。

表13-2 タイマRJnの端子構成

端子名	入出力	機能
INTP4	入力	タイマRJnのイベントカウンタモード制御
TRJIOn	入出力	タイマRJnの外部イベント入力, パルス出力
TRJOn	出力	タイマRJnのパルス出力

備考 n : チャネル番号 (n = 0, 1)

13.3 タイマRJを制御するレジスタ

表13-3にタイマRJnを制御するレジスタを示します。

表13-3 タイマRJnを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
周辺リセット制御レジスタ1	PRR1
サブシステム・クロック供給モード制御レジスタ	OSMC
タイマRJカウンタレジスタn [※]	TRJn
タイマRJ制御レジスタn	TRJCRn
タイマRJ I/O制御レジスタn	TRJIOCn
タイマRJモードレジスタn	TRJMRn
タイマRJイベント端子選択レジスタn	TRJISRn
ポート・レジスタ0	P0
ポート・レジスタ5	P5
ポート・レジスタ6	P6
ポート・レジスタ8	P8
ポート・モード・レジスタ0	PM0
ポート・モード・レジスタ5	PM5
ポート・モード・レジスタ6	PM6
ポート・モード・レジスタ8	PM8

注 TRJnレジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。TRJnレジスタアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

備考 n：チャネル番号 (n = 0, 1)

13.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺のクロック供給/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRJ0を使用するときは、必ずビット1 (TRJ0EN) を1に設定してください。

タイマRJ1を使用するときは、必ずビット2 (TRJ1EN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図13-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCEN	SMOTD1EN	SMOTD0EN	DTCEN	TRJ1EN	TRJ0EN	DSADCEN

TRJnEN	タイマRJnの入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJnで使用するSFRへのライト不可、 リードした場合は00Hが読めます。ただし、初期化はされていません。 ^{注1, 2}
1	入カクロック供給 ・タイマRJnで使用するSFRへのリード/ライト可

- 注1. タイマRJ0およびタイマRJ0で使用するSFRを初期化する場合、PRR1のビット1 (TRJ0RES)を使用してください。
2. タイマRJ1およびタイマRJ1で使用するSFRを初期化する場合、PRR1のビット2 (TRJ1RES)を使用してください。

注意1. タイマRJnの設定をする際には、必ず最初にTRJnEN = 1の状態、下記のレジスタの設定を行ってください。TRJnEN = 0の場合は、タイマRJnの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります(ポート・モード・レジスタ 0, 5, 6, 8 (PM0, PM5, PM6, PM8), ポート・レジスタ 0, 5, 6, 8 (P0, P5, P6, P8) は除く)。

- ・タイマRJカウンタレジスタn (TRJn)
- ・タイマRJ制御レジスタn (TRJCRn)
- ・タイマRJ I/O制御レジスタn (TRJIOCn)
- ・タイマRJモードレジスタn (TRJMRn)
- ・タイマRJイベント端子選択レジスタn (TRJISRn)

2. ビット7には必ず“0”を設定してください。

備考 n : チャネル番号 (n = 0, 1)

13.3.2 周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマRJ0をリセットする場合は、必ずビット1 (TRJ0RES)を1に設定してください。

タイマRJ1をリセットする場合は、必ずビット2 (TRJ1RES)を1に設定してください。

PRR1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR1レジスタは00Hになります。

図13-3 周辺リセット制御レジスタ1 (PRR1)のフォーマット

アドレス : F00FBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR1	0	0	SMOTD1RES	SMOTD0RES	0	TRJ1RES	TRJ0RES	DSADRES

TRJnRES	タイマRJnのリセット制御
0	タイマRJnのリセット解除
1	タイマRJnはリセット状態

備考 n : チャネル番号 (n = 0, 1)

13.3.3 サブシステム・クロック供給モード制御レジスタ(OSMC)

WUTMMCK0ビットでタイマRJnの動作クロックを選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、**第6章 クロック発生回路**を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-4 サブシステム・クロック供給オプション制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W^{※1}

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバ, 周波数測定回路, タイマRJ0, 1の動作クロックの選択	周波数測定回路のカウンタ動作/停止トリガクロックの選択	クロック出力/ブザー出力制御回路の出力クロックの選択	シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1の動作クロックの選択
0	サブ・クロック (f _{SX})	サブ・クロック (f _{SX}) を選択	サブ・クロック (f _{SX})	サブ・クロック (f _{SX})
1	低速オンチップ・オシレータ・クロック (f _{IL}) <small>※2, 3, 5, 6</small>	低速オンチップ・オシレータ・クロック (f _{IL}) を選択 ^{※5}	クロック出力禁止 ^{※4}	設定禁止

- 注1. ビット6, 5, 3-0には、必ず0を設定してください。
- サブ・クロック (f_{SX}) 発振中にWUTMMCK0ビットを“1”に設定することは禁止です。
 - WUTMMCK0ビットによるサブ・クロック (f_{SX}) と低速オンチップ・オシレータ・クロック (f_{IL}) の切り替えは、12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路, LCDコントローラ/ドライバ, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1, タイマRJ0, 1の全ての機能が停止中のみ可能です。
 - WUTMMCK0を“1”に設定した場合、PCLBUZn端子からクロック出力を禁止します。
 - WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロック (f_{IL}) が発振します。
 - WUTMMCK0を“1”に設定した場合、LCDコントローラ/ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

備考 n : チャネル番号 (n = 0, 1)

13.3.4 タイマRJカウンタレジスタn (TRJn)

16ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。なお、TRJCRnレジスタのTSTARTnビットの値により、リロードレジスタとカウンタの状態が変わります。詳細は13.4.1 リロードレジスタとカウンタの書き換え動作を参照してください。

TRJnレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJnレジスタはFFFFHになります。

図13-5 タイマRJカウンタレジスタn (TRJn)のフォーマット

アドレス : F0560H (TRJ0), F0562H (TRJ1) リセット時 : FFFFH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRJn																

—	機能	設定範囲
ビット 15~0	16ビットのカウンタです。 ^{注1,2}	0000H~FFFFH

注1. TRJCRnレジスタのTSTOPnビットに1を書くと、16ビットカウンタは強制停止し、FFFFHになります。

2. TRJMRnレジスタのTCKn2~TCKn0ビットの設定が001B (f_{CLK}/8)または011B (f_{CLK}/2)以外では、TRJnレジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。ただし、TRJOnおよびTRJIO出力はトグル出力されます。

また、イベントカウンタモード時はTCKn2~TCKn0ビットの値に関わらず、TRJnレジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の1回しか発生しません。さらに、カウント指定期間外でもTRJOnがトグル出力されます。

TRJnレジスタが0001H以上の場合はTRJnがアンダフローするごとに要求信号が発生します。

注意 TRJnレジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。TRJnレジスタアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

備考 n : チャネル番号 (n = 0, 1)

13.3.5 タイマRJ制御レジスタn (TRJCRn)

TRJCRnレジスタは、タイマRJnのカウント動作・停止の制御と、タイマRJnステータスを示すレジスタです。

TRJCRnレジスタは、8ビット・メモリ操作命令で設定します。リセット信号の発生により、TRJCRnレジスタは00HIになります。

備考 n: チャネル番号 (n = 0, 1)

図13-6 タイマRJ制御レジスタn (TRJCRn)のフォーマット

アドレス : F02A0H (TRJCR0), F02A4H (TRJCR1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJCRn	0	0	TUNDFn	TEDGFn	0	TSTOPn	TCSTFn	TSTARTn

TUNDFn	タイマRJnアンダフローフラグ
0	アンダフローなし
1	アンダフローあり
[0になる条件]	
<ul style="list-style-type: none"> プログラムで0を書いたとき 	
[1になる条件]	
<ul style="list-style-type: none"> カウンタがアンダフローしたとき 	

TEDGFn	有効エッジ判定フラグ
0	有効エッジなし
1	有効エッジあり
[0になる条件]	
<ul style="list-style-type: none"> プログラムで0を書いたとき 	
[1になる条件]	
<ul style="list-style-type: none"> パルス幅測定モードで、外部入力(TRJIO_n)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO_n)の設定エッジが入力されたとき 	

TSTOPn	タイマRJnカウント強制停止 ^{注1}
1を書くと、カウント強制停止。読んだ場合、その値は0。	

TCSTFn	タイマRJnカウントステータスフラグ ^{注2}
0	カウント停止
1	カウント中
[0になる条件]	
<ul style="list-style-type: none"> TSTARTnビットに0を書いたとき(カウントソースに同期して0になる) TSTOPnビットに1を書いたとき 	
[1になる条件]	
<ul style="list-style-type: none"> TSTARTnビットに1を書いたとき(カウントソースに同期して1になる) 	

TSTARTn	タイマRJnカウント開始 ^{注2}
0	カウント停止
1	カウント開始
TSTARTnビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTnビットを1(カウント開始)にすると、カウントソースに同期してTCSTFnビットが1(カウント中)になります。また、TSTARTnビットに0を書き込み後、カウントソースに同期してTCSTFnビットが0(カウント停止)になります。詳細は13.5.1 カウント動作開始、停止制御を参照してください。	

注1. TSTOPnビットに1(カウント強制停止)を書くと、同時にTSTARTn、TCSTFnビットが初期化されます。また、パルス出力レベルも初期化されます。

2. TSTARTn、TCSTFnビットの使用上の注意は13.5.1 カウント動作開始、停止制御を参照してください。

備考 n : チャネル番号 (n = 0, 1)

13.3.6 タイマRJ I/O制御レジスタn (TRJIOCn)

TRJIOCnレジスタは、タイマRJnの入出力を設定するレジスタです。

TRJIOCnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJIOCnレジスタは00Hになります。

図13-7 タイマRJ I/O制御レジスタn (TRJIOCn)のフォーマット

アドレス : F02A1H (TRJIOC0), F02A5H (TRJIOC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJIOCn	TIOGTn1	TIOGTn0	TIPFn1	TIPFn0	0	TOENAn	0	TEDGSELn

TIOGTn1	TIOGTn0	TRJIONカウント制御 ^{注1,2}
0	0	常にイベントをカウント
0	1	INTP4の指定した極性の期間イベントをカウント
1	0	タイマ出力信号の指定した極性の期間イベントをカウント
上記以外		設定禁止

TIPFn1	TIPFn0	TRJION入力フィルタ選択
0	0	フィルタなし
0	1	フィルタあり, f_{CLK} でサンプリング
1	0	フィルタあり, $f_{CLK}/8$ でサンプリング
1	1	フィルタあり, $f_{CLK}/32$ でサンプリング

TRJION入力のフィルタのサンプリング周波数を指定します。TRJION端子からの入力をサンプリングして、その値が3回連続して一致したとき、入力が確定します。

TOENAn	TRJION出力許可
0	TRJION出力禁止(ポート)
1	TRJION出力許可

TEDGSELn	入出力極性切り替え
動作モードによって機能が異なります(表13-4, 表13-5参照)。	

注1. INTP4またはタイマ出力信号使用時、TRJISRnレジスタのRCCPSELn2ビットでイベントをカウントする極性を選択できます。

2. TIOGTn0, TIOGTn1ビットはイベントカウンタモードでのみ有効です。

備考 n : チャネル番号 (n = 0, 1)

表13-4 TRJION入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない(入出力ポート)
パルス出力モード	0 : Hから出力開始(初期化レベル : H) 1 : Lから出力開始(初期化レベル : L)
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : Lレベル幅を測定 1 : Hレベル幅を測定
パルス周期測定モード	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定

備考 n : チャネル番号 (n = 0, 1)

表13-5 TRJION出力極性切り替え

動作モード	機能
全モード	0 : Lから出力開始(初期化レベル : L) 1 : Hから出力開始(初期化レベル : H)

備考 n : チャネル番号 (n = 0, 1)

13.3.7 タイマRJモードレジスタn (TRJMRn)

TRJMRnレジスタは、タイマRJnの動作モードを設定するレジスタです。

TRJMRnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJMRnレジスタは00Hになります。

備考 n : チャネル番号 (n = 0, 1)

図13-8 タイマRJモードレジスタn (TRJMRn)のフォーマット

アドレス : F02A2H (TRJMR0), F02A6H (TRJMR1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJMRn	0	TCKn2	TCKn1	TCKn0	TEDGPLn	TMODn2	TMODn1	TMODn0

TCKn2	TCKn1	TCKn0	タイマRJnカウントソース選択 ^{1,2}
0	0	0	f _{CLK}
0	0	1	f _{CLK} /8
0	1	1	f _{CLK} /2
1	0	0	f _{IL} ³
1	0	1	ELCからのイベント入力
1	1	0	f _{SX}
上記以外			設定禁止

TEDGPLn	TRJIO nエッジ極性選択 ⁴
0	片エッジ
1	両エッジ

TMODn2	TMODn1	TMODn0	タイマRJn動作モード選択 ⁵
0	0	0	タイマモード
0	0	1	パルス出力モード
0	1	0	イベントカウンタモード
0	1	1	パルス幅測定モード
1	0	0	パルス周期測定モード
上記以外			設定禁止

- 注1. イベントカウンタモードを選択すると、TCKn0~TCKn2ビットの設定にかかわらず、カウントソースは外部入力 (TRJIO n)が選択されます。
2. カウント中にカウントソースを切り替えないでください。カウントソースを切り替えるときはTRJCRnレジスタのTSTARTnビットとTCSTFnビットがいずれも0 (カウント停止)のときに、カウントソースを切り替えてください。
3. カウントソースにf_{IL}を選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを1にしてください。
4. TEDGPLnビットはイベントカウンタモード時のみ有効です。
5. 動作モードの変更は、カウント停止時 (TRJCRnレジスタのTSTARTnビットとTCSTFnビットが共に0 (カウント停止))のみ可能です。カウント動作中には変更しないでください。

注意 TRJMRnレジスタへのライトアクセスにて、タイマRJnのTRJOn端子およびTRJIO n端子の出力は初期化されます。
初期化時の出力レベルは図13-7 タイマRJ I/O制御レジスタn (TRJIO n)のフォーマットの説明を参照してください。

備考 n : チャネル番号 (n = 0, 1)

13.3.8 タイマRJイベント端子選択レジスタn (TRJISRn)

TRJISRnレジスタは、イベントカウンタモード時に、イベントカウント期間を制御するタイマを選択、および極性の設定をするレジスタです。

TRJISRnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJISRnレジスタは00HIになります。

図13-9 タイマRJイベント端子選択レジスタn (TRJISRn)のフォーマット

アドレス : F02A3H (TRJISR0), F02A7H (TRJISR1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJISRn	0	0	0	0	0	RCCPSEn2	RCCPSEn1	RCCPSEn0

RCCPSEn2 ^注	タイマ出力信号およびINTP4極性選択
0	L期間にイベントをカウント
1	H期間にイベントをカウント

RCCPSEn1 ^注	RCCPSEn0 ^注	タイマ出力信号選択
0	0	TO04
0	1	TO05
1	0	TO02
1	1	TO03

注 RCCPSELn0~RCCPSELn2ビットはイベントカウンタモードでのみ有効です。

備考 n : チャネル番号 (n = 0, 1)

13.3.9 ポート・モード・レジスタ0, 5, 6, 8 (PM0, PM5, PM6, PM8)

ポート0, 5, 6, 8の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート(P57/SEG39/SCK30/SCL30/TRJIO0, P53/SEG35/TRJO0/RxDMG1など)をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

(例) P57/SEG39/SCK30/SCL30/TRJIO0をタイマ出力として使用する場合

ポート・モード・レジスタ5のPM57ビットを0に設定

ポート・レジスタ5のP57ビットを0に設定

LCDポート・ファンクション・レジスタ5のPFSEG39ビットを0に設定

タイマ入力端子を兼用するポート(P57/SEG39/SCK30/SCL30/TRJIO0など)をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

(例) P57/SEG39/SCK30/SCL30/TRJIO0をタイマ入力として使用する場合

ポート・モード・レジスタ5のPM57ビットを1に設定

ポート・レジスタ5のP57ビットを1に設定

LCDポート・ファンクション・レジスタ5のPFSEG39ビットを0に設定

PM0, PM5, PM6, PM8レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

備考 セグメント出力と兼用になっているポートをタイマ入出力機能として使用する場合は、LCDポート・ファンクション・レジスタ5, 6 (PFSEG5, PFSEG6)の対応するビットを必ず0に設定してください。

図13-10 ポート・モード・レジスタ0, 5, 6, 8 (PM0, PM5, PM6, PM8)のフォーマット

アドレス： FFF20H リセット時： FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	1	1

アドレス： FFF25H リセット時： FFH R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

アドレス： FFF26H リセット時： FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	PM62	PM61	PM60

アドレス： FFF28H リセット時： FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	1	1	PM85	PM84	PM83	PM82	PM81	PM80

PMmn	Pmn端子の入出力モードの選択(m = 0, 5, 6, 8 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

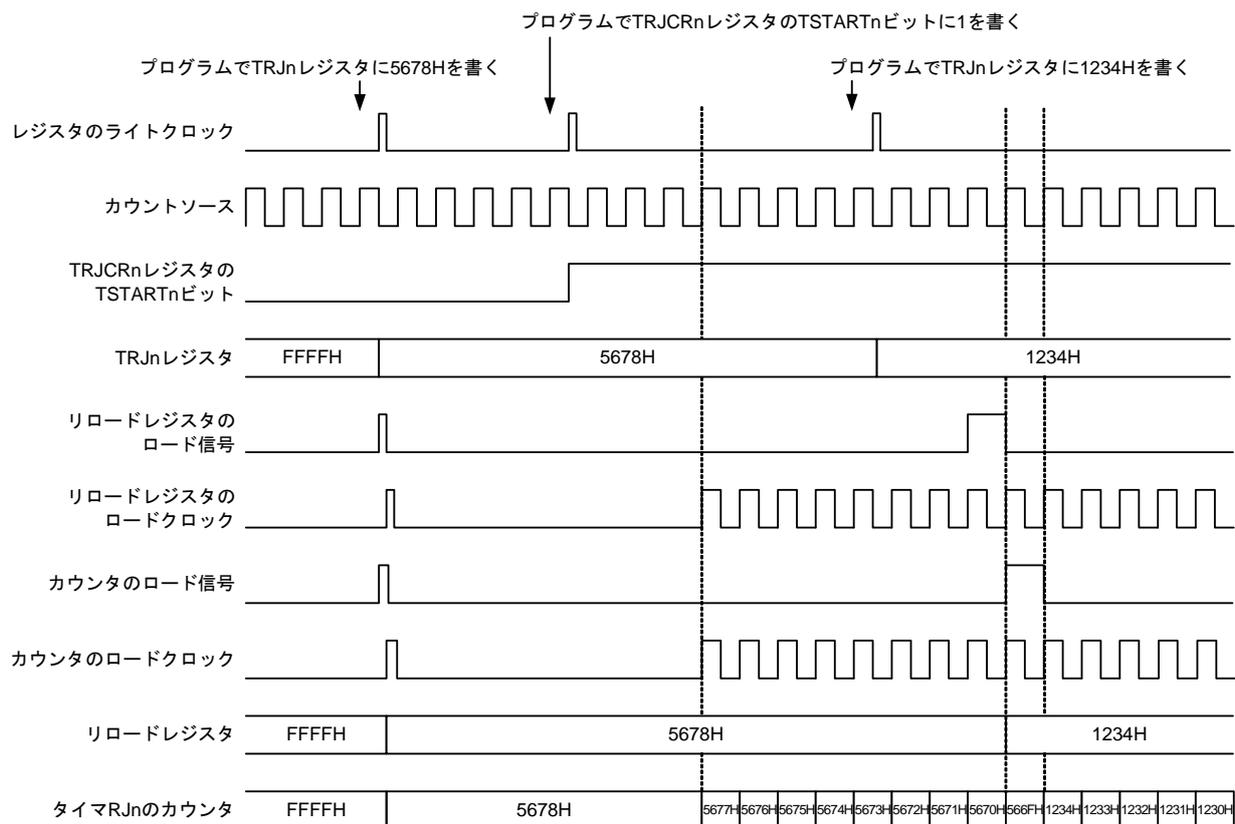
13.4 タイマRJnの動作

13.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらずTRJCRnレジスタのTSTARTnビットの値によりタイミングが変わります。TSTARTnビットが0 (カウント停止)のときは、直接リロードレジスタおよびカウンタに書き込まれます。TSTARTnビットが1 (カウント開始)のときは、カウントソースに同期してリロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。

図13-11にTSTARTnビットの値による書き換え動作のタイミング図を示します。

図13-11 TSTARTnビットの値による書き換え動作のタイミング図



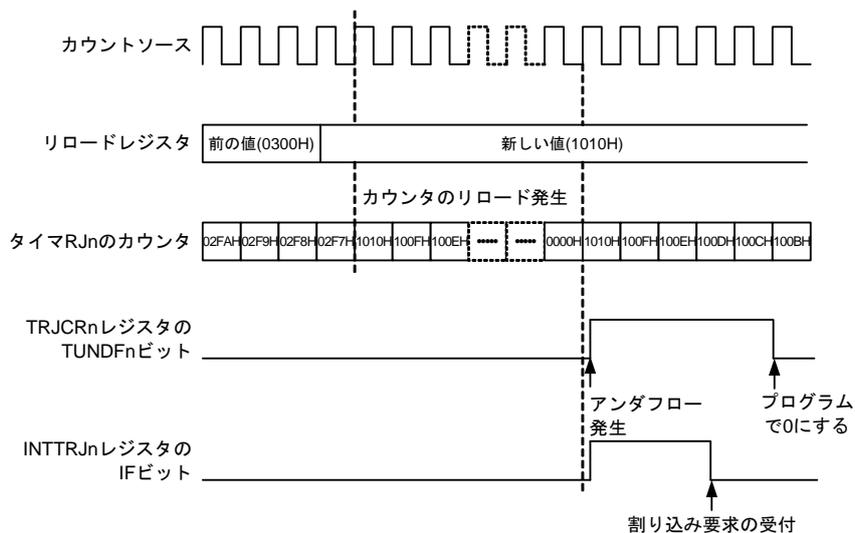
備考 n : チャネル番号 (n = 0, 1)

13.4.2 タイマモード

TRJMRnレジスタのTCKn0~TCKn2ビットにより選択されたカウントソースで、ダウンカウントするモードです。タイマモードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000Hになり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

図13-12にタイマモードの動作例を示します。

図13-12 タイマモードの動作例



備考 n : チャネル番号 (n = 0, 1)

13.4.3 パルス出力モード

TRJMRnレジスタのTCKn0~TCKn2ビットにより選択されたカウントソースでダウンカウントし、アンダフローするごとに、TRJIO端子およびTRJOn端子の出力レベルを反転出力させるモードです。

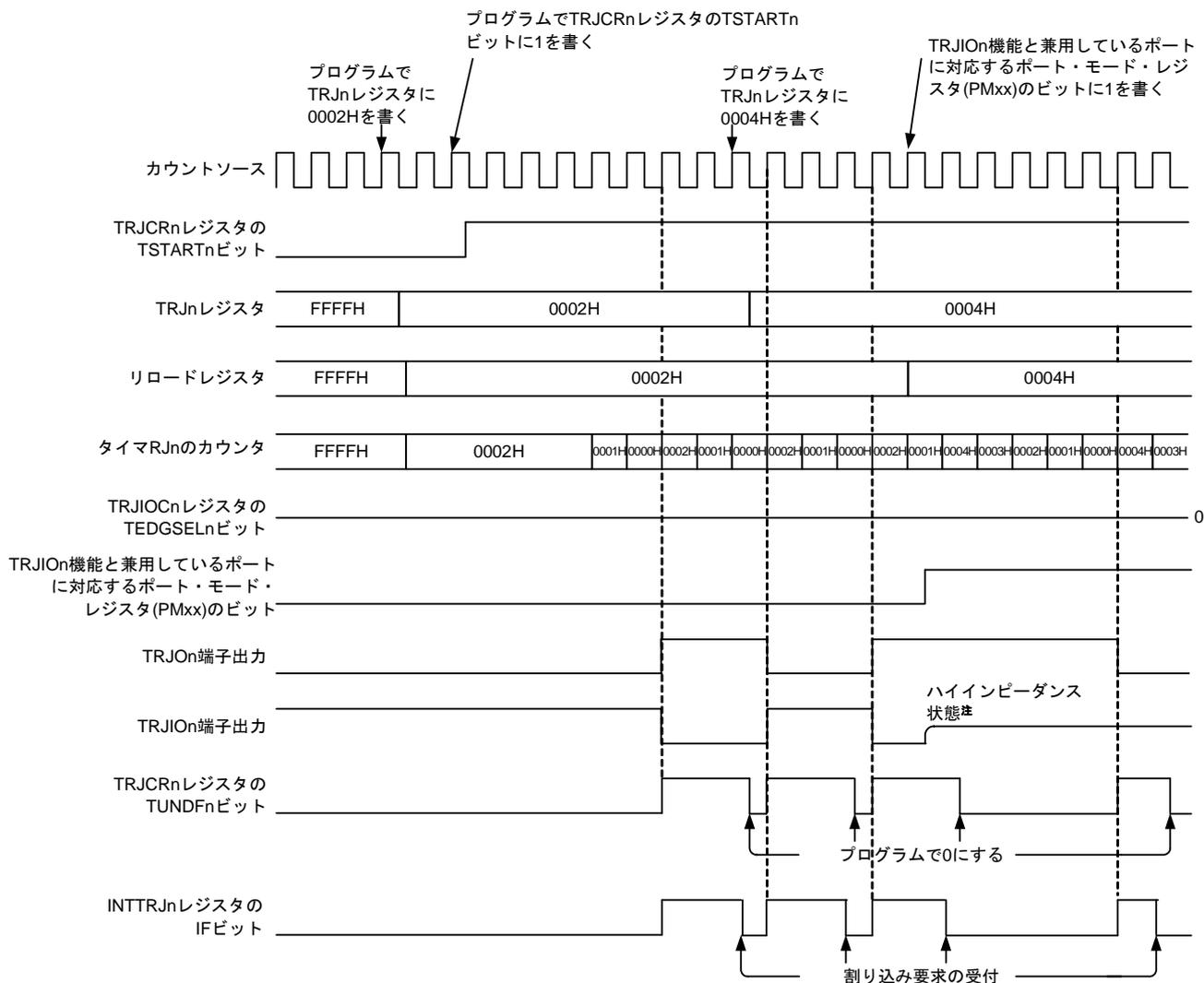
パルス出力モードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000Hになり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

また、TRJIO端子とTRJOn端子の2端子からパルス出力が可能で、アンダフローするごとに出力レベルを反転します。TRJOn端子については、TRJIOCnレジスタのTOENAnビットによりパルス出力を停止できます。

なお、出力レベルをTRJIOCnレジスタのTEDGSELnビットにより選択できます。

図13-13にパルス出力モードの動作例を示します。

図13-13 パルス出力モードの動作例



注 TRJIO機能として選択したポートの出力許可制御によって、ハイインピーダンス状態となります。

備考 n : チャネル番号 (n = 0, 1)

13.4.4 イベントカウンタモード

TRJIO_n端子から入力される外部イベント信号(カウントソース)でダウンカウントするモードです。

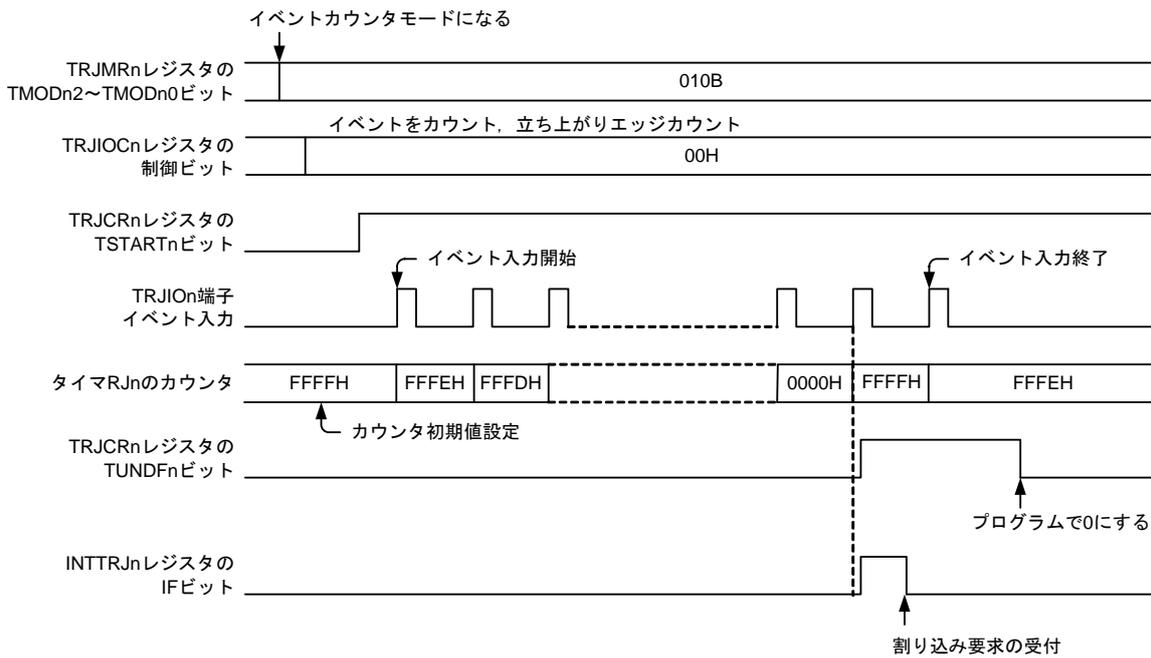
イベントカウントする期間を、TRJIO_{Cn}レジスタのTIOGT_{n0}~TIOGT_{n1}ビットおよびTRJISR_nレジスタにより各種設定ができます。また、TRJIO_n入力のフィルタ機能をTRJIO_{Cn}レジスタのTIPFn₀~TIPFn₁ビットで指定できます。

なお、イベントカウンタモードでもTRJOn端子からトグル出力ができます。

イベントカウンタモードを使用する場合は**13.5.5 TRJOn, TRJIO_n端子の設定手順**を参照してください。

図13-14にイベントカウンタモードの動作例1を示します。

図13-14 イベントカウンタモードの動作例1



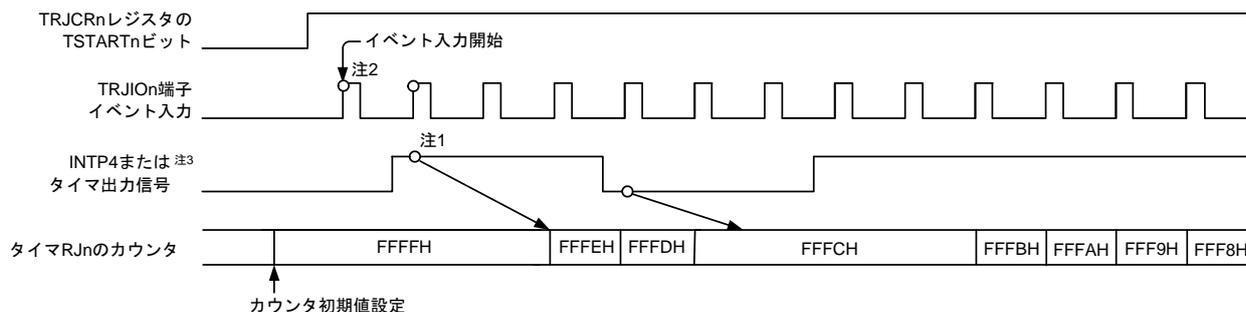
備考 n : チャネル番号 (n = 0, 1)

イベントカウンタモードで指定時間カウントする場合(TRJIOCnレジスタのTIOGTn1, 0ビットが01Bまたは10B)の動作例を図13-15に示します。

図13-15 イベントカウンタモードの動作例2

■動作モード設定が下記の場合のタイミング例

TRJMRnレジスタ: TMODn2,1,0 = 010B (イベントカウンタモード)
 TRJIOCnレジスタ: TIOGTn1,0 = 01B (外部割り込み端子の指定した期間イベントカウント)
 TIFFn1,0 = 00B (フィルタなし)
 TEDGSELn = 0 (立ち上がりエッジでカウント)
 TRJISRnレジスタ: RCCPSELn2 = 1 (H期間をカウント)



下記注意事項は、イベントカウンタモードの動作モード設定が、TRJIOCnレジスタのTIOGTn1, 0が01Bまたは10Bの場合に限ります。

- 注1.** 同期化制御のため、カウント動作に反映されるまで、カウントソースで2クロック分の遅延があります。
- 2.** カウント開始直後のカウントソースで2クロック分は前回のカウント停止前の状態により、カウント動作する場合があります。
- カウント開始直後の2クロック分のカウントを無効にするには、TRJCRnレジスタのTSTOPnビットに1をライトし、内部回路を初期化し、動作設定後カウント動作開始してください。
- 3.** TRJISRnレジスタのRCCPSELn1, RCCPSELn0ビットで選択したタイマ出力信号について、そのタイマ出力機能を割り当てている端子はタイマ以外の兼用機能の出力としては使用できません。

備考 n: チャネル番号 (n = 0, 1)

13.4.5 パルス幅測定モード

TRJIO_n端子から入力される外部信号のパルス幅を測定するモードです。

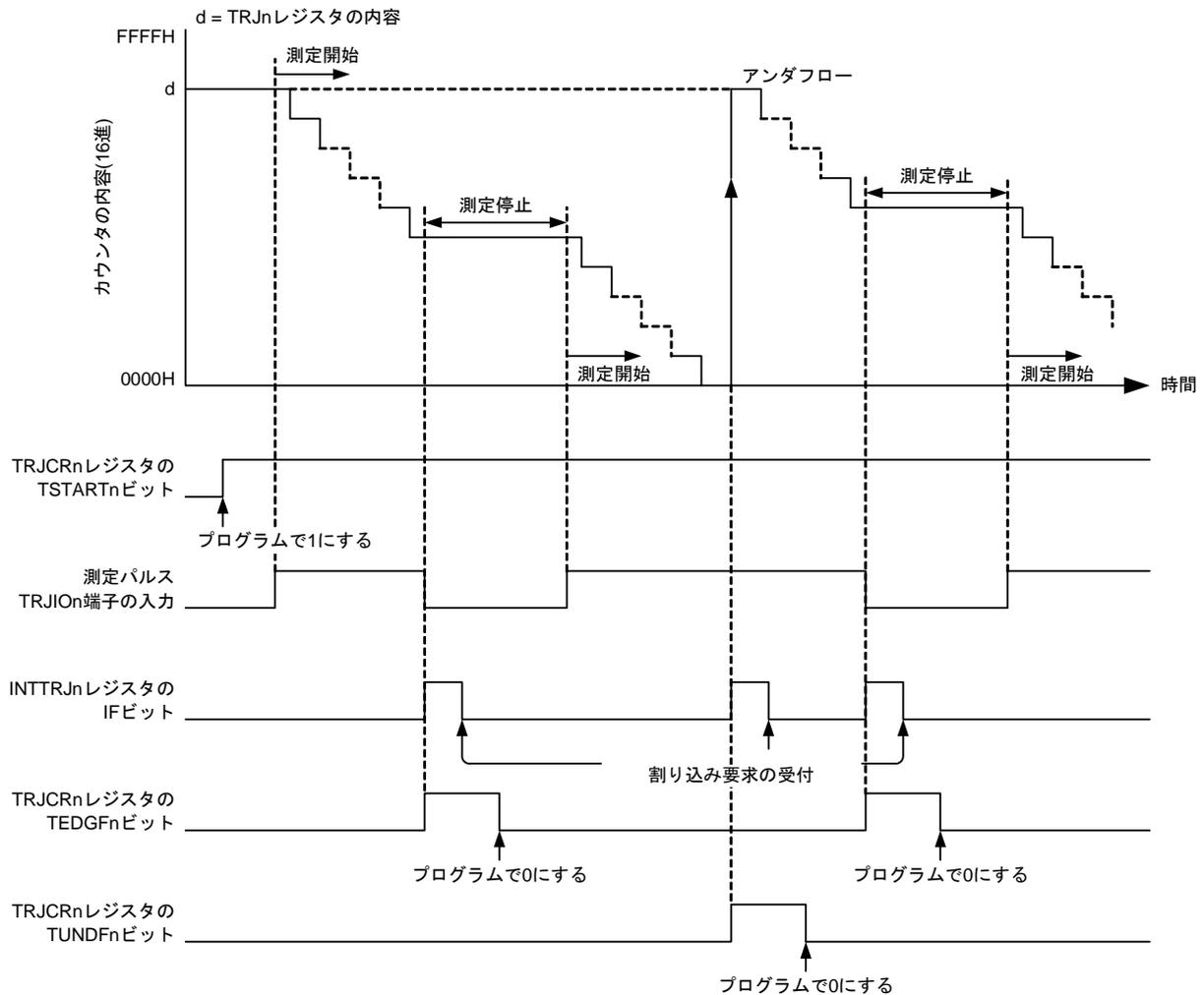
パルス幅測定モードでは、TRJIO_n端子にTRJIO_{Cn}レジスタのTEDGSEL_nビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO_n端子の指定したレベルが終了するとカウンタは停止し、TRJCR_nレジスタのTEDGF_nビットが1 (有効エッジあり) になり、割り込み要求が発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCR_nレジスタのTUNDF_nビットが1 (アンダフローあり) になり、割り込み要求が発生します。

図13-16にパルス幅測定モードの動作例を示します。

TRJCR_nレジスタのTEDGF_n、TUNDF_nビットをアクセスする場合は**13.5.2 フラグへのアクセス(TRJCR_nレジスタのTEDGF_n、TUNDF_nビット)**を参照してください。

図13-16 パルス幅測定モードの動作例

測定パルスのHレベル幅を測定した場合(TRJIO_{Cn}レジスタのTEDGSEL_nビット = 1)



備考 n : チャネル番号 (n = 0, 1)

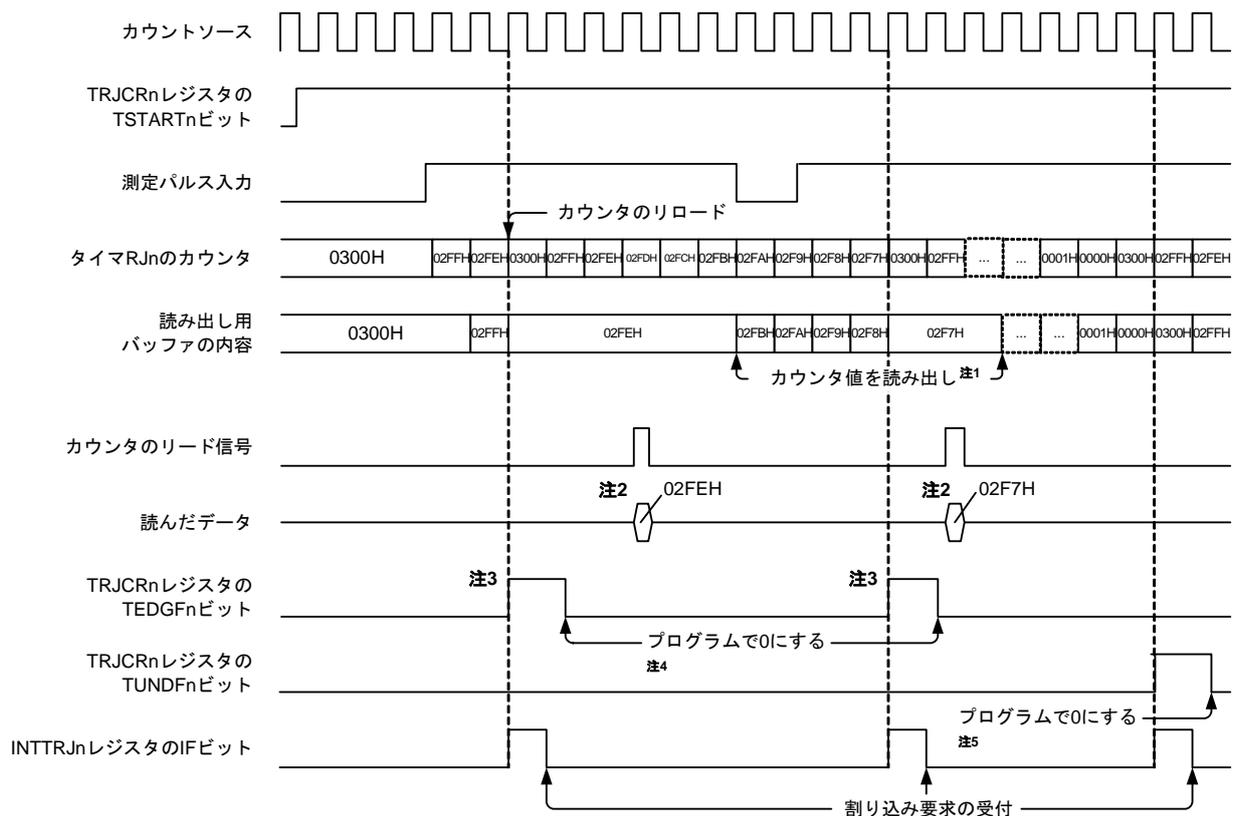
13.4.6 パルス周期測定モード

TRJIO_n端子から入力する外部信号のパルス周期を測定するモードです。

TRJMR_nレジスタのTCK_{n0}~TCK_{n2}ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO_n端子にTRJIO_{Cn}レジスタのTEDGSEL_nビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時にTRJCR_nレジスタのTEDGF_nビットが1(有効エッジあり)になり、割り込み要求が発生します。このときに読み出し用バッファ(TRJnレジスタ)を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCR_nレジスタのTUNDF_nビットが1(アンダフローあり)になり、割り込み要求が発生します。図13-17にパルス周期測定モードの動作例を示します。

カウントソースより2倍長い周期のパルスを入力してください。また、L幅とH幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

図13-17 パルス周期測定モードの動作例



TR_{Jn}レジスタの初期値を0300Hとし、TRJIOCNレジスタのTEDGSEL_nビットを0にし、測定パルスの立ち上がりまで測定した場合です。

- 注1.** TR_{Jn}レジスタの読み出しは、TEDGF_nビットが1（有効エッジあり）になってから、次の有効エッジが入力されるまでの期間で行ってください。読み出し用のバッファの内容は、TR_{Jn}レジスタを読み出すまで保持されます。従って、有効エッジが入力されるまでに読み出さない場合は、前の周期の測定結果を保持します。
- 2.** パルス周期測定モードでTR_{Jn}レジスタを読み出すと、読み出し用バッファの内容が読めます。
- 3.** 測定パルスの有効エッジ入力後に、外部パルス入力の設定エッジが入力されたとき、TRJCR_nレジスタのTEDGF_nビットが1（有効エッジあり）になります。
- 4.** プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR_nレジスタのTEDGF_nビットに0を書いてください。
- 5.** プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR_nレジスタのTUNDF_nビットに0を書いてください。

備考 n: チャネル番号 (n = 0, 1)

13.4.7 イベント・リンク・コントローラ(ELC)との連携による動作

ELCとの連携により、カウントソースにELCからのイベント入力を設定することができます。

TRJMRnレジスタのTCKn0~TCKn2ビットにて、ELCからのイベント入力の立ち上がりでカウントします。ただし、イベントカウンタモードでは、ELC入力は機能しません。

ELC設定手順を以下に示します。

- 動作開始手順

- (1) ELCのイベント出力先選択レジスタ(ELSELRn)を設定する。
- (2) イベント発生元の動作モードを設定する。
- (3) タイマRJnのモードを設定する。
- (4) タイマRJnのカウント動作を開始する。
- (5) イベント発生元の動作を開始する。

- 動作停止手順

- (1) イベント発生元の動作を停止させる。
- (2) タイマRJnのモードのカウント動作を停止させる。
- (3) ELCのイベント出力先選択レジスタ(ELSELRn)を0に設定する。

備考 n : チャネル番号 (n = 0, 1) ただし、ELSELRnはn = 00~29。

13.4.8 各モード出力設定

表13-6, 表13-7に各モード時のTRJOn, TRJOn端子状態を示します。

表13-6 TRJOn端子設定

動作モード	TRJIOcnレジスタ		TRJOn端子出力
	TOENAnビット	TEDGSELnビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

表13-7 TRJOn端子設定

動作モード	TRJIOcnレジスタ		TRJOn端子入出力
	PMXXビット [※]	TEDGSELnビット	
タイマモード	0または1	0または1	入力(使用しない)
パルス出力モード	1	0または1	出力禁止(Hi-z出力)
		1	正転出力
	0	0	反転出力
イベントカウンタモード	1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

注 TRJOn機能と兼用しているポートに対応するポート・モード・レジスタ(PMxx)のビット

備考 n: チャネル番号 (n = 0, 1)

13.5 タイマRJn使用上の注意事項

13.5.1 カウント動作開始, 停止制御

- イベントカウントモードまたはカウントソースをELC以外に設定したとき

カウント停止中にTRJCRnレジスタのTSTARTnビットに1(カウント開始)を書いた後は、カウントソースの3サイクルの間、TRJCRnレジスタのTCSTFnビットは0(カウント停止)になっています。TCSTFnビットが1(カウント中)になるまで、TCSTFnビットを除くタイマRJn関連レジスタ注をアクセスしないでください。

カウント中にTSTARTnビットに0(カウント停止)を書いた後は、カウントソースの3サイクルの間、TCSTFnビットは1になっています。TCSTFnビットが0になったとき、カウントを停止します。TCSTFnビットが0になるまで、TCSTFnビットを除くタイマRJn関連レジスタ注をアクセスしないでください。

また、TSTARTnビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第27章 割り込み機能を参照してください。

注 タイマRJn関連レジスタ : TRJn, TRJCRn, TRJIOCn, TRJMRn, TRJISRn

- イベントカウントモードまたはカウントソースをELC設定したとき

カウント停止中にTRJCRnレジスタのTSTARTnビットに1(カウント開始)を書いた後は、CPUクロックの2サイクルの間、TRJCRnレジスタのTCSTFnビットは0(カウント停止)になっています。TCSTFnビットが1(カウント中)になるまで、TCSTFnビットを除くタイマRJn関連レジスタ注をアクセスしないでください。

カウント中にTSTARTnビットに0(カウント停止)を書いた後は、CPUクロックの2サイクルの間、TCSTFnビットは1になっています。TCSTFnビットが0になったとき、カウントを停止します。TCSTFnビットが0になるまで、TCSTFnビットを除くタイマRJn関連レジスタ注をアクセスしないでください。

また、TSTARTnビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第27章 割り込み機能を参照してください。

注 タイマRJn関連レジスタ : TRJn, TRJCRn, TRJIOCn, TRJMRn, TRJISRn

13.5.2 フラグへのアクセス(TRJCRnレジスタのTEDGFn, TUNDFnビット)

TRJCRnレジスタのTEDGFn, TUNDFnビットは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCRnレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFnビットが1(有効エッジあり)、TUNDFnビットが1(アンダフローあり)になっても、タイミングによってTEDGFn, TUNDFnビットを誤って0にする場合があります。TRJCRnレジスタへのアクセスは、8ビット・メモリ操作命令を使用してください。

13.5.3 カウンタレジスタへのアクセス

TRJCRnレジスタのTSTARTnビットとTCSTFnビットが共に1(カウント動作中)の場合、TRJnレジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。

備考 n : チャネル番号 (n = 0, 1)

13.5.4 モード変更時

タイマRJnの動作モード関連レジスタ(TRJIOcn, TRJMRn, TRJISRn)の変更は、カウント停止時(TRJCRnレジスタのTSTARTnビットとTCSTFnビットが共に0(カウント停止))のみ可能です。カウント動作中には変更しないでください。

タイマRJnの動作モード関連レジスタを変更したとき、TEDGFnビットとTUNDFnビットは不定です。

TEDGFnビットに0(有効エッジなし)、TUNDFnビットに0(アンダフローなし)を書いてから、カウントを開始してください。

13.5.5 TRJOn, TRJIO端子の設定手順

リセット後、TRJOn, TRJIO端子と共用しているI/Oポートは入力ポートとして機能します。

TRJOn, TRJIO端子から出力する場合は、以下の手順で設定してください。

変更手順

- (1) モード設定をする
- (2) 初期値設定/出力許可設定をする。
- (3) TRJOn, TRJIO端子に対応するポート・レジスタのビットを0にする。
- (4) TRJOn, TRJIO端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
(TRJOn, TRJIO端子端子から出力開始)
- (5) カウントを開始する(TRJCRnレジスタのTSTARTn = 1)。

TRJIO端子から入力する場合は、以下の手順で設定してください。

- (1) モード設定をする
- (2) 初期値設定/エッジ選択設定をする。
- (3) TRJIO端子に対応するポート・モード・レジスタのビットを入力モードに設定する。
(TRJIO端子から入力開始)
- (4) カウントを開始する(TRJMRnレジスタのTSTARTn = 1)。
- (5) TRJCRnレジスタのTCSTFnビットが1(カウント中)になるまで待つ。
(イベントカウンタモード時のみ)
- (6) TRJIO端子から外部イベントを入力する。
- (7) 最初の測定完了による処理は無効としてください(2回目以降から測定値有効)。
(パルス幅測定モード, パルス周期測定モードのみ)

13.5.6 タイマRJn未使用時

タイマRJnを使用しない場合、TRJMRnレジスタのTMODn2~TMODn0ビットを000B(タイマモード)、TRJIOcnレジスタのTOENAnビットを0(TRJOn出力禁止)にしてください。

備考 n : チャネル番号 (n = 0, 1)

13.5.7 タイマRJn動作クロック停止時

PER1レジスタのTRJnENビットでタイマRJnのクロック供給/停止制御が可能です。ただし、タイマRJnのクロック停止時は下記SFRへのアクセスができません。アクセスするにはタイマRJnのクロックを供給した状態で行ってください。

TRJnレジスタ, TRJCRnレジスタ, TRJMRnレジスタ, TRJIOcnレジスタ, TRJISRnレジスタ

13.5.8 STOPモード(イベントカウンタモード)の設定手順

STOPモード中にイベントカウンタモードの動作をさせる場合、タイマRJnのクロックを供給した後、以下の手順でSTOPモードへ移行してください。

設定手順

- (1) 動作モード設定
- (2) カウントを開始する(TSTARTn = 1, TCSTFn = 1)
- (3) タイマRJnのクロック供給停止

また、STOPモード中にイベントカウンタモードの動作を停止させる場合、以下の手順で動作停止処理を行ってください。

- (1) タイマRJnのクロック供給
- (2) カウントを停止する(TSTARTn = 0, TCSTFn = 0)

13.5.9 STOPモード(イベントカウンタモードのみ)での機能制限

STOPモード中にイベントカウンタモードの動作をさせる場合、デジタルフィルタ機能は使用できません。

13.5.10 TSTOPnビットによる強制カウント停止時

TRJCRnレジスタのTSTOPnビットによるカウンタ強制停止後、カウントソースで1サイクルの間、下記SFRへのアクセスはしないでください。

TRJnレジスタ, TRJCRnレジスタ, TRJMRnレジスタ

13.5.11 デジタルフィルタ

デジタルフィルタを使用する場合はTRJIOcnレジスタのTIPFn1, 0ビット設定後、デジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

また、デジタルフィルタを使用している状態で、TRJIOcnレジスタのTEDGSELnビットを変更した場合も同様にデジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

13.5.12 カウントソースにf_{IL}を選択する場合

カウントソースにf_{IL}を選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを1にしてください。

備考 n : チャネル番号 (n = 0, 1)

第14章 サンプリング出力タイマ/ディテクタ

14.1 サンプリング出力タイマ/ディテクタの機能

サンプリング出力タイマ/ディテクタ(SMOTD : Sampling Output Timer Detector)は、サンプリング・クロック出力機能と、サンプリング・ディテクタ機能を持ちます。

サンプリング・クロック出力機能は、定期的にSMO_mj端子からサンプリング・クロックを出力する機能です。

サンプリング・ディテクタ機能は、サンプリング・クロックの立ち下がりタイミングで、SMP0-SMP5端子の入力レベルを検出し、アクティブ・レベルの場合に割り込み信号(INTSMP_{mi})を出力します。

サンプリング出力タイマ/ディテクタは下記の機能を持ちます。

表14-1 サンプリング出力タイマ/ディテクタの機能

項目	内容	
PWM性能	ハイ・パルス幅	MIN. $1/f_{sx}$ MAX. $2^8 \times 2^6 / f_{sx}$ ^注
	PWM波形周期	MIN. $2/f_{sx}$ MAX. $2^8 \times 2^{14} / f_{sx}$
機能	<ul style="list-style-type: none"> サンプリング・クロック出力機能 サンプリング・ディテクタ機能 	
割り込み出力	<ul style="list-style-type: none"> サンプリング出力タイマインターバル割り込み(INTSMOTAm) サンプリング出力タイマコンペア一致割り込み(INTSMOTBm) サンプリング・ディテクタ検出割り込み(INTSMPmi) 	

注 ハイ・パルス幅をPWM波形周期より長い間隔に設定することは禁止です。ハイ・パルス幅は必ずPWM波形周期より短くなるように設定してください。

備考 m : ユニット番号 (m = 0, 1) i : 入力チャネル番号 (i = 0-5) j : 出力チャネル番号 (j = 0-2)

14.2 サンプリング出力タイマ/ディテクタの構成

サンプリング出力タイマ/ディテクタは、次のハードウェアで構成されています。

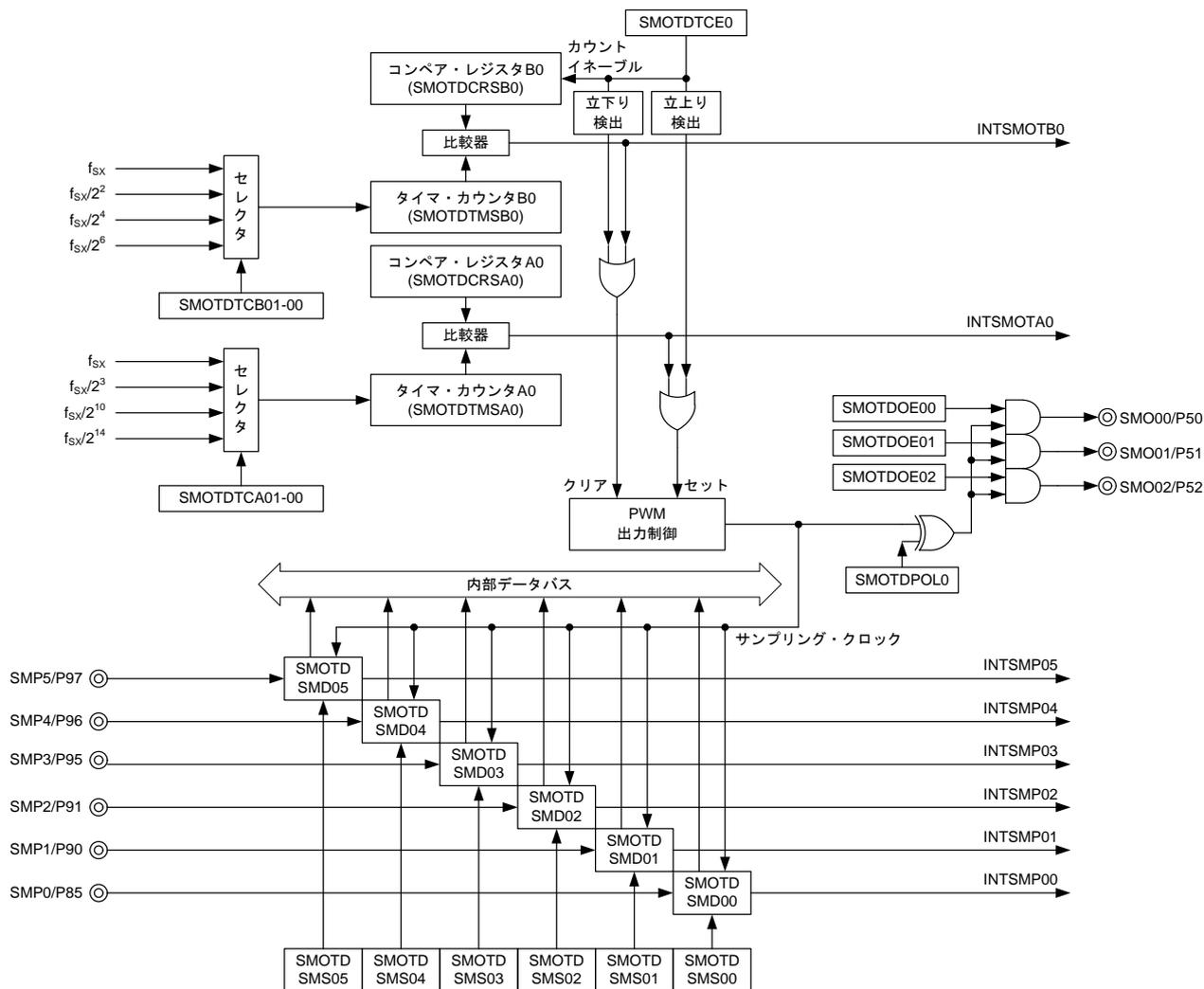
表14-2 サンプリング出力タイマ/ディテクタの構成

項目	構成
サンプリング出力タイマの入カクロック	fsx及びfsxの分周
サンプリング出力タイマの出力	SMO00-02, SMO10-12の出力信号 (PWM出力)
サンプリング入力	SMP0-SMP5
制御レジスタ	周辺イネーブル・レジスタ1 (PER1) 周辺リセット制御レジスタ1 (PRR1) SMOTDタイマ・カウンタAm (SMOTDTMSAm) SMOTDタイマ・カウンタBm (SMOTDTMSBm) SMOTDコンペア・レジスタAm (SMOTDCRSAm) SMOTDコンペア・レジスタBm (SMOTDCRSBm) SMOTDクロック選択レジスタm (SMOTDTCSm) SMOTDコントロール・レジスタm (SMOTDCRm) SMOTDサンプリング・レベル設定レジスタm (SMOTDSMSm) SMOTDサンプリング・端子状態レジスタm (SMOTDSMDm) SMOTD出力制御レジスタm (SMOTDOEm) ポート・モード・レジスタ0, 3, 5, 7-9 (PM0, PM3, PM5, PM7-PM9) ポート・レジスタ0, 3, 5, 7-9, 13 (P0, P3, P5, P7-P9, P13)

備考 m : ユニット番号 (m = 0, 1)

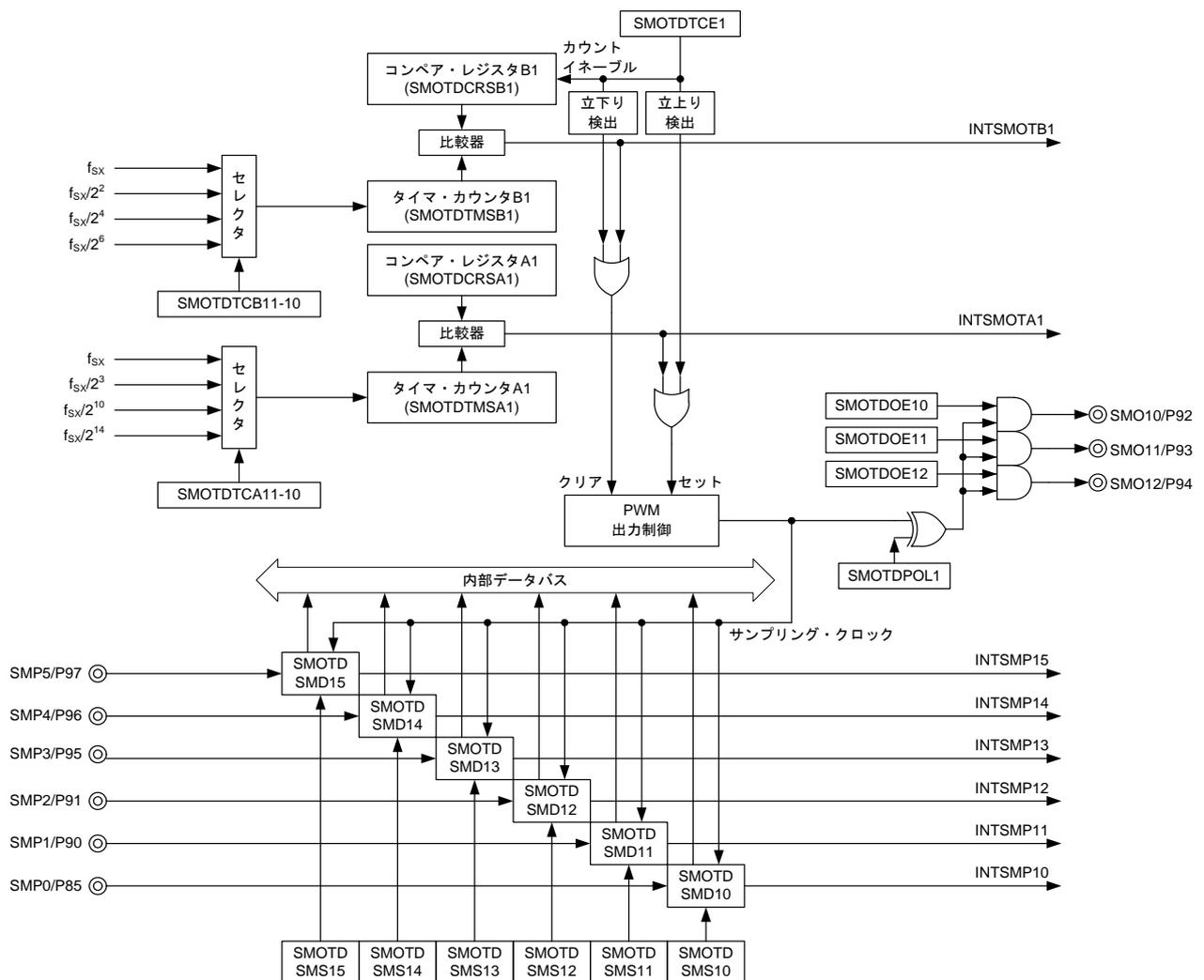
図14-1, 図14-2にサンプリング出力タイマ/ディテクタのブロック図を示します。

図14-1 サンプリング出力タイマ/ディテクタ0のブロック図



注意 サンプリング出力タイマ/ディテクタを使用する場合は,必ずサブシステム・クロックを選択 (WUTMMCK0 ビット= 0)してください。

図14-2 サンプルング出力タイマ/ディテクタ1のブロック図



注意 サンプルング出力タイマ/ディテクタを使用する場合は、必ずサブシステム・クロックを選択(WUTMMCK0ビット = 0)してください。

14.3 サンプリング出力タイマ/ディテクタを制御するレジスタ

サンプリング出力タイマ/ディテクタを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- SMOTDタイマ・カウンタAm (SMOTDTMSAm)
- SMOTDタイマ・カウンタBm (SMOTDTMSBm)
- SMOTDコンペア・レジスタAm (SMOTDCRSAm)
- SMOTDコンペア・レジスタBm (SMOTDCRSBm)
- SMOTDクロック選択レジスタm (SMOTDTCSm)
- SMOTDコントロール・レジスタm (SMOTDCRm)
- SMOTDサンプリング・レベル設定レジスタm (SMOTDSMSm)
- SMOTDサンプリング端子状態レジスタm (SMOTDSMDm)
- SMOTD出力制御レジスタm (SMOTDOEm)
- ポート・モード・レジスタ0, 3, 5, 7-9 (PM0, PM3, PM5, PM7-PM9)
- ポート・レジスタ0, 3, 5, 7-9, 13 (P0, P3, P5, P7-P9, P13)

備考 m : ユニット番号 (m = 0, 1)

(1) 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアのクロック供給/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

サンプリング出力タイマ/ディテクタ0を使用するときは、必ずビット4 (SMOTD0EN) を1に設定してください。

サンプリング出力タイマ/ディテクタ1を使用するときは、必ずビット5 (SMOTD1EN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図14-3 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCEN	SMOTD1EN	SMOTD0EN	DTCEN	TRJ1EN	TRJ0EN	DSADCEN

SMOTDmEN	サンプリング出力タイマ/ディテクタmの入カクロック供給の制御
0	入カクロック供給停止 ・ サンプリング出力タイマ/ディテクタmで使用するSFRへのライト不可、 リードした場合は00Hが読めます。ただし、初期化はされていません。 ^{注1,2}
1	入カクロック供給 ・ サンプリング出力タイマ/ディテクタmで使用するSFRへのリード/ライト可

注1. サンプリング出力タイマ/ディテクタ0およびサンプリング出力タイマ/ディテクタ0で使用するSFRを初期化する場合、PRR1のビット4 (SMOTD0RES)を使用してください。

2. サンプリング出力タイマ/ディテクタ1およびサンプリング出力タイマ/ディテクタ1で使用するSFRを初期化する場合、PRR1のビット5 (SMOTD1RES)を使用してください。

注意1. サンプリング出力タイマ/ディテクタmの設定をする際には、必ず最初にSMOTDmEN = 1の状態
で、下記のレジスタの設定を行ってください。SMOTDmEN = 0の場合は、サンプリング出力タイ
マ/ディテクタmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となり
ます (ポート・モード・レジスタ0, 3, 5, 7-9 (PM0, PM3, PM5, PM7-PM9), ポート・レジスタ
0, 3, 5, 7-9, 13 (P0, P3, P5, P7-P9, P13) は除く)。

- ・ SMOTDタイマ・カウンタAm (SMOTDTMSAm)
- ・ SMOTDタイマ・カウンタBm (SMOTDTMSBm)
- ・ SMOTDコンペア・レジスタAm (SMOTDCRSAm)
- ・ SMOTDコンペア・レジスタBm (SMOTDCRSBm)
- ・ SMOTDクロック選択レジスタm (SMOTDTCSm)
- ・ SMOTDコントロール・レジスタm (SMOTDCRm)
- ・ SMOTDサンプリング・レベル設定レジスタm (SMOTDSMSm)
- ・ SMOTDサンプリング端子状態レジスタm (SMOTDSMDm)
- ・ SMOTD出力制御レジスタm (SMOTDOEm)

2. ビット7には必ず“0”を設定してください。

備考 m : ユニット番号 (m = 0, 1)

(2) 周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1レジスタで対応する各周辺ハードウェアのリセット/リセット解除の制御を行います。

サンプルング出力タイマ/ディテクタ0をリセットする場合は、必ずビット4 (SMOTD0RES) を1に設定してください。

サンプルング出力タイマ/ディテクタ1をリセットする場合は、必ずビット5 (SMOTD1RES) を1に設定してください。

PRR1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR1レジスタは00Hになります。

図14-4 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR1	0	0	SMOTD1RES	SMOTD0RES	0	TRJ1RES	TRJ0RES	DSADRES

SMOTDmRES	サンプルング出力タイマ/ディテクタmのリセット制御
0	サンプルング出力タイマ/ディテクタmのリセット解除
1	サンプルング出力タイマ/ディテクタmのリセット状態

備考 m : ユニット番号 (m = 0, 1)

(3) SMOTDタイマ・カウンタAm (SMOTDTMSAm)

SMOTDTMSAmカウンタは、SMO_mj端子から出力するサンプリング・クロックのPWM波形の周期をカウントする8ビットのカウンタです。

SMOTDTMSAmカウンタは、プログラムで直接操作することはできません。(リード/ライト不可)

次の場合、カウント値は00Hになります。

- ①リセット信号の発生
- ②SMOTDTCE_mをクリア(1から0に書き換えた場合)
- ③SMOTDTMSAmとSMOTDCRSAmの一致

図14-5 SMOTDタイマ・カウンタAm (SMOTDTMSAm)のフォーマット

アドレス：— リセット時：00H R/W不可

	7	6	5	4	3	2	1	0
略号	SMOTDTMSAm[7:0]							
SMOTDTMSAm	SMOTDTMSAm[7:0]							

SMOTDTMSAm [7:0]	SMOTDタイマ・カウンタAm
00H - FFH	カウント開始条件： SMOTDTCE _m をセット(0から1に変更した場合) カウント条件： SMOTDTCE _m = 1のとき、SMOTDTCA _m 1-0ビットで選択したクロックに同期してインクリメントします。 カウントクリア条件： <ul style="list-style-type: none"> • リセット信号の発生 • SMOTDTCE_mをクリア(1から0に変更した場合) • SMOTDTCA_mとSMOTDCRSAmの一致

注意 カウント条件とカウンタクリア条件が同時に発生した場合、カウンタクリアが優先されます。

備考 m：ユニット番号 (m = 0, 1) j：出力チャネル番号 (j = 0-2)

(4) SMOTDタイマ・カウンタBm (SMOTDTMSBm)

SMOTDTMSBmカウンタは、SMO_mj端子から出力するサンプリング・クロックのPWM波形のハイ・パルス幅をカウントする8ビットのカウンタです。

SMOTDTMSBmカウンタは、プログラムで直接操作することはできません。(リード/ライト不可)

次の場合、カウント値は00Hになります。

- ①リセット信号の発生
- ②SMOTDTCEmをクリア(1から0に書き換えた場合)
- ③SMOTDTMSBmとSMOTDCRSBmの一致

図14-6 SMOTDタイマ・カウンタBm (SMOTDTMSBm)のフォーマット

アドレス：ー リセット時：00H R/W不可

略号 7 6 5 4 3 2 1 0

SMOTDTMSBm SMOTDTMSBm[7:0]

SMOTDTMSBm [7:0]	SMOTDタイマ・カウンタBm
00H - FFH	カウント開始条件： SMOTDTCEmをセット(0から1に変更した場合) カウント条件： SMOTDTCEm = 1のとき、SMOTDTCBmビットで選択したクロックに同期してインクリメントします。 カウントクリア条件： <ul style="list-style-type: none"> • リセット信号の発生 • SMOTDTCEmをクリア(1から0に変更した場合) • SMOTDTMSBmとSMOTDCRSBmの一致

注意 カウント条件とカウンタクリア条件が同時に発生した場合、カウンタクリアが優先されます。

備考 m：ユニット番号 (m = 0, 1) j：出力チャネル番号 (j = 0-2)

(5) SMOTDコンペア・レジスタAm (SMOTDCRSAm)

SMOTDCRSAmレジスタは、SMOm_j端子から出力するサンプリング・クロックのPWM波形の周期を設定するレジスタです。

SMOTDCRSAmレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-7 SMOTDコンペア・レジスタAm (SMOTDCRSAm)のフォーマット

アドレス : F02B0H (SMOTDCRSA0), F02B8H (SMOTDCRSA1) リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

SMOTDCRSAm	SMOTDCRSAm[7:0]							
------------	-----------------	--	--	--	--	--	--	--

SMOTDCRSAm[7:0]	サンプリング・クロック出力周期生成用コンペア値設定
00H (初期値)	・ 設定禁止
01H	周期 「 $(1/f_{sx})^{\#} \times (SMOTDCRSAm+1)$ 」 のPWM波形をSMOm _j 端子から出力します。
・	設定例 :
・	SMOTDCRSAm = 01H
・	$(1/f_{sx})^{\#} \times (1+1) = 52 \mu s @ 38.4 \text{ kHz}$
FFH	SMOTDCRSAm = 57H (2^3 分周の場合)
	$(2^3/f_{sx})^{\#} \times (87+1) = 18.33 \text{ ms} @ 38.4 \text{ kHz}$

注 タイマ・カウンタ AのクロックはSMOTDTCAm1-0ビットで設定します。

注意1. カウンタ動作中(SMOTDTCEm = 1)は、SMOTDCRSAmレジスタの設定値を変更しないでください。

2. 本レジスタを初期値(00H)のまま使用(SMOTDTCEm = 1)する事は禁止です。00H以外の任意の値を設定してください。

備考 m : ユニット番号 (m = 0, 1) j : 出力チャネル番号 (j = 0-2)

(6) SMOTDコンペア・レジスタBm (SMOTDCRSBm)

SMOTDCRSBmレジスタは、SMOm_j端子から出力するサンプリング・クロックのPWM出力波形のハイ・パルス幅を設定するレジスタです。

SMOTDCRSBmレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-8 SMOTDコンペア・レジスタBm (SMOTDCRSBm)のフォーマット

アドレス : F02B1H (SMOTDCRSB0), F02B9H (SMOTDCRSB1) リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

SMOTDCRSBm SMOTDCRSBm[7:0]

SMOTDC RSBm[7:0]	サンプリング・クロック出力ハイ幅生成用コンペア値設定
00H (初期値)	ハイ・パルス幅「 $1/fs_x \times (SMOTDCRSBm+1)$ 」のPWM波形をSMOm _j 端子から出力します。 設定例 : ・ SMOTDCRSBm = 00H ・ $(1/fs_x) \times (0+1) = 26 \mu s @ 38.4 \text{ kHz}$ ・ SMOTDCRSBm = 01H
FFH	$(1/fs_x) \times (153+1) = 52 \mu s @ 38.4 \text{ kHz}$ SMOTDCRSBm = 99H $(1/fs_x) \times (153+1) = 4.01 \text{ ms} @ 38.4 \text{ kHz}$

注 タイマ・カウンタBのクロックはSMOTDTCBm1-0ビットで設定します。

注意1. カウンタ動作中(SMOTDTCEm = 1)は、SMOTDCRSBmレジスタの設定値を変更しないでください。

2. SMOTDCRSAm > SMOTDCRSBmとなるよう設定してください。

備考 m : ユニット番号 (m = 0, 1) j : 出力チャネル番号 (j = 0-2)

(7) SMOTDクロック選択レジスタm (SMOTDTCSm)

SMOTDTCSmレジスタは、SMOTDタイマ・カウンタAm (SMOTDTMSAm)とSMOTDタイマ・カウンタBm (SMOTDTMSBm)のカウンタ・クロックを選択するレジスタです。

SMOTDTCSmレジスタは、8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図14-9 SMOTDクロック選択レジスタm (SMOTDTCSm)のフォーマット

アドレス : F02B2H (SMOTDTCS0), F02BAH (SMOTDTCS1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SMOTDTCSm	0	0	SMOTDTCBm1	SMOTDTCBm0	0	0	SMOTDTCAm1	SMOTDTCAm0

SMOTDT CBm1-0	SMOTDタイマ・カウンタBm (SMOTDTMSBm)のクロック選択ビット
00B (初期値)	f_{sx} (30.5 μ s/26 μ s)
01B	$f_{sx}/2^2$ (122 μ s/104 μ s)
10B	$f_{sx}/2^4$ (488 μ s/416.7 μ s)
11B	$f_{sx}/2^6$ (1.95 ms/1.67 ms)

SMOTDT CAm1-0	SMOTDタイマ・カウンタAm (SMOTDTMSAm)のクロック選択ビット
00B (初期値)	f_{sx} (30.5 μ s/26 μ s)
01B	$f_{sx}/2^3$ (244 μ s/208 μ s)
10B	$f_{sx}/2^{10}$ (31.3 ms/26.7 ms)
11B	$f_{sx}/2^{14}$ (500 ms/426.7 ms)

注意1. ビット7, 6, 3, 2には、初期値を設定してください。

2. カウンタのカウント動作を停止(SMOTDTCEm = 0)させてから設定してください。

備考1. () 内は、 $f_{sx} = 32.768$ kHz動作時/38.4 kHz動作時 (f_{sx} : サブ・クロックの周波数)

2. m : ユニット番号 (m = 0, 1)

(8) SMOTDコントロール・レジスタm (SMOTDCRm)

SMOTDCRmレジスタは、SMO_mj端子から出力するサンプリング・クロックの極性選択、サンプリング出力タイマのカウント動作許可を行うレジスタです。

SMOTDCRmレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図14-10 SMOTDコントロール・レジスタm (SMOTDCRm)のフォーマット

アドレス：F02B3H (SMOTDCR0), F02BBH (SMOTDCR1) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SMOTDCRm	0	0	0	SMOTDPOLm	0	0	0	SMOTDTCEm

SMOTDPOLm	SMO _m j端子の極性選択ビット
0 (初期値)	ハイ・アクティブ(デフォルト ロー・レベル出力)
1	ロー・アクティブ(デフォルト ハイ・レベル出力)

注意1. 本ビットはSMO0-SMO2端子から出力するサンプリング・クロックに共通の設定です。

2. カウント動作停止中 (SMOTDTCEm = 0)かつサンプリング出力禁止中 (SMOTDOEm2-0 = 000B)に本ビットを設定してください。

SMOTDTCEm	タイマ・カウント動作許可
0 (初期値)	カウント動作停止
1	カウント動作許可

注意1. SMOTDCRSAm, SMOTDCRSBm, SMOTDTCSm, SMOTDSMSm, SMOTDSMDmレジスタおよびSMOTDPOLmビットを設定した後にSMOTDTCEm = 1に設定してください。

2. SMOTDTCEmビットを設定した後に設定を変更する場合は、サブシステム・クロックの3サイクル以上空けてください。

備考 m : ユニット番号 (m = 0, 1) j : 出力チャネル番号 (j = 0-2)

(9) SMOTDサンプリング・レベル設定レジスタm (SMOTDSMSm)

SMOTDSMSmレジスタは、サンプリング・ディテクタ検出割り込み(INTSMPmi)の発生条件を設定するレジスタです。

SMP0-SMP5端子へのサンプリング入力レベルとSMOTDSMSmの設定によるアクティブ・レベルが一致すると、サンプリング・ディテクタ検出割り込み (INTSMPmi)を発生させる事ができます。

また、SMP0-SMP5端子のサンプリングは、サンプリング・クロックの立ち下がりで行われます。

SMOTDSMSmレジスタは、1ビット・メモリ操作および8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図14-11 SMOTDサンプリング・レベル設定レジスタm (SMOTDSMSm)のフォーマット

アドレス : F02B4H (SMOTDSMS0) , F02BCH (SMOTDSMS1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SMOTDSMSm	0	0	SMOTDSMSm5	SMOTDSMSm4	SMOTDSMSm3	SMOTDSMSm2	SMOTDSMSm1	SMOTDSMSm0

SMOTDSMSmi	サンプリング信号アクティブ・レベル設定ビット
0	サンプリング・クロックの立ち下がりでSMPiのロウ・レベルを検出すると割り込み要求を発生
1	サンプリング・クロックの立ち下がりでSMPiのハイ・レベルを検出すると割り込み要求を発生

注意1. カウンタ動作中 (SMOTDTCEm = 1) は、SMOTDSMSmレジスタの設定値を変更しないでください。

2. ビット7, 6には、初期値を設定してください。

備考 m : ユニット番号 (m = 0, 1) i : 入力チャネル番号 (i = 0-5)

(10) SMOTDサンプリング・端子状態レジスタm (SMOTDSMDm)

SMOTDSMDmレジスタは、サンプリング・クロック(SMOMj)に出力するPWM出力波形の立ち下がりタイミングで検出したSMP0-SMP5端子の状態を検出するレジスタです。

SMOTDSMDmレジスタは、1ビット・メモリ操作および8ビット・メモリ操作命令で読み出します。リセット信号の発生により、00Hになります。

図14-12 SMOTDサンプリング・端子状態レジスタm (SMOTDSMDm)のフォーマット

アドレス : F02B5H (SMOTDSMD0), F02BDH (SMOTDSMD1) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
SMOTDSMDm	0	0	SMOTDSMDm5	SMOTDSMDm4	SMOTDSMDm3	SMOTDSMDm2	SMOTDSMDm1	SMOTDSMDm0

SMOTDSMDmi	SMPi端子の状態
0(初期値)	ロウ・レベル
1	ハイ・レベル

注意 SMOTDSMDmレジスタはINTSMPmi割り込み発生後に読み出してください。

備考 m : ユニット番号 (m = 0, 1) i : 入力チャネル番号 (i = 0-5) j : 出力チャネル番号 (j = 0-2)

(11) SMOTD出力制御レジスタm (SMOTDOEm)

SMOTDOEmレジスタは、SMO_mj端子から出力するサンプリング・クロックの出力禁止/許可を設定するレジスタです。

SMOTDOEmレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図14-13 SMOTD出力制御レジスタm (SMOTDOEm)のフォーマット

アドレス : F02B6H (SMOTDOE0) , F02BEH (SMOTDOE1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SMOTDOEm	0	0	0	0	0	SMOTDOEm2	SMOTDOEm1	SMOTDOEm0

SMOTDOEmj	SMO _m j端子の出力制御ビット
0 (初期値)	出力禁止(ポート・モード)
1	出力許可(サンプリング・モード)

- 注意1.** カウンタ動作中(SMOTDTCEm = 1)は、SMOTDOEmレジスタの設定値を変更しないでください。
2. ビット7-3には、初期値を設定してください。

備考 m : ユニット番号 (m = 0, 1) j : 出力チャネル番号 (j = 0-2)

(12) ポート・モード・レジスタ 0, 3, 5, 7-9 (PM0, PM3, PM5, PM7-PM9)

ポート0, 3, 5, 7-9の入力/出力を1ビット単位で設定するレジスタです。

サンプリング入力端子を兼用するポート(P85/SMP0/SEG41/SO30/TXD3, P90/SMP1/COM0/(SEG31)など)をサンプリング入力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

(例) P85/SMP0/SEG41/SO30/TXD3をサンプリング入力として使用する場合

ポート・モード・レジスタ8のPM85ビットを1に設定

ポート・レジスタ8のP85ビットを0または1に設定

LCDポート・ファンクション・レジスタ6のPFSEG41ビットを0に設定

サンプリング出力端子を兼用するポート(P50/SMO00/SEG32, P51/SMO01/SEG33/TxD4など)をサンプリング出力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

(例) P50/SMO00/SEG32をサンプリング出力として使用する場合

ポート・モード・レジスタ5のPM50ビットを0に設定

ポート・レジスタ5のP50ビットを0に設定

LCDポート・ファンクション・レジスタ5のPFSEG32ビットを0に設定

PM0, PM3, PM5, PM7-PM9は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHIになります。

図14-14 ポート・モード・レジスタ (PM0, PM3, PM5, PM7-PM9) のフォーマット

アドレス :	FFF20H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM0	PM07	PM06	PM05	PM04	PM03	PM02	1	1	
アドレス :	FFF23H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	
アドレス :	FFF25H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	
アドレス :	FFF27H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	
アドレス :	FFF28H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM8	1	1	PM85	PM84	PM83	PM82	PM81	PM80	
アドレス :	FFF29H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	

PMmn	Pmn端子の入出力モードの選択 (m = 0, 3, 5, 7-9; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

14.4 サンプリング出力タイマ/ディテクタの動作

図14-15にサンプリング・クロックの出力タイミングを、図14-16にサンプリング検出のタイミング図を示します。

図14-15 SMO0-SMO2 出力タイミング図

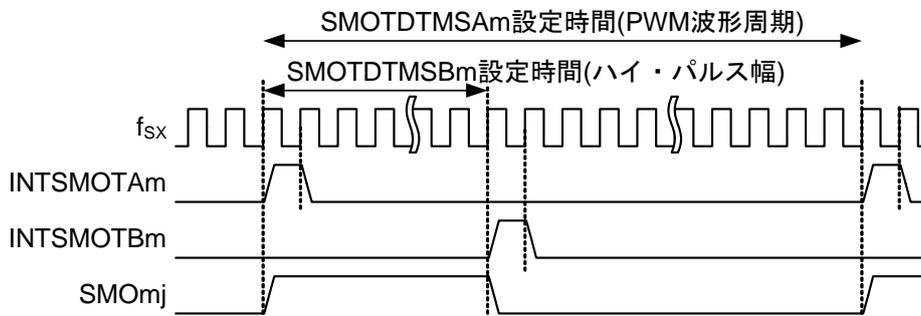
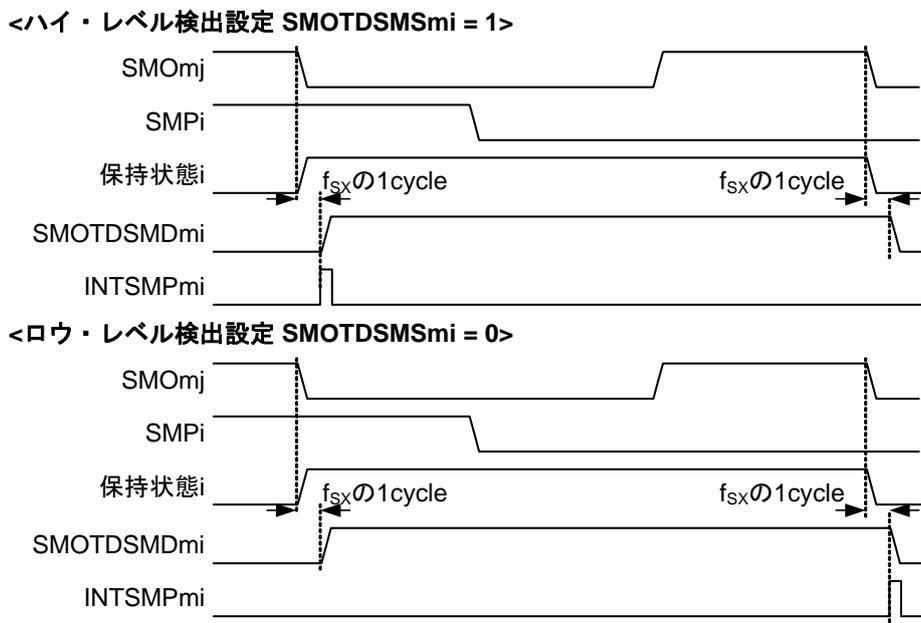


図14-16 サンプリング検出のタイミング図

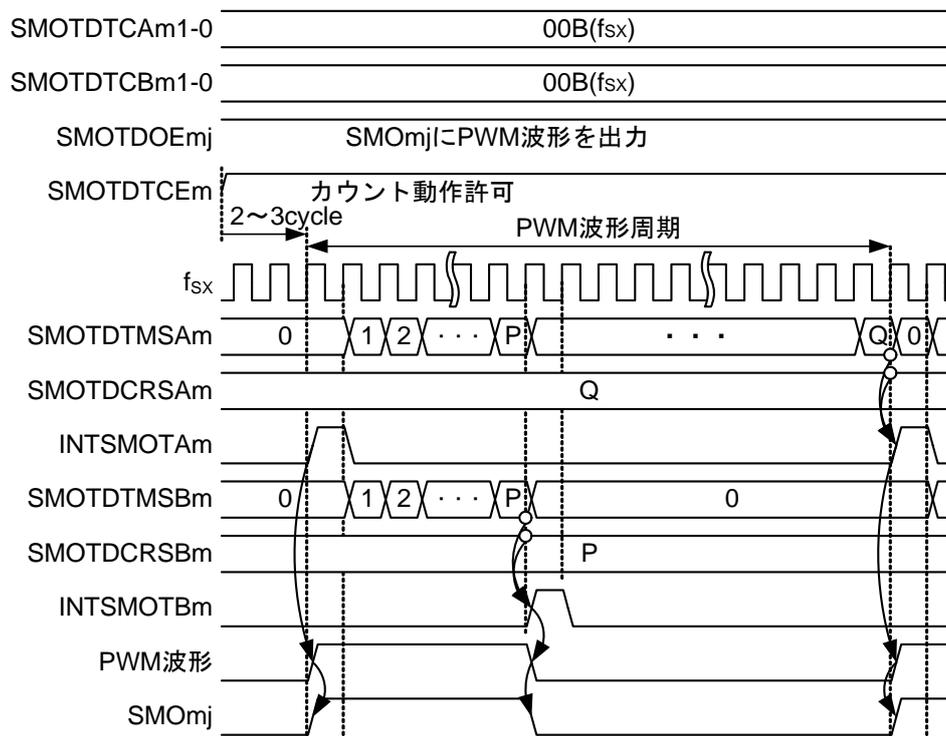


備考 m : ユニット番号 (m = 0, 1) i : 入力チャネル番号 (i = 0-5) j : 出力チャネル番号 (j = 0-2)

14.4.1 サンプリング・クロック出力機能

サンプリング・クロック出力機能は、PWM波形を出力する機能です。PWM波形は周期とハイ・パルス幅を設定することで生成されます。PWM波形の周期はSMOTDTCAm1-0ビットとSMOTDCRSAmレジスタで設定します。PWM波形のハイ・パルス幅はSMOTDTCBm1-0ビットとSMOTDCRSBmレジスタで設定します。生成したPWM波形は、PWM波形の出力設定(SMOTDOEmjビット)に応じてSMO0-2端子へ出力します。PWM波形の立ち下がりのタイミングでサンプリング出力タイマコンペア一致割り込み(INTSMOTBm)を出力します。PWM波形の立ち上がりのタイミングでサンプリング出力タイマインターバル割り込み(INTSMOTAm)を出力します。SMOTDPOLmビットでSMOmjに出力する値の極性を設定することが可能です。図14-17にサンプリング・クロック出力(分周なし)のタイミング図を示します。

図14-17 サンプリング・クロック出力(分周なし)

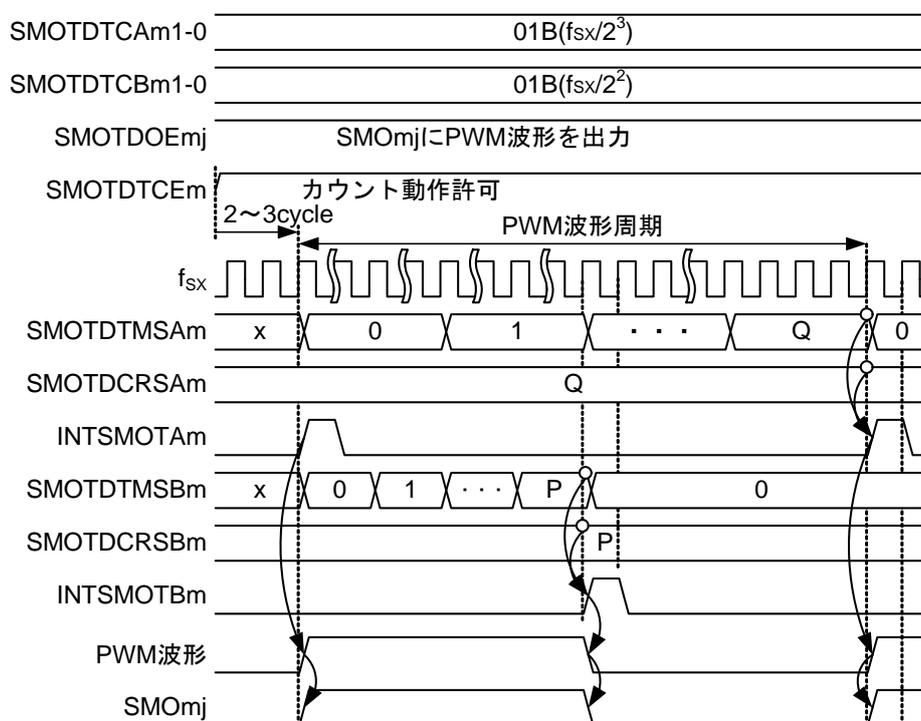


備考1. SMOTDPOLm = 0 (ハイ・アクティブ) の場合

2. m : ユニット番号 (m = 0, 1) j : 出力チャネル番号 (j = 0-2)

サンプリング出力タイマ/ディテクタは、PWM波形の分周機能を持ちます。図14-18にサンプリング・クロック出力(分周あり)のタイミング図を示します。

図14-18 サンプリング・クロック出力(分周あり)



備考1. SMOTDPOLm = 0 (ハイ・アクティブ)の場合

2. m : ユニット番号 (m = 0, 1) j : 出力チャネル番号 (j = 0-2)

表14-3 サンプリング・クロック出力のPWM波形($f_{sx} = 38.4\text{kHz}$)

SMOTD TCAm1	SMOTD TCAm0	SMOTD TCBm1	SMOTD TCBm0	ハイ・パルス幅		PWM波形周期	
0	0	0	0	$(b+1)(1/f_{sx})$	26.0 μs ~ 6.7 ms	$(a+1)(1/f_{sx})$	52.0 μs ~ 6.7 ms
0	1	0	0	$(b+1)(1/f_{sx})$	26.0 μs ~ 6.7 ms	$(a+1)(2^3/f_{sx})$	416.7 μs ~ 53.3 ms
		0	1	$(b+1)(2^2/f_{sx})$	104.2 μs ~ 26.7 ms		
1	0	0	0	$(b+1)(1/f_{sx})$	26.0 μs ~ 6.7 ms	$(a+1)(2^{10}/f_{sx})$	53.3 ms ~ 6.8 s
		0	1	$(b+1)(2^2/f_{sx})$	104.2 μs ~ 26.7 ms		
		1	0	$(b+1)(2^4/f_{sx})$	416.7 μs ~ 106.7 ms		
		1	1	$(b+1)(2^6/f_{sx})$	1.7 ms ~ 426.7 ms		
1	1	0	0	$(b+1)(1/f_{sx})$	26.0 μs ~ 6.7 ms	$(a+1)(2^{14}/f_{sx})$	853.3 ms ~ 109.2 s
		0	1	$(b+1)(2^2/f_{sx})$	104.2 μs ~ 26.7 ms		
		1	0	$(b+1)(2^4/f_{sx})$	416.7 μs ~ 106.7 ms		
		1	1	$(b+1)(2^6/f_{sx})$	1.7 ms ~ 426.7 ms		

注意1. aはSMOTDCRSAm[7:0], bはSMOTDCRSBm[7:0]の値です。

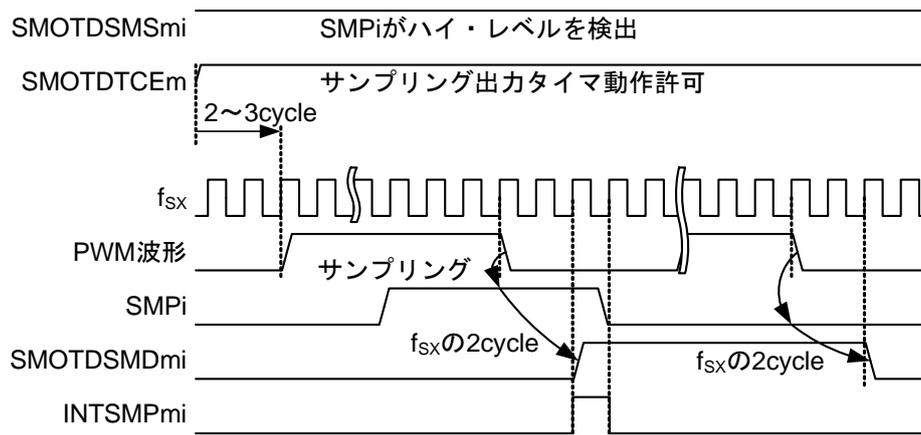
2. 上記以外のSMOTDTCAm1-0とSMOTDTCBm1-0の組み合わせは設定禁止です。PWM周期>ハイ・パルス幅となるように設定してください。

備考 m : ユニット番号 (m = 0, 1)

14.4.2 サンプリング・ディテクタ機能

サンプリング・ディテクタ機能は、サンプリング・クロック出力機能のPWM波形の立ち下がりタイミングで、サンプリング信号(SMPi)をSMOTDSMDmiビットへ格納します。このとき、PWM波形の立ち下がりから f_{sx} の2サイクル分の遅延が発生します。サンプリング信号(SMPi)がSMOTDSMSmiビットで設定した条件と一致した場合、SMOTDSMDmiビットへの格納と同じタイミングでサンプリング・ディテクタ検出割り込み(INTSMPmi)を出力します。

図14-19 サンプリング・クロック出力機能

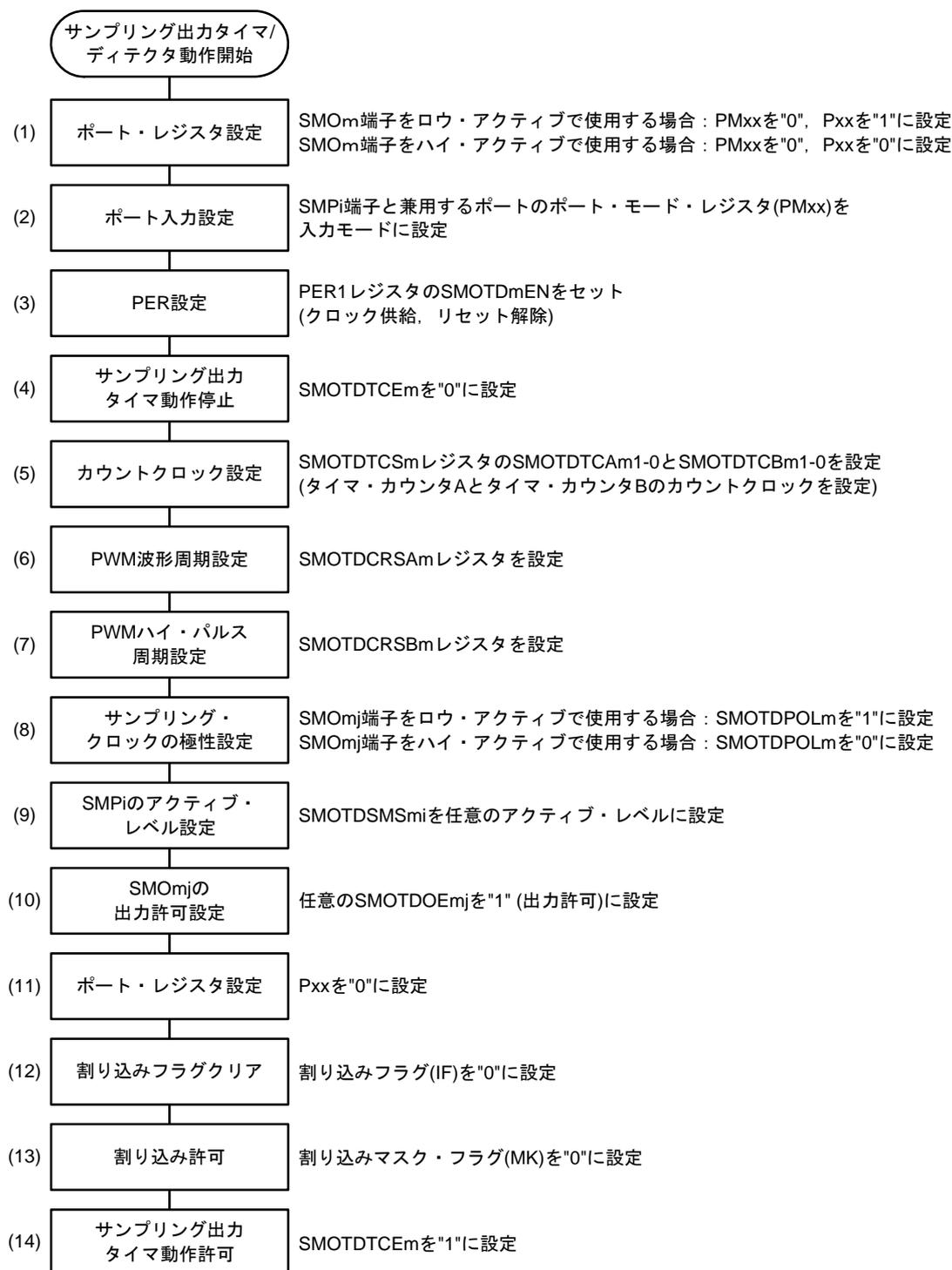


備考 m : ユニット番号 (m = 0, 1) i : 入力チャネル番号 (i = 0-5)

14.4.3 サンプリング出力タイマ/ディテクタ機能の動作設定

図14-20にサンプリング出力タイマ/ディテクタの動作開始手順を示します。

図14-20 動作開始手順

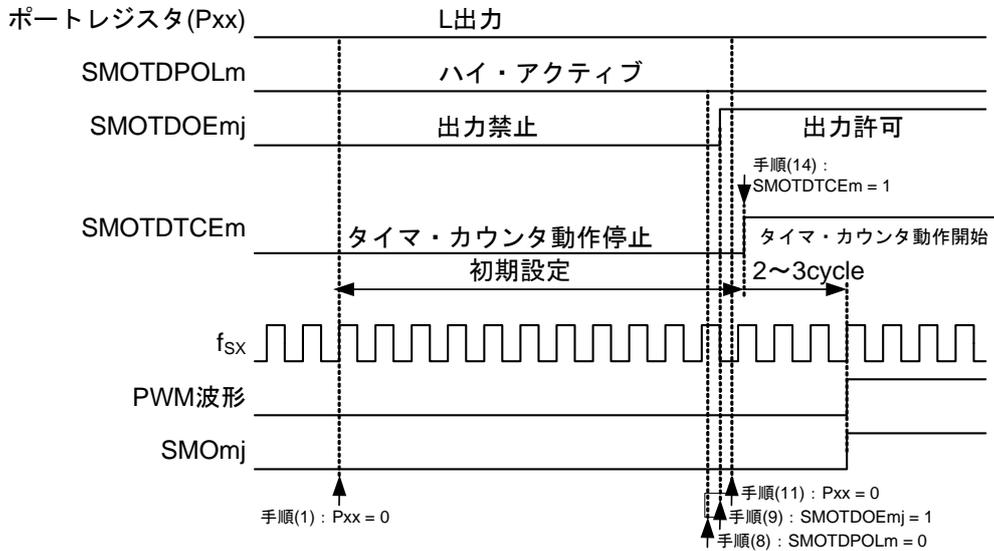


注意 Pxx, PMxxレジスタの設定については、14.3 サンプリング出力タイマ/ディテクタを制御するレジスタの(12)を参照してください。

備考 m : ユニット番号 (m = 0, 1) i : 入力チャネル番号 (i = 0-5) j : 出力チャネル番号 (j = 0-2)

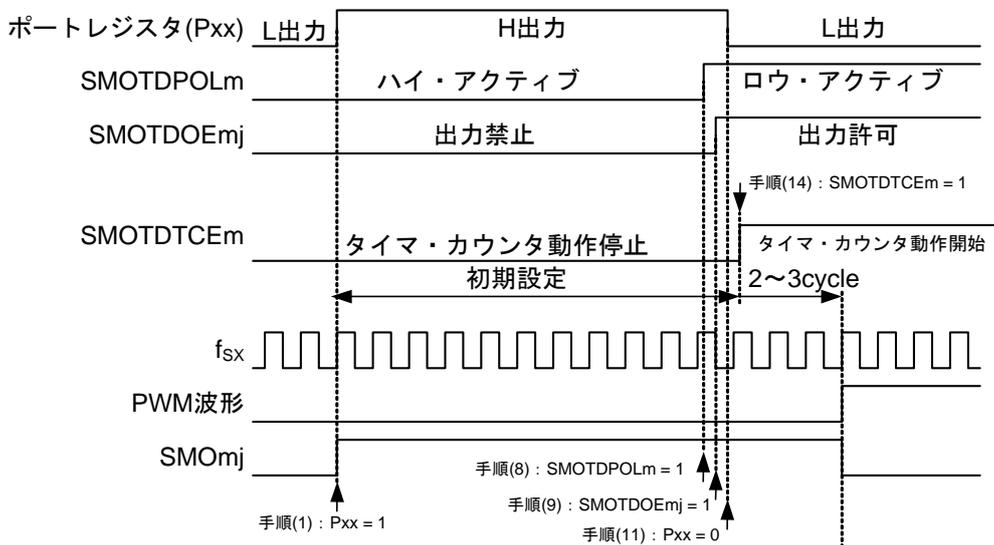
図14-21, 図14-22にSMO_mj端子をハイ・アクティブとロウ・アクティブで使用する場合のSMO_mjのタイミングチャートを示します。

図14-21 SMO_mj端子をハイ・アクティブで使用時の動作開始(SMOTDPOL_m= 0 の場合)



備考 m : ユニット番号 (m = 0, 1) j : 出力チャンネル番号 (j = 0-2)

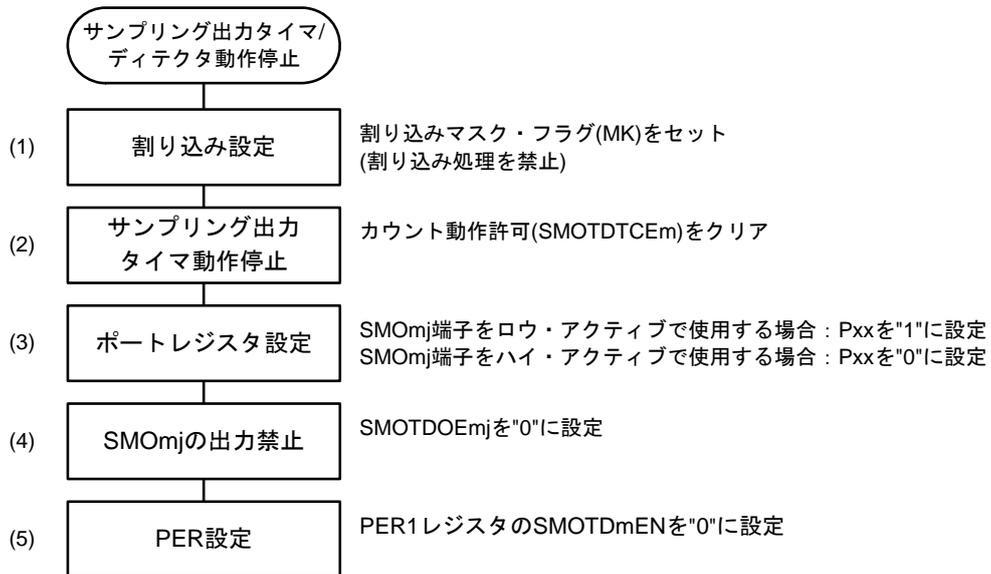
図14-22 SMO_mj端子をロウ・アクティブで使用時の動作開始(SMOTDPOL_m = 1 の場合)



備考 m : ユニット番号 (m = 0, 1) j : 出力チャンネル番号 (j = 0-2)

図14-23にサンプリング出力タイマ/ディテクタの動作停止手順を示します。

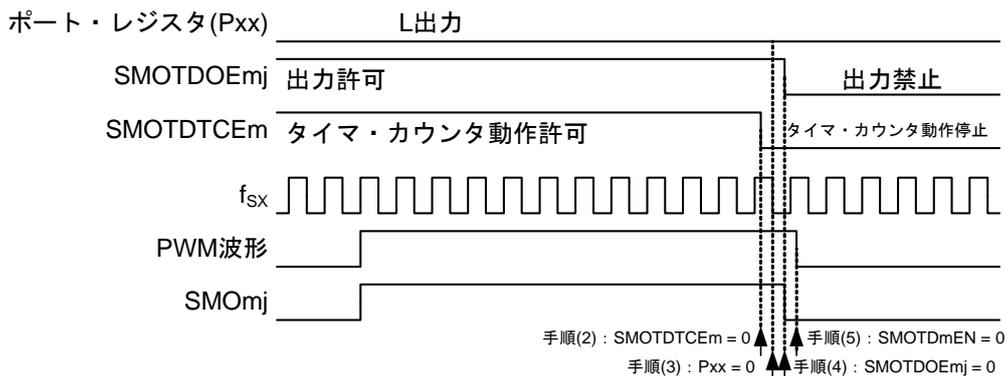
図14-23 動作停止手順



備考 m : ユニット番号 (m = 0, 1) j : 出力チャネル番号 (j = 0-2)

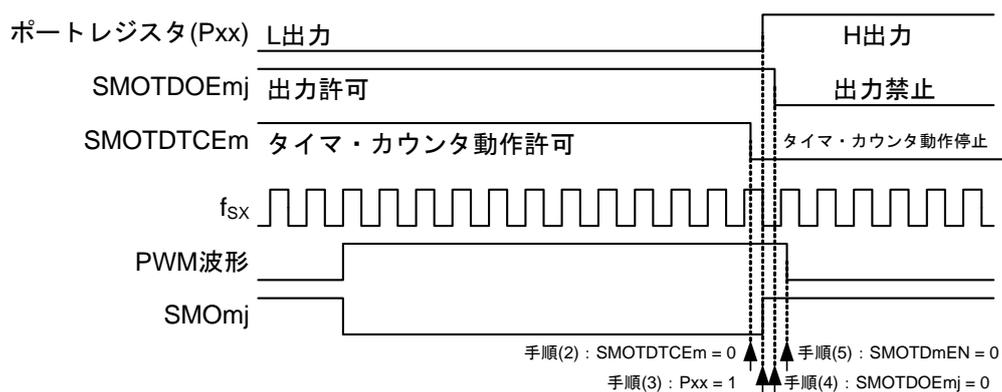
サンプリング出力タイマ動作停止は設定後、サブシステム・クロックの3サイクル後に動作を停止します。完全に動作が停止するまでは割り込みが発生することがあります。ただし、動作停止手順 (5) を実施すると、即座に停止します。図14-24に SMOmj端子をハイ・アクティブで使用時の動作停止タイミング図を、図14-25に SMOmj端子をロウ・アクティブで使用時の動作停止タイミング図を示します。

図14-24 SMOmj端子をハイ・アクティブで使用時の動作停止タイミング(SMOTDPOLm = 0の場合)



備考 m : ユニット番号 (m = 0, 1) j : 出力チャネル番号 (j = 0-2)

図14-25 SMOMj端子をロウ・アクティブで使用時の動作停止タイミング(SMOTDPOLm = 1の場合)



備考 m : ユニット番号 (m = 0, 1) j : 出力チャネル番号 (j = 0-2)

第15章 クロック出力／ブザー出力制御回路

15.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

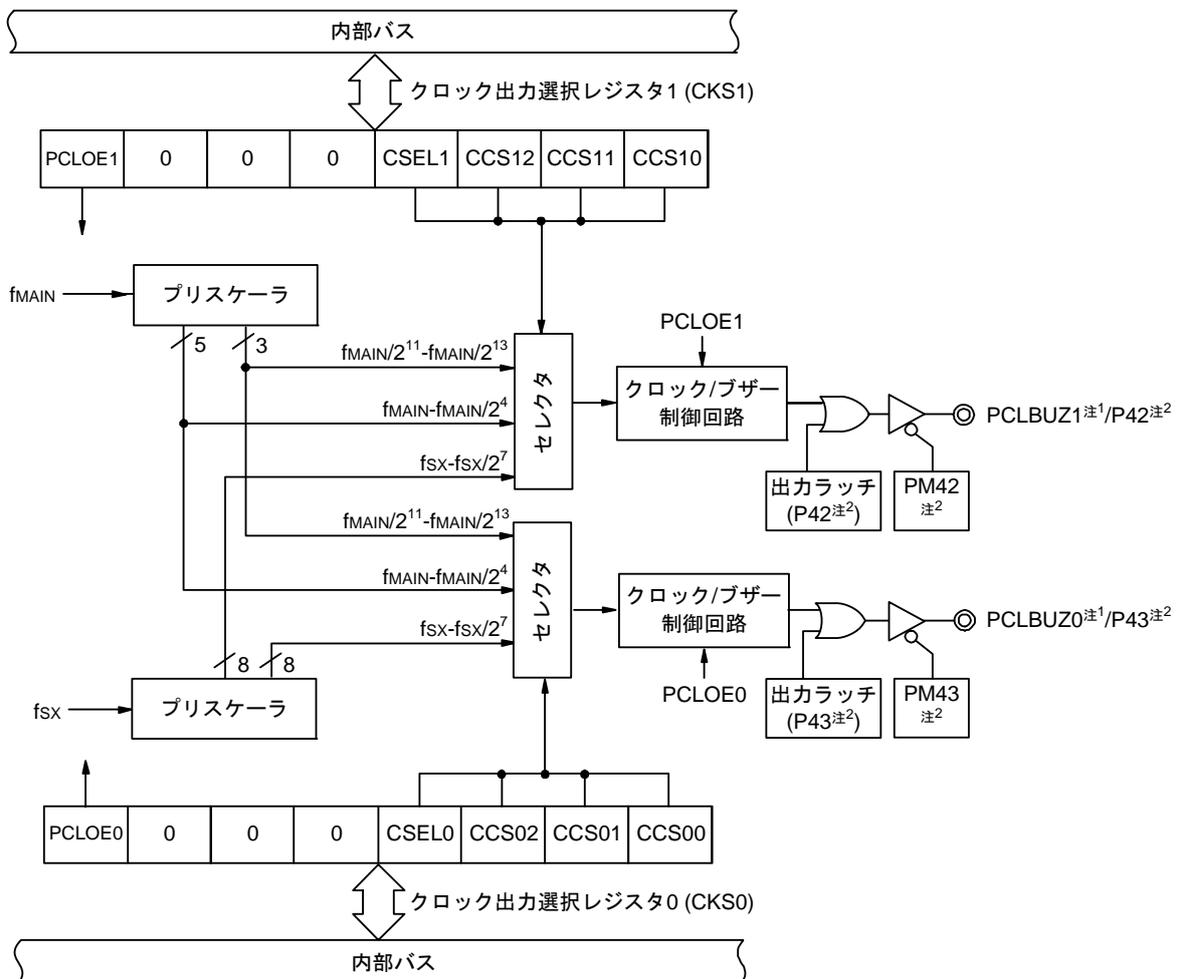
1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は、クロック出力選択レジスタn (CKSn) で選択したクロックを出力します。

図15-1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考 n = 0, 1

図15-1 クロック出力／ブザー出力制御回路のブロック図



注1. PCLBUZ0, PCLBUZ1端子から出力可能な周波数は、43.4 AC特性を参照してください。

2. 製品および周辺I/Oリダイレクトション・レジスタ0 (PIOR0) の設定によって設定するポート・モード・レジスタ (PMxx) とポートレジスタ (Pxx) が異なります。詳細は4.5 兼用機能使用時のレジスタの設定を参照してください。

15.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表15-1 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタn (CKSn) サブシステム・クロック供給オプション制御レジスタ (OSMC) ポート・モード・レジスタ3, 4 (PM3, PM4) ポート・レジスタ3, 4 (P3, P4)

15.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次のレジスタで制御します。

- クロック出力選択レジスタn (CKSn)
- サブシステム・クロック供給オプション制御レジスタ (OSMC)
- ポート・モード・レジスタ3, 4 (PM3, PM4)
- ポート・レジスタ3, 4 (P3, P4)

15.3.1 クロック出力選択レジスタn (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSnレジスタで、PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-2 クロック出力選択レジスタn (CKSn) のフォーマット

アドレス : FFFA5H (CKS0) , FFFA6H (CKS1) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可/禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出カクロックの選択					
				f _{MAIN} = 5 MHz	f _{MAIN} = 10 MHz	f _{MAIN} = 20 MHz	f _{MAIN} = 24 MHz	f _{MAIN} = 32 MHz	
0	0	0	0	f _{MAIN}	5 MHz	10 MHz	設定禁止 ^注	設定禁止 ^注	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	2.5 MHz	5 MHz	10 MHz	12 MHz	16 MHz
0	0	1	0	f _{MAIN} /2 ²	1.25 MHz	2.5 MHz	5 MHz	6 MHz	8 MHz
0	0	1	1	f _{MAIN} /2 ³	625 kHz	1.25 MHz	2.5 MHz	3 MHz	4 MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz	2 MHz
0	1	0	1	f _{MAIN} /2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz	15.63 kHz
0	1	1	0	f _{MAIN} /2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz	7.81 kHz
0	1	1	1	f _{MAIN} /2 ¹³	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz	3.91 kHz
1	0	0	0	f _{sx}	32.768 kHz/38.4 kHz				
1	0	0	1	f _{sx} /2	16.384 kHz/19.2 kHz				
1	0	1	0	f _{sx} /2 ²	8.192 kHz/9.6 kHz				
1	0	1	1	f _{sx} /2 ³	4.096 kHz/4.8 kHz				
1	1	0	0	f _{sx} /2 ⁴	2.048 kHz/2.4 kHz				
1	1	0	1	f _{sx} /2 ⁵	1.024 kHz/1.2 kHz				
1	1	1	0	f _{sx} /2 ⁶	512 Hz/600 Hz				
1	1	1	1	f _{sx} /2 ⁷	256 Hz/300 Hz				

注 出カクロックは、16 MHz以内の範囲で使用してください。詳しくは、43.4 AC特性を参照してください。

注意 出カクロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。

備考1. n = 0, 1

2. f_{MAIN} : メイン・システム・クロック周波数

f_{sx} : サブ・クロック

15.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx））を設定してください。詳細は、4.3.1 ポート・モード・レジスタ（PMxx）、4.3.2 ポート・レジスタ（Pxx）を参照してください。

クロック出力／ブザー出力端子を兼用するポート（P43/TI00/TO00/PCLBUZ0/INTP7、P42/INTP6/TI01/TO01/PCLBUZ1など）をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

（例）P43/TI00/TO00/PCLBUZ0/INTP7をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ4のPM43ビットを0に設定

ポート・レジスタ4のP43ビットを0に設定

タイマ・アレイ・ユニットのチャネル0を使用しない設定

15.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0) で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1) で選択したクロック／ブザーを出力します。

15.4.1 出力端子の動作

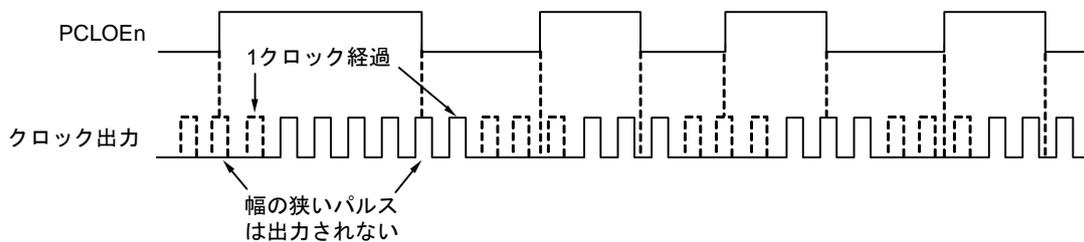
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ (PMxx) およびポート・レジスタ (Pxx) のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ (CKSn) のビット0-3 (CCSn0-CCSn2, CSELn) で出力周波数を選択する (出力は禁止の状態)。
- ③ CKSnレジスタのビット7 (PCLOEn) に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止 (PCLOEn ビット) を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図15-3に示します。

2. $n = 0, 1$

図15-3 PCLBUZn端子からのクロック出力のタイミング



15.5 クロック出力／ブザー出力制御回路の注意事項

- PCLBUZn出力にメイン・システム・クロックを選択 (CSELn = 0) している場合は、出力停止設定 (PCLOEn = 0) にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZnの出力幅が短くなります。
- サブシステム・クロック供給オプションレジスタ (OSMC) のWUTMMCK0ビットに1を設定した場合、クロック出力／ブザー出力の動作を禁止します。

第16章 ウォッチドッグ・タイマ

16.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト (000C0H) でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロック (fil) で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFレジスタの詳細については**第30章 リセット機能**を参照してください。

また、オーバフロー時間の75%+1/2fil到達時にインターバル割り込みを発生することもできます。

16.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表16-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

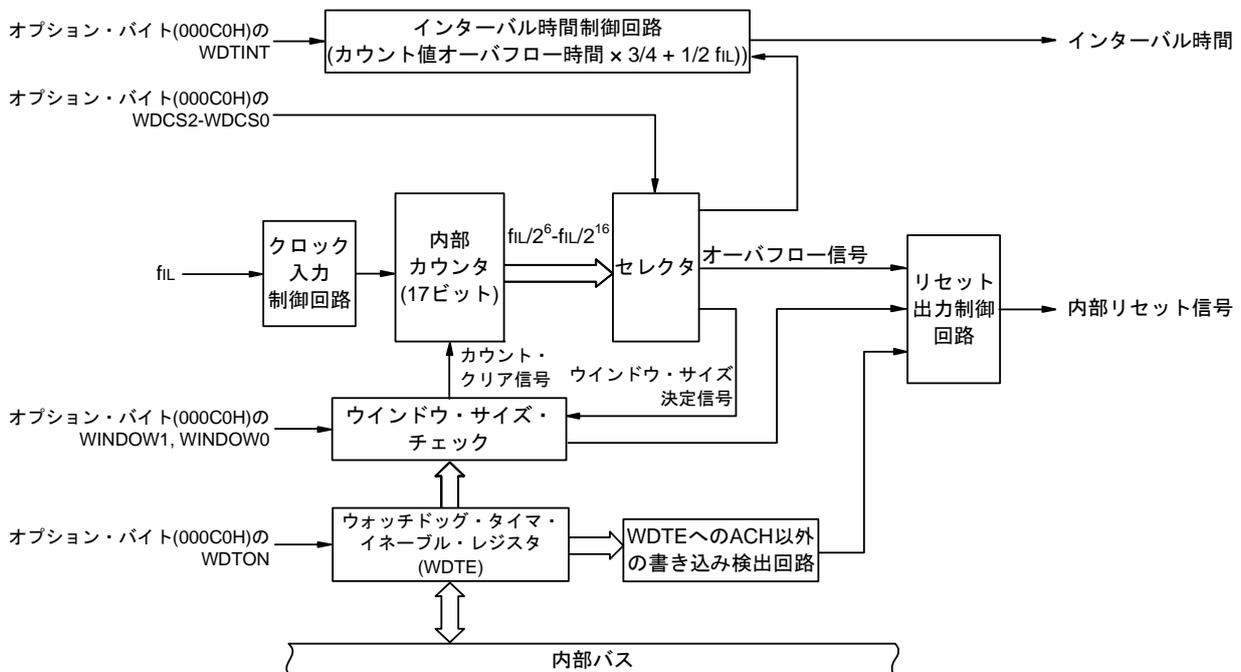
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表16-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDSC2-WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第37章 オプション・バイトを参照してください。

図16-1 ウォッチドッグ・タイマのブロック図



備考 fIL : 低速オンチップ・オシレータ・クロック周波数

16.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

16.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図16-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH リセット時 : 1AH/9AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は、オプション・バイト (000C0H) のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1.** WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。
- WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
 - WDTEレジスタのリード値は、“9AH/1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

16.4 ウォッチドッグ・タイマの動作

16.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト (000C0H) で次の内容を設定します。

・オプション・バイト (000C0H) のビット4 (WDTON) を1に設定し、ウォッチドッグ・タイマのカウント動作を許可 (リセット解除後、カウンタは動作開始) にしてください (詳細は、第37章を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止 (リセット解除後、カウント停止)
1	カウント動作許可 (リセット解除後、カウント開始)

・オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で、オーバフロー時間を設定してください (詳細は、16.4.2および第37章を参照)。

・オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で、ウインドウ・オープン期間を設定してください (詳細は、16.4.3および第37章を参照)。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・WDTEレジスタに1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

- 注意1.** リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大 f_{IL} の2クロックの誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア (0) して、カウンタ開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

16.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表16-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)
0	0	0	$2^0/f_{IL}$ (3.71 ms)
0	0	1	$2^7/f_{IL}$ (7.42 ms)
0	1	0	$2^8/f_{IL}$ (14.84 ms)
0	1	1	$2^9/f_{IL}$ (29.68 ms)
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)
1	0	1	$2^{13}/f_{IL}$ (474.89 ms) 注
1	1	0	$2^{14}/f_{IL}$ (949.79 ms) 注
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms) 注

注 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクする事ができます。

〈使用条件〉

- ・ウォッチドッグ・タイマのオーバフローの時間を $2^{13}/f_{IL}$ 、 $2^{14}/f_{IL}$ または $2^{16}/f_{IL}$ に設定
- ・ウォッチドッグ・タイマのインターバル割り込みを使用
- ・ウォッチドッグ・タイマのカウンタ値がオーバフロー時間で75% 以上の時にWDTE レジスタ (FFFABH)にACH を書き込み

- ① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを1にセット
- ② ウォッチドッグ・タイマのカウンタをクリア
- ③ 80 μs 以上ウエイト
- ④ 割り込み要求フラグ・レジスタ0(IF0L)のWDTIIFビットを0にクリア
- ⑤ 割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを0にクリア

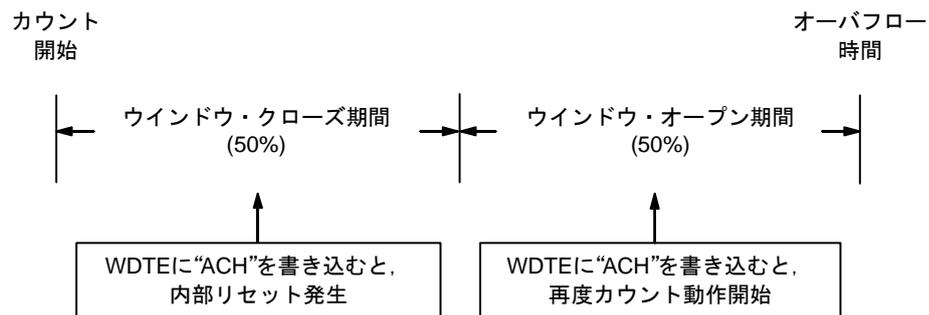
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

16.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEレジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表16-4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75% ^注
1	1	100%

注 ウィンドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア (WDTEへのACHの書き込み) を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ (WDTIIF) を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDSCS2	WDSCS1	WDSCS0	ウォッチドッグ・タイマのオーバフロー時間($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)	ウィンドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms~2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms~5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms~10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms~20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms~80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms~321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms~642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms~2570.04 ms

注意 オプション・バイト (000C0H) のビット0 (WDSTBYON) = 0のときは、WINDOW1、WINDOW0ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^9/f_{IL}$ に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定		
	50%	75%	100%
ウィンドウ・クローズ時間	0~20.08 ms	0~10.04 ms	なし
ウィンドウ・オープン時間	20.08~29.68 ms	10.04~29.68 ms	0~29.68 ms

<ウィンドウ・オープン期間50%のとき>

・オーバフロー時間：

$$2^9/f_{IL} \text{ (MAX.)} = 2^9/17.25 \text{ kHz (MAX.)} = 29.68 \text{ ms}$$

・ウィンドウ・クローズ時間：

$$0 \sim 2^9/f_{IL} \text{ (MIN.)} \times (1 - 0.5) = 0 \sim 2^9/12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$$

・ウィンドウ・オープン時間：

$$2^9/f_{IL} \text{ (MIN.)} \times (1 - 0.5) \sim 2^9/f_{IL} \text{ (MAX.)} = 2^9/12.75 \text{ kHz} \times 0.5 \sim 2^9/17.25 \text{ kHz} \\ = 20.08 \sim 29.68 \text{ ms}$$

16.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%+1/2f_{IL}到達時にインターバル割り込み (INTWDTI) を発生することができます。

表16-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2f _{IL} 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第17章 12ビットA/Dコンバータ

本章に記載しているPCLKとは、周辺ハードウェア・クロック (fCLK) を指します。

17.1 概要

本MCUは、逐次比較方式の12ビットのA/Dコンバータを1ユニット内蔵しています。最大6チャンネルのアナログ入力と温度センサ出力、内部基準電圧 (V_{BGR}) を選択できます。

12ビットA/Dコンバータは、選択した最大6チャンネルのアナログ入力、温度センサ出力または内部基準電圧 (V_{BGR}) を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大6チャンネルのアナログ入力を若いチャンネル番号順に1回のみ変換するシングルスキャンモードと、任意に選択した最大6チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードがあります。

自己診断は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

温度センサ出力と内部基準電圧 (V_{BGR}) の両方を同時に選択することはできません。温度センサ出力または内部基準電圧 (V_{BGR}) は、それぞれ単独でA/D変換を行ってください。

高電位側基準電圧には外部端子入力 (AV_{REFP}) またはボルテージ・リファレンス電圧出力 (V_{REFOUT})、アナログ基準電圧 (AV_{DD}) から選択することができます。低電位側基準電圧には外部端子入力 (AV_{REFM}) かアナログ基準電圧 (AV_{SS1}) を選択することができます。

表17-1に12ビットA/Dコンバータの仕様を、表17-2に12ビットA/Dコンバータの機能概要を示します。図17-1に12ビットA/Dコンバータのブロック図を示します。

表17-1 12ビットA/Dコンバータの仕様

項目	内容
ユニット数	1ユニット
入力チャンネル	6チャンネル
拡張アナログ機能	温度センサ出力, 内部基準電圧 (V_{BGR})
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間 ^{注4}	1チャンネル当たり 2.25 μ s (最速変換時間) (A/D変換クロック ADCLK = 32 MHz動作時)
A/D変換クロック	周辺ハードウェア・クロックPCLK ^{注1} とA/D変換クロックADCLK ^{注1} を以下の周波数比で設定可能 PCLK : ADCLK周波数比 = 1:1, 2:1, 4:1, 8:1
データレジスタ	<ul style="list-style-type: none"> アナログ入力用6本 温度センサ用1本 内部基準電圧 (V_{BGR}) 用1本 自己診断用1本 A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の12ビット精度出力に対応 加算モード時はA/D変換結果の加算値を変換精度ビット数 + 2ビット/4ビット^{注2}でA/Dデータレジスタに保持
動作モード ^{注3}	<ul style="list-style-type: none"> シングルスキャンモード : 任意に選択した最大6チャンネルのアナログ入力を1回のみA/D変換温度センサ出力を1回のみA/D変換内部基準電圧 (V_{BGR}) を1回のみA/D変換 連続スキャンモード : 任意に選択した最大6チャンネルのアナログ入力を繰り返しA/D変換
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ イベントリンクコントローラ (ELC) からのトリガ
機能	<ul style="list-style-type: none"> チャンネル専用サンプル&ホールド機能 (3ch) サンプリングステート数可変機能 (チャンネルごとに設定可能) 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モードと平均モードが選択可能 A/Dデータレジスタオートクリア機能
割り込み要因	<ul style="list-style-type: none"> 1回のスキャン終了でスキャン終了割り込み要求 (INTAD) を発生 INTAD割り込みでデータトランスファコントローラ (DTC) を起動可能
イベントリンク機能	<ul style="list-style-type: none"> ELCからのトリガによりスキャン開始可能
基準電圧	<ul style="list-style-type: none"> 高電位側基準電圧はAVREFP/VREFOUT, AVDDから選択可能 低電位側基準電圧はAVREFMか AVSS1を選択可能

注1. 周辺ハードウェア・クロックPCLKとA/D変換クロックADCLKの周波数比は、レジスタADCKSで設定します。ただし、ADCLKを1 MHz未満に設定することはできません。

2. 加算時の拡張ビット数は、加算回数により異なります。

2ビット拡張 : 1~4回変換 (0~3回加算)

4ビット拡張 : 16回変換 (15回加算)

3. 温度センサまたは内部基準電圧 (V_{BGR}) を選択した場合は、連続スキャンモードを使用しないでください。

4. 変換時間は「表 17-9 スキャンでの各所要時間 (ADCLKとPCLKのサイクル数で示します)」中のA/D変換処理時間 t_{CONV} を参照してください。

表17-2 12ビットA/Dコンバータの機能概要

項目			端子名, 略称等
アナログ入力チャンネル			ANI0-ANI5, 温度センサ出力, 内部基準電圧 (V_{BGR})
A/D変換開始 条件	ソフトウェア	ソフトウェアトリガ	可能
	同期トリガ	ELCからのトリガ	可能
割り込み			INTAD割り込み
クロック供給停止機能の設定			PER0.ADCENビット
リセット制御			PRR0.ADCERESビット

図17-1 12ビットA/Dコンバータのブロック図

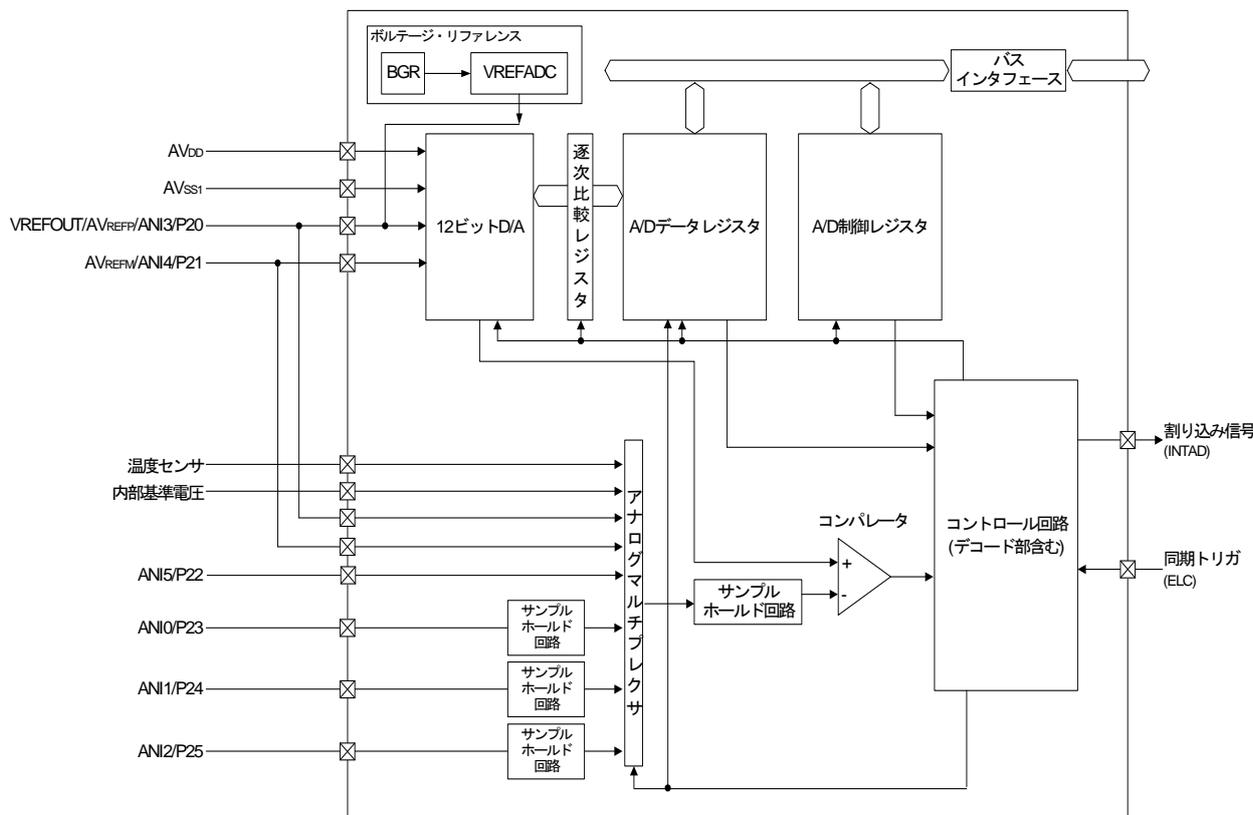


表17-3に12ビットA/Dコンバータで使用する入力端子を示します。

表17-3 12ビットA/Dコンバータの入出力端子

端子名	入出力	機能	チャンネル専用 サンプル&ホールド回路
AVDD	—	アナログ部の電源端子	—
AVSS1	—	アナログ部のグランド端子	—
AVREFP/VREFOUT	入出力	基準電源端子	—
AVREFM	入力	基準電源グランド端子	—
ANI0-ANI2	入力	アナログ入力端子0~2	内蔵
ANI3-ANI5	入力	アナログ入力端子3~5	—

17.2 レジスタの説明

表17-4 12ビットA/Dコンバータのレジスタ一覧

レジスタ名	シンボル
周辺イネーブル・レジスタ0	PER0
周辺リセット制御レジスタ0	PRR0
A/Dデータレジスタy (y = 0~5)	ADDRy
A/D温度センサデータレジスタ	ADTSDR
A/D内部基準電圧データレジスタ	ADOCDR
A/D自己診断データレジスタ	ADRD
A/Dコントロールレジスタ	ADCSR
A/Dチャンネル選択レジスタA0	ADANSA0
A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0
A/D変換値加算/平均回数選択レジスタ	ADADC
A/Dコントロール拡張レジスタ	ADCER
A/D変換開始トリガ選択レジスタ	ADSTRGR
A/D変換拡張入力コントロールレジスタ	ADEXICR
A/Dサンプリングステートレジスタn (n = 0~5, T, O)	ADSSTRn
A/Dサンプル&ホールド回路コントロールレジスタ	ADSHCR
A/D高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT
A/D変換クロック制御レジスタ	ADCKS
ボルテージ・リファレンスコントロールレジスタ	VREFAMPCNT

17.2.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビットA/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	SAU2EN	TAU0EN

ADCEN	12ビットA/Dコンバータ、温度センサ2の入カクロック供給の制御
0	入カクロック供給停止 ・12ビットA/Dコンバータ、温度センサ2で使用するSFRへのライト不可、リードした場合は00Hが読めます。ただし、初期化はされていません。 [*]
1	入カクロック供給 ・12ビットA/Dコンバータ、温度センサ2で使用するSFRへのリード/ライト可

注 12ビットA/Dコンバータおよび12ビットA/Dコンバータで使用するSFRを初期化する場合、PRR0のビット5 (ADCRES) を使用してください。

注意1. 12ビットA/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態、下記のレジスタの設定を行ってください。

ADCEN = 0の場合は、12ビットA/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます。

- ・ A/D データレジスタy (y = 0 ~ 5) (ADDRy)
- ・ A/D 温度センサデータレジスタ (ADTSDR)
- ・ A/D 内部基準電圧データレジスタ (ADOCDR)
- ・ A/D 自己診断データレジスタ (ADRD)
- ・ A/D コントロールレジスタ (ADCSR)
- ・ A/D チャンネル選択レジスタA0 (ADANSA0)
- ・ A/D 変換値加算/平均機能チャンネル選択レジスタ0 (ADADS0)
- ・ A/D 変換値加算/平均回数選択レジスタ (ADADC)
- ・ A/D コントロール拡張レジスタ (ADCER)
- ・ A/D 変換開始トリガ選択レジスタ (ADSTRGR)
- ・ A/D 変換拡張入力コントロールレジスタ (ADEXICR)
- ・ A/D サンプリングステートレジスタn (n = 0 ~ 5, T, O) (ADSSTRn)
- ・ A/D サンプル&ホールド回路コントロールレジスタ (ADSHCR)
- ・ A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)
- ・ A/D 変換クロック制御レジスタ (ADCKS)
- ・ ボルテージ・リファレンスコントロールレジスタ (VREFAMPCNT)

2. ビット7には必ず“0”を設定してください。

17.2.2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

12ビットA/Dコンバータをリセットする場合は、必ずビット5 (ADCRES) を1に設定してください。

PRR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR0レジスタは00Hになります。

図17-3 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	SAU2RES	TAU0RES

ADCRES	12ビットA/Dコンバータ，温度センサ2のリセット制御
0	12ビットA/Dコンバータ，温度センサ2のリセット解除
1	12ビットA/Dコンバータ，温度センサ2のリセット状態

注意 リセット解除後は、1 μ s以上待つてからA/D変換を開始してください。

17.2.3 A/Dデータレジスタy (ADDRy) A/D温度センサデータレジスタ (ADTSDR) A/D内部基準電圧データレジスタ (ADOCDR)

ADDRyレジスタ (y = 0~5) は、A/D変換結果を格納する16ビットの読み出し専用レジスタです。ADDR0-ADDR5はANI0-ANI5端子入力電圧に対応します。

ADTSDRレジスタは、温度センサ出力をA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

ADOCDRレジスタは、内部基準電圧 (VBGR) をA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADGER.ADRFMT) の設定値 (右詰め, または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (1回, 2回, 3回, 15回加算)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算, または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D変換値加算/平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0にA/D変換値を格納します。読み出し時、b15-b12は“0”が読みだされます。
- 左詰めのフォーマットに設定した場合
b15-b4にA/D変換値を格納します。読み出し時、b3-b0は“0”が読みだされます。

(2) A/D変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0に同一チャンネルのA/D変換値を平均した値を格納します。読み出し時、b15-b12は“0”が読みだされます。
- 左詰めのフォーマットに設定した場合
b15-b4に同一チャンネルのA/D変換値を平均した値を格納します。読み出し時、b3-b0は“0”が読みだされます。

A/D変換値加算モードを2回, 4回に設定の場合のみ、A/D変換値平均モードを設定できます。

(3) A/D変換値加算モードを選択した場合

- 右詰めフォーマット (A/D変換値加算モード, 変換回数1回~4回選択時) に設定した場合
b13-b0に同一チャンネルのA/D変換値を加算した値を格納します。読み出し時, b15-b14は"0"が読みだされます。
- 右詰めフォーマット (A/D変換値加算モード, 変換回数16回選択時) に設定した場合
b15-b0に同一チャンネルのA/D変換値を加算した値を格納します。
- 左詰めフォーマット (A/D変換値加算モード, 変換回数1回~4回選択時) に設定した場合
b15-b2に同一チャンネルのA/D変換値を加算した値を格納します。読み出し時, b1-b0は"0"が読みだされます。
- 左詰めフォーマット (A/D変換値加算モード, 変換回数16回選択時) に設定した場合
b15-b0に同一チャンネルのA/D変換値を加算した値を格納します。

A/D変換値加算モードを選択したとき, 同一チャンネルのA/D変換値を加算した値を示します。A/D変換回数を1回~4回, 16回に設定できます。A/D変換値加算モードを選択すると, 変換回数を1回~4回に設定した場合は, A/D変換結果の加算値を変換精度のビット数に2ビット分拡張したデータとして, 変換回数を16回に設定した場合は, A/D変換結果の加算値を変換精度のビット数に4ビット分拡張したデータとして, A/Dデータレジスタに保持します。A/D変換値加算モードを選択した場合でも, A/Dデータレジスタフォーマット選択ビットの設定に従い, A/Dデータレジスタに値が格納されます。

図 17-4 A/Dデータレジスタ_y (ADDR_y) A/D温度センサデータレジスタ (ADTSDR)
A/D内部基準電圧データレジスタ (ADOCDR) のフォーマット

アドレス : ADDR0: F0620h, ADDR1: F0622h, ADDR2: F0624h, ADDR3: F0626h, ADDR4: F0628h,
ADDR5: F062Ah, ADTSDR: F061Ah, ADOCDR: F061Ch
リセット時 : 0000h



備考 y = 0-5

17.2.4 A/D自己診断データレジスタ (ADRD)

図17-5 A/D自己診断データレジスタ (ADRD) のフォーマット

アドレス : F061Eh リセット時 : 0000h

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADRD																

ADRDレジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値に加えて、自己診断のステータスが付加されます。ADRDレジスタは下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)

AD自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については**17.2.9 A/Dコントロール拡張レジスタ (ADCER)**を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めのフォーマットに設定した場合
b11-b0に A/D変換値を格納します。b15-b14に自己診断ステータスを格納します。読み出し時、b13-b12は“0”が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4に A/D変換値を格納します。b1-b0に自己診断ステータスを格納します。読み出し時、b3-b2は“0”が読み出されます。

表17-5 自己診断ステータス内容注

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	基準電源×1/2の電圧値の自己診断を実施したことを示します
11b	基準電源の電圧値の自己診断を実施したことを示します

注 自己診断の詳細については、**17.2.9 A/Dコントロール拡張レジスタ (ADCER)**を参照してください。

17.2.5 A/Dコントロールレジスタ (ADCSR)

ADCSRレジスタは、A/D変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D変換の開始/停止を行うレジスタです。

ADCSRレジスタは、16ビット・メモリ操作命令で設定します。

図17-6 A/Dコントロールレジスタ (ADCSR) のフォーマット (1/2)

アドレス : F0600h リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCSR	ADST	ADCS[1:0]	ADIE	0	ADHSC	TRGE	0	0	0	0	0	0	0	0	0	0

ADST	A/D変換スタートビット
0	A/D変換停止
1	A/D変換開始

A/D変換の開始/停止を制御します。
ADSTビットを“1”に設定する前に、A/D変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

["1"になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.TRGEビットに“1”を設定し、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガを検出したとき

["0"になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力または内部基準電圧 (V_{BGR}) のA/D変換が終了したとき

ADCS[1:0]	スキャンモード選択ビット
00	シングルスキャンモード
01	設定禁止
10	連続スキャンモード
11	設定禁止

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0レジスタで選択した最大6チャンネルのアナログ入力を若いチャンネル番号順にA/D変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADSTビットが“1”の間、ADANSA0レジスタで選択した最大6チャンネルのアナログ入力を若いチャンネル番号順にA/D変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻りA/D変換を継続します。連続スキャン中にADCSR.ADSTビットを“0”にすると、スキャン中にA/D変換を停止します。

温度センサ出力または内部基準電圧 (V_{BGR}) を選択する場合は、シングルスキャンモードを選択し、ADANSA0レジスタでのチャンネル選択を全て非選択としてからA/D変換を行います。選択した温度センサ出力または内部基準電圧 (V_{BGR}) のA/D変換が終了すると停止します。

ADCS[1:0]ビットは、ADSTビットが“0”のときに設定してください (ADSTビットへの“1”書き込みと同時に設定もしないでください)

図17-6 A/Dコントロールレジスタ (ADCSR) のフォーマット (2/2)

アドレス : F0600h リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCSR	ADST	ADCS[1:0]	ADIE	0	ADHSC	TRGE	0	0	0	0	0	0	0	0	0	0

ADIE	スキャン終了割り込み許可ビット
0	スキャン終了後のINTAD割り込み発生の禁止
1	スキャン終了後のINTAD割り込み発生の許可
A/Dスキャン変換終了割り込み (INTAD) の発生を許可/禁止します。	

ADHSC	A/D変換動作選択ビット
0	高速変換動作
1	通常変換動作
A/D変換の動作モードを設定します。ただし、VBGR選択時は高速変換動作は使用できません。 ADHSCビットを書き換える場合は、12ビットA/Dコンバータをスタンバイ状態にする必要があります。ADHSCビットの書き換え手順は、17.8.9 ADHSCビットの書き換え手順を参照してください。	

TRGE	トリガ開始許可ビット
0	トリガによるA/D変換の開始を禁止
1	トリガによるA/D変換の開始を許可
同期トリガによるA/D変換の起動を許可/禁止します。	

17.2.6 A/Dチャンネル選択レジスタA0 (ADANSA0)

ADANSA0レジスタは、A/D変換を行うチャンネルのアナログ入力ANI0-ANI5を選択するレジスタです。

ADANSA0レジスタは、16ビット・メモリ操作命令で設定します。

図17-7 A/Dチャンネル選択レジスタA0 (ADANSA0) のフォーマット

アドレス : F0604h リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADANSA0	0	0	0	0	0	0	0	0	0	0	ANSA0[5:0]					

ANSA0[5:0]	A/D変換チャンネル選択ビット
0	ANI0-ANI5を変換対象から外す
1	ANI0-ANI5を変換対象とする

A/D変換を行うチャンネルのアナログ入力ANI0-ANI5の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA0[0]ビットがANI0、ANSA0[5]ビットがANI5に対応します。

温度センサあるいは内部基準電圧 (V_{BGR}) をA/D変換する場合は、アナログ入力チャンネルを選択しないでください (本レジスタ設定値を“0000h”としてください)

ANSA0ビットは、ADCSR.ADSTビットが“0”のときに設定してください。

17.2.7 A/D変換値加算/平均機能チャンネル選択レジスタ0 (ADADS0)

ADADS0レジスタは、A/D変換を連続2~4, 16回実施して加算（積算）または平均するA/D変換チャンネル0~5を選択します。

ADADS0レジスタは、16ビット・メモリ操作命令で設定します。

図17-8 A/D変換値加算/平均機能チャンネル選択レジスタ0 (ADADS0) のフォーマット

アドレス : F0608h リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADADS0	0	0	0	0	0	0	0	0	0	0	ADS0[5:0]					

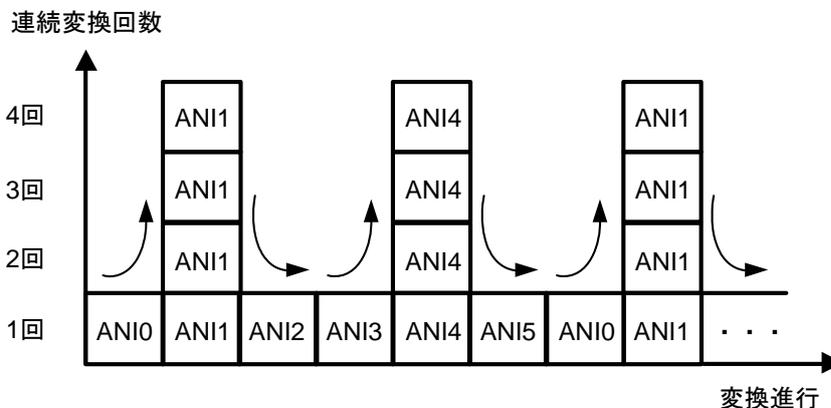
ADS0[5:0]	A/D変換値加算/平均チャンネル選択ビット
0	ANI0-ANI5のA/D変換値加算/平均モード非選択
1	ANI0-ANI5のA/D変換値加算/平均モード選択

ADANSA0.ANSA0[n]ビット (n = 0 ~ 5) で選択したA/D変換チャンネルと同一番号のADS0[n]ビットを“1”にすると、
 ADADC.ADC[2:0]ビットで設定した回数 (2~4, 16回) 分、選択したチャンネルのアナログ入力を連続してA/D変換し、ADADC.AVEEビットが“0”の場合、加算（積算）した値を、ADADC.AVEEビットが“1”の場合、加算（積算）値から平均した値をA/Dデータレジスタに格納します。加算/平均モードが非選択のA/D変換チャンネルは、通常の1回変換を実施し、A/Dデータレジスタに値を格納します。
 ADS0[5:0]ビットは、ADCSR.ADSTビットが“0”のときに設定してください。

図17-9にビットADS0[1]とADS0[4]を“1”にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算モードを選択 (ADADC.AVEE = 0) , 加算回数は3回に設定 (ADADC.ADC[2:0] = 011b) , ANI0~ANI5が選択 (ADANSA0.ANSA0[5:0] = 3Fh) されているものとします。ANI0から変換を開始します。ANI1の変換は4回連続変換 (3回加算) し、加算 (積算) 値をA/Dデータレジスタ1に返します。その後、ANI2の変換を開始し、ANI4の変換で4回連続変換し、加算 (積算) 値をA/Dデータレジスタ4に返します。ANI5の変換後、再度ANI0から同じシーケンスで動作します。

図17-9 ADADC.ADC[2:0] = 011b, ADADC.AVEE=0, ADS0[1] = 1, ADS0[4] = 1選択時のスキャン変換シーケンス



17.2.8 A/D変換値加算/平均回数選択レジスタ (ADADC)

ADADCレジスタは、A/D変換値加算/平均モードが選択されたチャネル、温度センサ出力、内部基準電圧 (V_{BGR}) のA/D変換に対して加算回数の設定と、加算モード/平均モードの選択を行います。

ADADCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図17-10 A/D変換値加算/平均回数選択レジスタ (ADADC) のフォーマット

アドレス : F060Ch リセット時 : 00h R/W

略号	7	6	5	4	3	2	1	0
ADADC	AVEE	0	0	0	0	ADC[2:0]		

AVEE	平均モードイネーブルビット
0	加算モードを選択
1	平均モードを選択

A/D変換および加算/平均モードが選択されたチャネル、温度センサ出力、内部基準電圧 (V_{BGR}) のA/D変換に対して加算モード、または平均モードの選択を行います。

ADADC.AVEEビットを“1”にして平均モードを選択する場合、1回変換 (ADADC.ADC = 000b) , 3回変換 (ADADC.ADC = 010b) および16回変換 (ADADC.ADC = 101b) に設定しないでください。1回、3回および16回変換の平均値を求めることはできません。

AVEEビットの設定は、ADCSR.ADSTビットが“0”のときに設定してください。

ADC[2:0]	加算回数選択ビット
000	1回変換 (加算なし。通常変換と同じ) 注
001	2回変換 (1回加算を行う)
010	3回変換 (2回加算を行う) 注
011	4回変換 (3回加算を行う)
101	16回変換 (15回加算を行う) 注
上記以外	設定禁止

A/D変換および加算/平均モードが選択されたチャネル、温度センサ出力、内部基準電圧 (V_{BGR}) のA/D変換に対して共通の加算回数を設定します。

ADADC.AVEEビットを“1”にして平均モードを選択する場合、1回変換 (ADADC.ADC[2:0] = 000b) , 3回変換 (ADADC.ADC[2:0] = 010b) および16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。

ADC[2:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

注 AVEE = 1は、2回変換、4回変換の時にのみ有効です。平均モードを選択した場合 (ADADC.AVEEビット = 1) , 1回変換 (ADADC.ADC[2:0] = 000b) , 3回変換 (ADADC.ADC[2:0] = 010b) および16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。

17.2.9 A/Dコントロール拡張レジスタ (ADCER)

ADCERレジスタは、自己診断モード、A/Dデータレジスタy (ADDRy) のフォーマット、A/Dデータレジスタの自動クリア機能の設定を行うレジスタです。

ADCERレジスタは、16ビット・メモリ操作命令で設定します。

図17-11 A/Dコントロール拡張レジスタ (ADCER) のフォーマット (1/2)

アドレス : F060Eh リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCER	ADRFMT	0	0	0	DIAGM	DIAGLD	DIAGVAL[1:0]	0	0	ACE	0	0	0	0	0	0

ADRFMT	A/Dデータレジスタフォーマット選択ビット
0	A/Dデータレジスタのフォーマットを右詰めにする
1	A/Dデータレジスタのフォーマットを左詰めにする

ADDRy, ADDR, ADTSDR, ADOCDRレジスタに格納するデータの右詰め/左詰めを選択します。
ADRFMTビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

DIAGM	自己診断イネーブルビット
0	12ビットA/Dコンバータの自己診断を実施しない
1	12ビットA/Dコンバータの自己診断を実施する

自己診断を実施するかしないかを選択します。
自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する0 V、基準電源×1/2、基準電源の3つの電圧値のいずれかを交換します。交換が終了すると自己診断データレジスタ (ADDR) に変換した電圧の情報と交換値を格納します。その後、ソフトウェアでADDRレジスタを読み出し、交換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。
DIAGMビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

DIAGLD	自己診断モード選択ビット
0	自己診断電圧ローテーションモード
1	自己診断電圧固定モード

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。ADCER.DIAGLDビットを“0”にすると0 V→基準電源×1/2→基準電源の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は0 Vから自己診断を行います。自己診断電圧固定モードを選択した場合はADCER.DIAGVAL[1:0]ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても0 Vに戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。
DIAGLDビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

図17-11 A/Dコントロール拡張レジスタ (ADCER) のフォーマット (2/2)

アドレス : F060Eh リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCER	ADRFMT	0	0	0	DIAGM	DIAGLD	DIAGVAL[1:0]	0	0	ACE	0	0	0	0	0	0

DIAGVAL [1:0]	自己診断変換電圧選択ビット
00	自己診断電圧固定モード時は設定禁止
01	0 Vの電圧を使って自己診断を行う
10	基準電源x1/2の電圧を使って自己診断を行う
11	基準電源の電圧を使って自己診断を行う

自己診断電圧固定モードでの電圧値を選択します。詳細はADCER.DIAGLDビットの説明を参照してください。
ADCER.DIAGVAL[1:0]ビットが“00b”の状態ではADCER.DIAGLDビットを“1”に設定して、自己診断を実施しないでください。

ACE	A/Dデータレジスタ自動クリアイネーブルビット
0	自動クリアを禁止
1	自動クリアを許可

CPU, DTCによってADDRy, ADRD, ADTSDR, ADOCDRレジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。A/Dデータレジスタの自動クリアにより各A/Dデータレジスタの未更新故障を検出することができます。

各データレジスタのフォーマットの詳細は、17. 2. 3 A/D データレジスタy (ADDRy) A/D 温度センサデータレジスタ (ADTSDR) A/D 内部基準電圧データレジスタ (ADOCDR) , 17. 2. 4 A/D自己診断データレジスタ (ADRD) を参照してください。

17.2.10 A/D変換開始トリガ選択レジスタ (ADSTRGR)

ADSTRGRレジスタは、A/D変換開始トリガの選択を行うレジスタです。

ADSTRGRレジスタは、16ビット・メモリ操作命令で設定します。

図17-12 A/D変換開始トリガ選択レジスタ (ADSTRGR) のフォーマット

アドレス : F0610h リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADSTRGR	0	0	TRSA[5:0]					0	0	0	0	0	0	0	0	0

TRSA[5:0]	A/D変換開始トリガ選択ビット ^注
110000	イベントリンクコントローラからのイベント出力信号 (ELCTRG0)
111111	トリガ要因非選択
上記以外	設定禁止

シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。

- 同期トリガのA/D変換起動要因を使用する場合は、ADCSR.TRGEビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGEビット、TRSA[5:0]ビットの設定値にかかわらず有効です。

注 なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN}以内の場合は、トリガによる A/D変換が無効となる場合があります。詳細は 17.3.4 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

表 17-6 に TRSA[5:0]ビットでのA/D起動要因選択一覧を示します。

表17-6 TRSA[5:0]ビットでのA/D起動要因選択一覧

周辺機能	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
		トリガ要因非選択状態	1	1	1	1	1	1
ELC	ELCTRG0	イベントリンクコントローラからのイベント出力信号	1	1	0	0	0	0

17.2.11 A/D変換拡張入力コントロールレジスタ (ADEXICR)

ADEXICRレジスタは、温度センサ出力/内部基準電圧 (V_{BGR}) のA/D変換の設定をします。

ADEXICRレジスタは、16ビット・メモリ操作命令で設定します。

図17-13 A/D変換拡張入力コントロールレジスタ (ADEXICR) のフォーマット

アドレス : F0612h リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADEXICR	0	0	0	0	0	0	OCSA	TSSA	0	0	0	0	0	0	OCSAD	TSSAD

OCSA	内部基準電圧 (V_{BGR}) A/D変換選択ビット
0	内部基準電圧 (V_{BGR}) をA/D変換しない
1	内部基準電圧 (V_{BGR}) をA/D変換する

シングルスキャンモードでの内部基準電圧 (V_{BGR}) のA/D変換を選択します。内部基準電圧 (V_{BGR}) のA/D変換を行う場合は、ADANSA0レジスタの全ビットとTSSAビットの全てに“0”を設定し、シングルスキャンモードで実行してください。OCSAビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。内部基準電圧 (V_{BGR}) のA/D変換は、サンプリング前にディスチャージを行う必要があります。また、サンプリング時間は5 μ s以上に設定してください。

内部基準電圧 (V_{BGR}) のA/D変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間 (15ADCLK) がサンプリング前に挿入されます。

TSSA	温度センサ出力A/D変換選択ビット
0	温度センサ出力をA/D変換しない
1	温度センサ出力をA/D変換する

シングルスキャンモードでの温度センサ出力のA/D変換を選択します。温度センサ出力のA/D変換を行う場合は、ADANSA0レジスタの全ビットとOCSAビットの全てに“0”を設定し、シングルスキャンモードで実行してください。TSSAビットの設定は、ADSTビットが“0”のときに行ってください。温度センサ出力のA/D変換は、サンプリング前にディスチャージを行う必要があります。また、サンプリング時間は5 μ s以上に設定してください。

温度センサ出力のA/D変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間 (15ADCLK) がサンプリング前に挿入されます。

OCSAD	内部基準電圧 (V_{BGR}) A/D変換値加算/平均モード選択ビット
0	内部基準電圧 (V_{BGR}) A/D変換値加算/平均モード非選択
1	内部基準電圧 (V_{BGR}) A/D変換値加算/平均モード選択

内部基準電圧 (V_{BGR}) のA/D変換を選択し、OCSADビットを“1”にすると、ADADC.ADC[2:0]ビットで設定した回数 (2~4, 16回) 分、内部基準電圧 (V_{BGR}) を連続してA/D変換し、ADADC.AVEEビットが“0”の場合は加算 (積算) した値を、ADADC.AVEEビットが“1”の場合は平均した値をA/D内部基準電圧データレジスタ (ADOCADR) に格納します。

OCSADビットは、ADCSR.ADSTビットが“0”のときに設定してください。

TSSAD	温度センサ出力A/D変換値加算/平均モード選択ビット
0	温度センサ出力A/D変換値加算/平均モード非選択
1	温度センサ出力A/D変換値加算/平均モード選択

温度センサ出力のA/D変換を選択し、TSSADビットを“1”にすると、ADADC.ADC[2:0]ビットで設定した回数 (2~4, 16回) 分、温度センサ出力を連続してA/D変換し、ADADC.AVEEビットが“0”の場合は加算 (積算) した値を、ADADC.AVEEビットが“1”の場合は平均した値をA/D温度センサデータレジスタ (ADTSDR) に格納します。

TSSADビットは、ADCSR.ADSTビットが“0”のときに設定してください。

17.2.12 A/Dサンプリングステートレジスタn (ADSSTRn) (n = 0~5, T, O)

ADSSTRnレジスタは、アナログ入力のサンプリング時間の設定を行います。

1ステート = 1ADCLK (A/D変換クロック) 幅でADCLKクロックが24 MHzであれば1ステート = 41.67 nsになります。初期値は13ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLKクロックが低速な場合に、サンプリング時間を調整することができます。ADSSTRnレジスタはADCSR.ADSTビットが“0”のときに設定してください。このレジスタには、5以上の値を設定してください。

ADSSTRnレジスタは、8ビット・メモリ操作命令で設定します。

図 17-14 A/Dサンプリングステートレジスタn (ADSSTRn) (n = 0~5, T, O) のフォーマット

アドレス : ADSSTRT: F06DEh, ADSSTRO: F06DFh, ADSSTR0: F06E0h, ADSSTR1: F06E1h, ADSSTR2: F06E2h,

ADSSTR3: F06E3h, ADSSTR4: F06E4h, ADSSTR5: F06E5h

リセット時 : 0Dh R/W

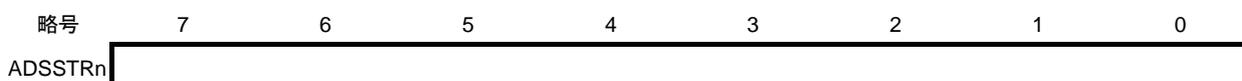


表 17-7にA/Dサンプリングステートレジスタと対象チャンネルの関係を示します。

詳細は、17.3.4 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

表 17-7 A/Dサンプリングステートレジスタと対象チャンネルの関係

レジスタ名	対象チャンネル
ADSSTR0レジスタ	ANI0 ^{注2}
ADSSTR1レジスタ	ANI1 ^{注2}
ADSSTR2レジスタ	ANI2 ^{注2}
ADSSTR3レジスタ	ANI3 ^{注2}
ADSSTR4レジスタ	ANI4 ^{注2}
ADSSTR5レジスタ	ANI5 ^{注2}
ADSSTRTレジスタ	温度センサ出力 ^{注1, 2}
ADSSTROレジスタ	内部基準電圧 (V _{BGR}) ^{注1, 2}

注1. 温度センサ出力または内部基準電圧 (V_{BGR}) をA/D変換する場合、サンプリング時間を5 μs以上に設定する必要があります。

2. アナログ入力チャンネルをA/D変換する場合、サンプリング時間を1.26 μs以上に設定する必要があります。

17.2.13 A/Dサンプル&ホールド回路コントロールレジスタ (ADSHCR)

ADSHCRレジスタは、チャンネル専用サンプル&ホールド回路を制御するレジスタです。

ADSHCRは16ビット・メモリ操作命令で設定します。

図17-15 A/Dサンプル&ホールド回路コントロールレジスタ (ADSHCR) のフォーマット

アドレス : F0666h リセット時 : 0026h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADSHCR	0	0	0	0	0	SHANS[2:0]			SSTSH[7:0]							

SSTSH[7:0]	チャンネル専用サンプル&ホールド回路 サンプリング時間設定ビット
04H	4~255ステートの間でサンプリング時間を設定します
...	
FFH	
上記以外	設定禁止

SHANS[0]	ANI0のチャンネル専用サンプル&ホールド回路 バイパス選択ビット
0	チャンネル専用サンプル&ホールド回路をバイパス
1	チャンネル専用サンプル&ホールド回路を使用する

SHANS[1]	ANI1のチャンネル専用サンプル&ホールド回路 バイパス選択ビット
0	チャンネル専用サンプル&ホールド回路をバイパス
1	チャンネル専用サンプル&ホールド回路を使用する

SHANS[2]	ANI2のチャンネル専用サンプル&ホールド回路 バイパス選択ビット
0	チャンネル専用サンプル&ホールド回路をバイパス
1	チャンネル専用サンプル&ホールド回路を使用する

17.2.14 A/D高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)

ADHVREFCNTレジスタは、高電位/低電位基準電圧の設定を行います。A/D変換前に設定してください。

ADHVREFCNTレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図17-16 A/D高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT) のフォーマット

アドレス : F068Ah リセット時 : 00h R/W

略号 7 6 5 4 3 2 1 0

ADHVREFCNT	ADSLP	0	0	LVSEL	0	0	HVSEL[1:0]
------------	-------	---	---	-------	---	---	------------

ADSLP	スリープビット
0	通常動作
1	スタンバイ状態

12ビットA/Dコンバータをスタンバイ状態にします。ADCSR.ADHSCビットを書き換える場合にのみADSLPビットを“1”にしてください。ADCSR.ADHSCビットの書き換え以外で、ADSLPビットを“1”にすることは禁止です。ADSLPビットを“1”にした後は、5 μs以上経ってから“0”にしてください。またADSLPビットを“0”にした後、1 μs以上待ってからA/D変換を開始してください。

ADHSCビットの書き換え手順は、**17.8.9 ADHSCビットの書き換え手順**を参照してください。

LVSEL	低電位側基準電圧選択ビット
0	低電位側基準電圧にAVSS1を選択
1	低電位側基準電圧にAVREFMを選択

低電位側基準電圧の設定を行います。AVSS1, AVREFMから選択できます。

HVSEL[1:0]	高電位側基準電圧選択ビット
00	高電位側基準電圧にAVDDを選択
01	高電位側基準電圧にAVREFPまたはVREFOUTを選択 [※]
10	設定禁止
11	内部基準電圧源をディスチャージする（高電位側基準電圧は選択されない）

高電位側基準電圧の設定を行います。AVDD, AVREFP/VREFOUTから選択できます。

ボルテージ・リファレンス出力電圧（VREFOUT）を選択する場合（HVSEL = 01bかつVREFEN = 1）にも、必ず先にディスチャージ（HVSEL = 11b）を行ってください。

注 ボルテージ・リファレンスが動作している時はVREFOUT, それ以外の時はAVREFPが選択されます。ボルテージ・リファレンスの動作開始手順は、**17.6 基準電圧の選択方法**を参照してください。

17.2.15 A/D変換クロック制御レジスタ (ADCKS)

ADCKSレジスタは、A/D変換クロック (ADCLK) と周辺ハードウェア・クロック (PCLK) との分周比の設定を行います。A/D変換を開始する前にADCKSレジスタを設定してください。ADCKSレジスタは、8ビット・メモリ操作命令で設定します。

図17-17 A/D変換クロック制御レジスタ (ADCKS) のフォーマット

アドレス : F0079h リセット時 : 00h R/W

略号	7	6	5	4	3	2	1	0
ADCKS	0	0	0	0	0	0	ADCKS[1:0]	

ADCKS[1:0]	AD変換クロック選択ビット
00	システムクロックの分周なし (f1)
01	システムクロックの2分周 (f2)
10	システムクロックの4分周 (f4)
11	システムクロックの8分周 (f8)

注意 A/D変換クロックが1 MHz未満となる設定は禁止です。

17.2.16 ボルテージ・リファレンスコントロールレジスタ (VREFAMPCNT)

ボルテージ・リファレンス (VREFADC) の制御, および出力電圧 (VREFOUT) を制御するレジスタです。

VREFAMPCNTは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図17-18 ボルテージ・リファレンスコントロールレジスタ (VREFAMPCNT) のフォーマット

アドレス : F0075H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
VREFAMPCNT	0	0	0	BGREN	VREFADCEN	VREFADCG[1:0]		OLDETEN

OLDETEN	OLDETイネーブル
0	過電流検出を禁止
1	過電流検出を許可

VREFADCG1	VREFADCG0	VREFOUT出力電圧制御
0	x	1.5 V
1	0	2.0 V
1	1	2.5 V

x : Don't care

VREFADCEN	VREFADCGイネーブル
0	ボルテージ・リファレンス出力を禁止かつ高電位基準電圧にAV _{REFP} を選択
1	ボルテージ・リファレンス出力を許可かつ高電位基準電圧にVREFOUTを選択

BGREN	BGRイネーブル
0	BGR電源OFF
1	BGR電源ON

ボルテージ・リファレンス出力電圧がVREFOUT端子に出力されます。ボルテージ・リファレンス (VREFADC) 使用時はAV_{REFP}/VREFOUT端子に電圧を入力しないでください。ボルテージ・リファレンス出力電圧を安定させるためには, コンデンサ (1 μ F) を経由してAV_{REFP}/VREFOUT端子をAV_{REFM}端子に接続してください。

表17-8に示すように, ボルテージ・リファレンス出力は, BGRENビット, VREFADCENビット, VREFADCG[1:0]ビット, OLDETENビットの組み合わせで制御されます。

表17-8 ボルテージ・リファレンス出力電圧一覧

状態	BGREN	VREFADCEN	VREFADCG[1]	VREFADCG[0]	OLDETEN	出力電圧 (VREFOUT)
リセット後	0	0	0	0	0	Hi-Z
BGR電源のみON	1	0	x	x	x	Hi-Z
VREFOUT 1.5 V出力	1	1	0	x	0または1	1.5 V
VREFOUT 2.0 V出力	1	1	1	0	0または1	2.0 V
VREFOUT 2.5 V出力	1	1	1	1	0または1	2.5 V

x : Don't care

17.3 動作説明

17.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次A/D変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードの2種類の動作モードがあります。また、変換モードには高速変換モードと通常変換モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアでADCSR.ADSTビットを“0”（“1”の状態から“0”）にクリアするまで無制限に繰り返し実施するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0レジスタで選択したANInのnが小さい番号順からA/D変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

S12AD1.ADSHCR.SHANS[2:0]ビットでANI0~ANI2のいずれかをチャンネル専用サンプル&ホールド回路使用に設定すると、スキャンごとに最初のA/D変換開始前に対象となるアナログ入力のサンプル&ホールドを行います。

温度センサ出力または内部基準電圧（V_{BGR}）をA/D変換する場合は、シングルスキャンモードで、他のチャンネルを選択せずに実施してください。

注意 どのスキャンモードであっても、ADCSR.ADSTビットが“1”の期間（スキャン中）は、A/D変換開始条件となるソフトウェアトリガ、または同期トリガ入力は無効となります。

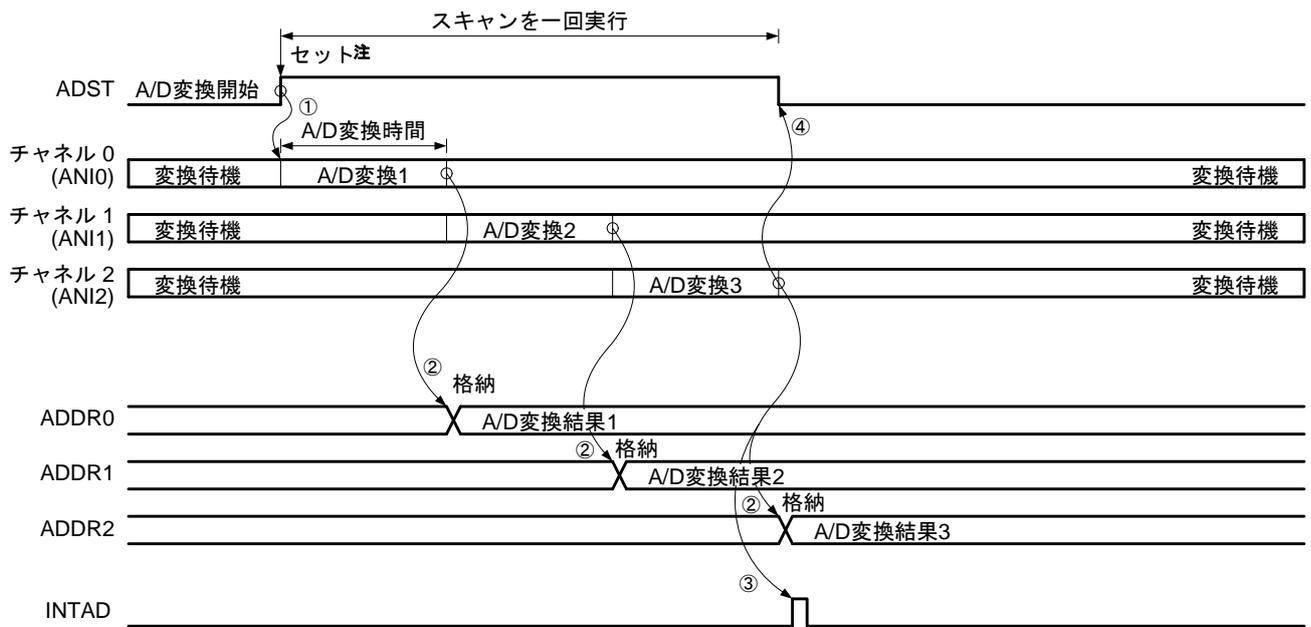
17.3.2 シングルスキャンモード

17.3.2.1 基本動作 (チャンネル専用サンプル&ホールドなし)

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェアトリガ、または同期トリガ入力によって、ADCSR.ADSTビットが“1” (A/D変換開始) になると、ADANSA0レジスタで選択したANInのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるINTAD割り込み許可) に設定されていると、INTAD割り込み要求が発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

図17-19 シングルスキャンモードの動作例 (基本動作 : ANI0, ANI1, ANI2選択)



注 ↓ は、ソフトウェアによる命令実行を示します。

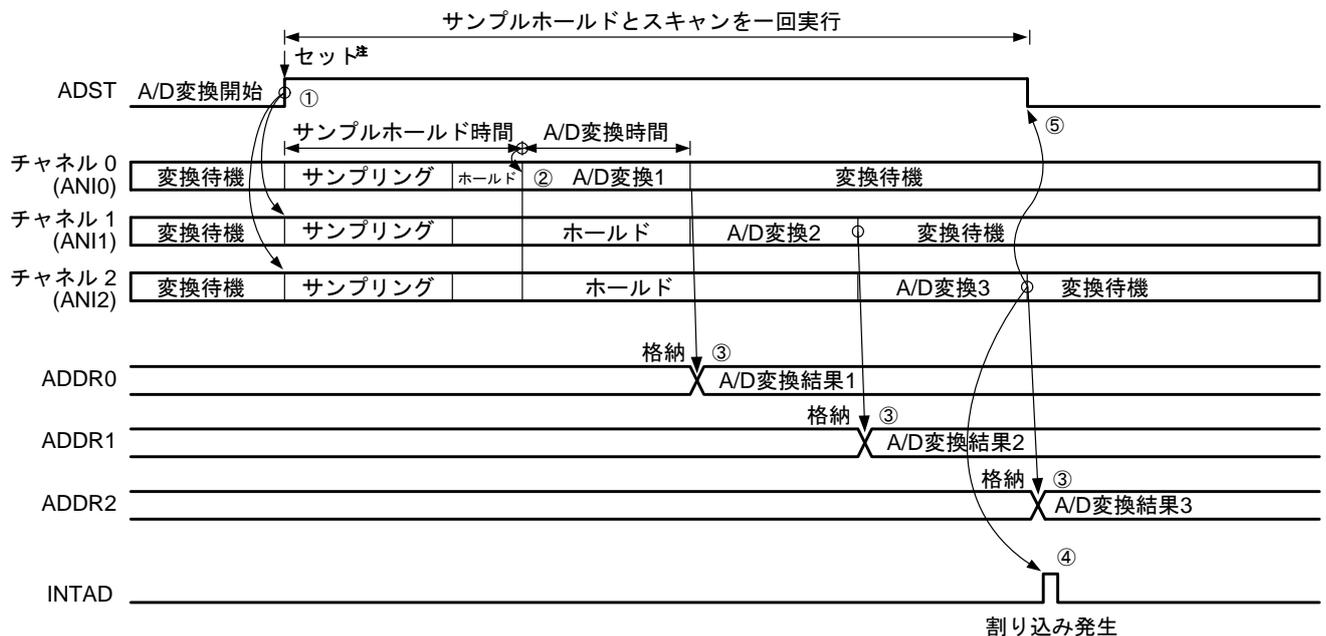
17.3.2.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に選択したすべてのチャンネルのアナログ入力を1回のみA/D変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

- (1) ソフトウェアまたは同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始)になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSA0レジスタで選択したチャンネルANInのnが小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy)へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了後の割り込み発生)に設定されていると、スキャン終了割り込み要求が発生します。
- (5) ADCSR.ADSTビットはA/D変換中は“1” (A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

図17-20 シングルスキャンモードの動作例

(チャンネル専用サンプル&ホールド回路使用チャンネルANI0, ANI1, ANI2選択)



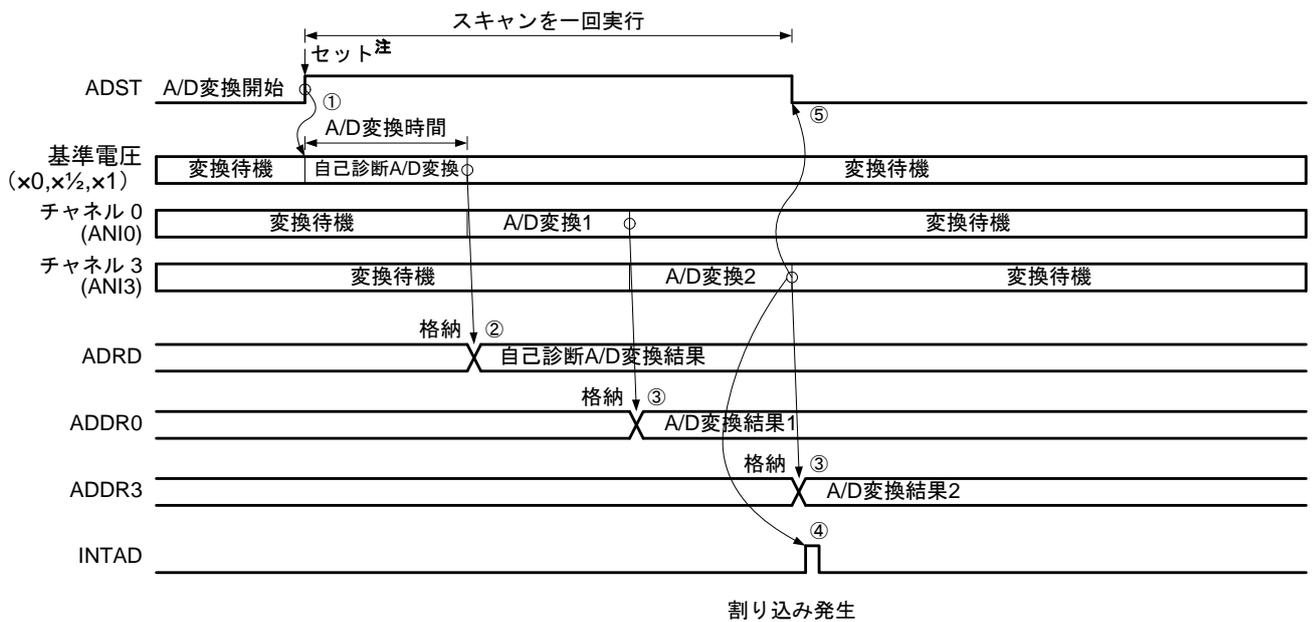
注 ↓は、ソフトウェアによる命令実行を示します。

17.3.2.3 チャネル選択と自己診断 (チャネル専用サンプル&ホールドなし)

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェアまたは同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSA0レジスタで選択したチャンネルANInのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるINTAD割り込み許可) に設定されていれば、INTAD割り込み要求を発生します。
- (5) ADSTビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

図17-21 シングルスキャンモードの動作例 (基本動作 : ANI0, ANI3選択 + 自己診断)



注 ↓ は、ソフトウェアによる命令実行を示します。

17.3.2.4 チャンネル選択と自己診断（チャンネル専用サンプル&ホールドあり）

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のよう
にサンプル&ホールド実施後に12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その
後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェアまたは同期トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に自己診断でのA/D変換を開始します。
- (3) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ（ADRD）に格納され、次にADANSA0レジスタで選択したチャンネルANInのnが小さい番号順にA/D変換を開始します。
- (4) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）へ格納されます。
- (5) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了後の割り込み発生許可）に設定されていると、スキャン終了割り込み要求を発生します。
- (6) ADCSR.ADSTビットはA/D変換中は“1”（A/D変換開始）を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

図17-22 シングルスキャンモードの動作例

（チャンネル専用サンプル&ホールド回路使用チャンネルANI0, ANI2選択 + 自己診断）



注 ↓は、ソフトウェアによる命令実行を示します。

17.3.2.5 温度センサ出力/内部基準電圧 (V_{BGR}) 選択時のA/D変換動作

温度センサ出力または内部基準電圧 (V_{BGR}) のA/D変換は、シングルスキャンモードで実行し、動作は以下ようになります。

チャンネル選択は全て非選択 (ADANSA0レジスタビットは全て“0”) に設定します。また温度センサ出力のA/D変換を選択する場合は、内部基準電圧 (V_{BGR}) のA/D変換選択ビット (ADEXICR.OCSA) は“0” (非選択) に、内部基準電圧 (V_{BGR}) のA/D変換を選択する場合は、温度センサ出力のA/D変換選択ビット (ADEXICR.TSSA) は“0” (非選択) に設定します。

- (1) サンプル時間は5 μ s以上になるように設定してください。
- (2) 内部基準電圧 (V_{BGR}) または温度センサ出力のA/D変換に切り替えた後、ADSTビットを“1”にセットして変換を開始してください。
- (3) A/D変換が終了すると、A/D変換結果は対応するA/D温度センサデータレジスタ (ADTSDR) またはA/D内部基準電圧データレジスタ (ADOCDR) に格納され、ADCSR.ADIEビットが“1” (スキャン終了によるINTAD割り込み許可) に設定されていると、INTAD割り込み要求を発生します。
- (4) ADSTビットはA/D変換中は“1”を保持し、A/D変換が終了すると自動的にクリアされ、A/D変換器は待機状態になります。

図17-23 シングルスキャンモードの動作例 (温度センサ出力、内部基準電圧 (V_{BGR}) 選択)



17.3.3 連続スキャンモード

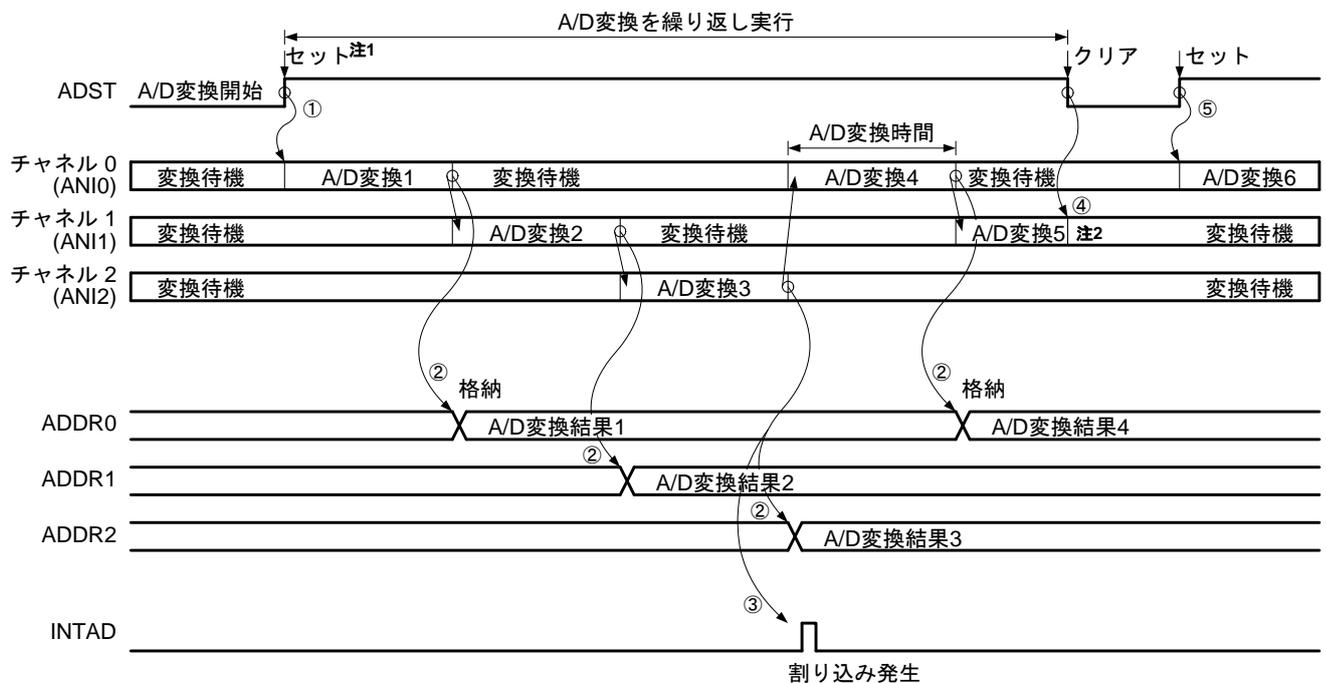
17.3.3.1 基本動作（チャンネル専用サンプル&ホールドなし）

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット（ADEXICR.TSSA）と内部基準電圧A/D変換選択ビット（ADEXICR.OCSA）はともに“0”（非選択）に設定します。

- (1) ソフトウェアまたは同期トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、ADANSA0レジスタで選択したANInのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了によるINTAD割り込み許可）に設定されていると、INTAD割り込み要求が発生します。
また12ビットA/Dコンバータは、継続してADANSA0レジスタで選択したANInのnが小さい番号順にA/D変換を開始します。
- (4) ADCSR.ADSTビットは自動的にクリアされず、“1”（A/D変換開始）の間は（2）～（3）を繰り返します。ADCSR.ADSTビットを“0”（A/D変換停止）に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、ADCSR.ADSTビットを“1”（A/D変換開始）にセットすると再びADANSA0レジスタで選択したANInのnが小さい番号順にA/D変換を開始します。

図17-24 連続スキャンモードの動作例（基本動作：ANI0, ANI1, ANI2選択）



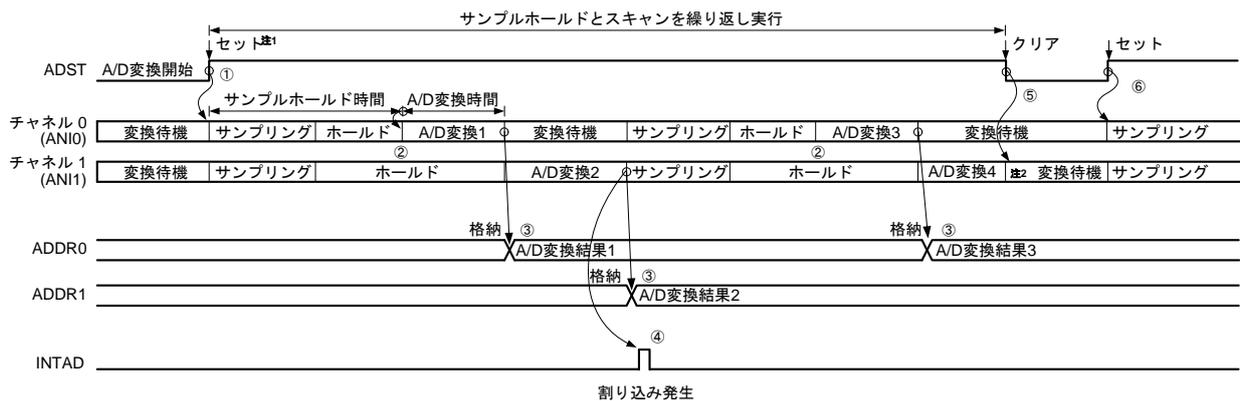
注1. ↓ は、ソフトウェアによる命令実行を示します。
 2. A/D変換5の変換データは無視されます。

17.3.3.2 基本動作（チャンネル専用サンプル&ホールドあり）

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、選択したすべてのチャンネルのアナログ入力をA/D変換する動作を繰り返します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。連続スキャンモード時は、温度センサA/D変換選択ビット（ADEXICR.TSSA）と内部基準電圧A/D変換選択ビット（ADEXICR.OCSA）は共に“0”（非選択）を設定します。

- (1) ソフトウェアまたは同期トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSA0レジスタで選択したチャンネルANInのnが小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了後の割り込み発生の許可）に設定されていると、スキャン終了割り込み要求が発生します。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。
- (5) ADCSR.ADSTビットは自動的にクリアされず、“1”にセットされている間は（2）～（4）を繰り返します。ADCSR.ADSTビットを“0”（A/D変換停止）に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADCSR.ADSTビットが“1”（A/D変換開始）になると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。

図17-25 連続スキャンモードの動作例（チャンネル専用サンプル&ホールド回路あり）



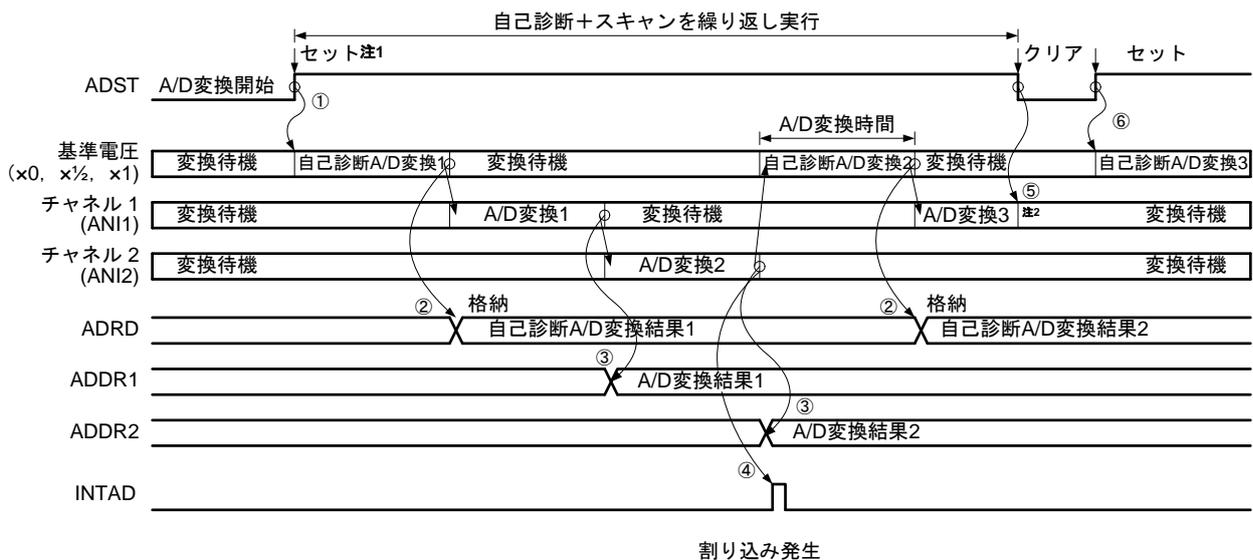
注1. ↓は、ソフトウェアによる命令実行を示します。
 2. A/D変換4の変換データは無視されます。

17.3.3.3 チャネル選択と自己診断 (チャネル専用サンプル&ホールドなし)

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャネルのアナログ入力をA/D変換する動作を繰り返します。連続スキャンモード時は温度センサA/D変換選択ビット (ADEXICR.TSSA) と内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) はともに“0” (非選択) に設定します。

- (1) ソフトウェアまたは同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSA0レジスタで選択したチャネルANInのnが小さい番号順にA/D変換を開始します。
- (3) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択したすべてのチャネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるINTAD割り込み許可) に設定されていれば、INTAD割り込み要求を発生します。また、12ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSA0レジスタで選択したチャネルANInのnが小さい番号順にA/D変換を開始します。
- (5) ADCSR.ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(4)を繰り返します。
ADCSR.ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADCSR.ADSTビットが“1” (A/D変換開始) に設定されると、再び自己診断でのA/D変換から開始します。

図17-26 連続スキャンモードの動作例 (基本動作 : ANI1, ANI2選択 + 自己診断)



注1. ↓ は、ソフトウェアによる命令実行を示します。
 2. A/D変換3の変換データは無視されます。

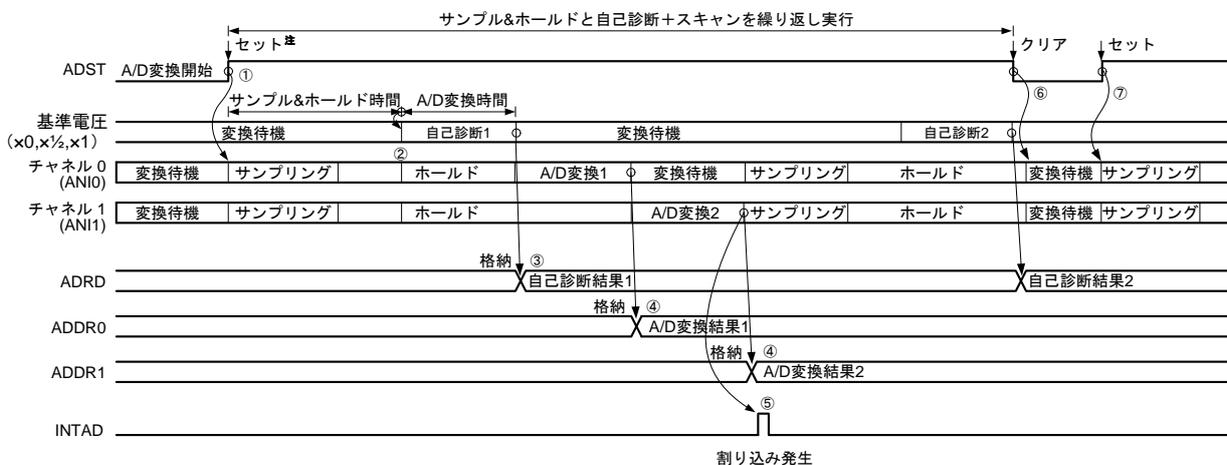
17.3.3.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールドあり)

チャンネル選択と共に自己診断を選択し、チャンネル専用サンプル&ホールド回路を使用すると、以下のよう
にサンプル&ホールド処理後に、12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、そ
の後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。連続スキャンモード時は温度
センサA/D変換選択ビット (ADEXICR.TSSA) と内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) は
共に“0” (非選択) に設定します。

- (1) ソフトウェアまたは同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、自己診断でのA/D変換を開始します。
- (3) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSA0レジスタで選択したチャンネルANInのnが小さい番号順にA/D変換を開始します。
- (4) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (5) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了後の割り込み発生) に設定されていれば、スキャン終了割り込み要求が発生します。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。
- (6) ADCSR.ADSTビットは自動的にクリアされず、“1” に設定されている間は (2) ~ (5) を繰り返します。ADCSR.ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (7) その後、ADCSR.ADSTビットが“1” (A/D変換開始) に設定されると、再び自己診断でのA/D変換から開始します。

図17-27 連続スキャンモードの動作例

(チャンネル専用サンプル&ホールド回路使用 : ANI0, ANI1選択 + 自己診断)



注 ↓ は、ソフトウェアによる命令実行を示します。

17.3.4 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェアまたは同期トリガ入力による起動が選択できます。スキャン変換開始遅延時間 (t_d) の後に、自己診断変換処理を行い、この後にA/D変換処理が開始されます。

図17-28にソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_d)、チャンネル専用サンプル&ホールド回路処理時間 (t_{SPLSH}) 注1、自己診断変換時間 (t_{DIAG}) 注2、A/D変換処理時間 (t_{CONV})、チャンネル専用サンプル&ホールド回路終了処理時間 (t_{SHED}) 注3、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL}) 逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/Dコンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合注3や、A/D変換クロック (ADCLK) が低速の場合にはADSSTRnレジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、高速変換動作時で32ステート (ADCLK) 通常変換動作時で41ステート (ADCLK) となります。スキャン変換時間を表17-9に示します。

選択チャンネル数がnのシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_d + t_{SPLSH} + t_{DIAG} + (t_{CONV} \times n) \text{ 注4} + t_{ED}$$

連続スキャンの1サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。

連続スキャンの2サイクル目以降は、 $t_{SPLSH} + t_{DIAG} + t_{DSD} + (t_{CONV} \times n) \text{ 注4} + t_{SHED}$

となります。

- 注1. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SPLSH} = 0$ となります。
2. 自己診断を設定しない場合は、 $t_{DIAG} = 0$, $t_{DSD} = 0$ となります。
3. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SHED} = 0$ となります。 t_{SHED} は連続スキャンモード実行時の所要時間です。
シングルスキャンモードでは、スキャン終了時間 (t_{ED}) に含まれます。
4. 選択チャンネルのサンプリング時間 (t_{SPL}) が、同一の場合は $t_{CONV} \times n$ となりますが、チャンネルごとに異なる場合は、各チャンネルのサンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) の総和となります。

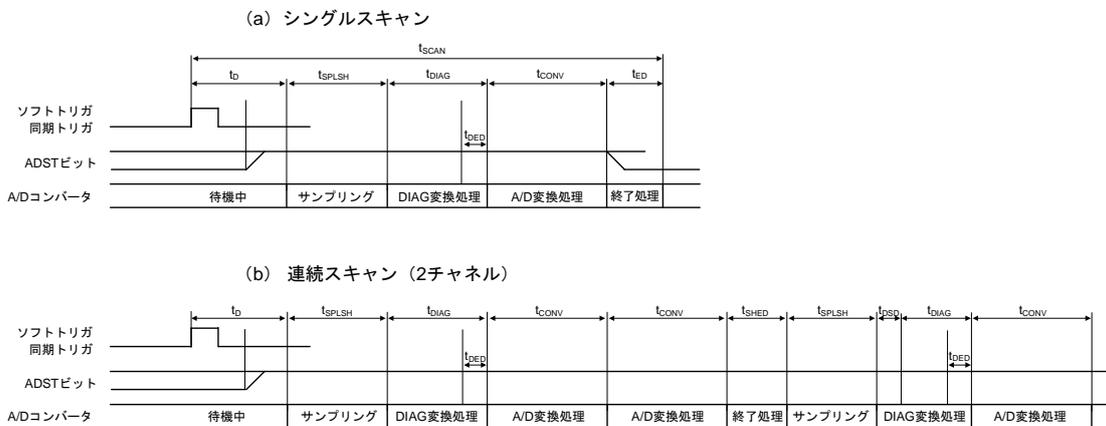
表17-9 スキャンでの各所要時間 (ADCLKとPCLKのサイクル数で示します)

項目			記号	種別/条件		単位	
				同期トリガ	ソフトウェアトリガ		
スキャン 開始処理時間 注1,2	自己診断有 効時のA/D 変換	自己診断変換開始時	t_D	2PCLK + 6ADCLK	6ADCLK	サイクル	
	上記以外			2PCLK + 4ADCLK	4ADCLK		
チャンネル 専用サンプル ホールド処理 時間注1	サンプリング時間		t_{SPLSH}	t_{SH}	ADSHCR.SSTSH[7:0]の設定値 (初期値1Ah) × ADCLK		
	サンプリング-A/D変換ウェイト時間				t_W		13ADCLK
自己診断変換 処理時間注1	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR0設定値 (初期値0Dh) × ADCLK注3		
	逐次変換時間	12ビット変換精度			t_{SAM}		32ADCLK (高速変換動作時) 41ADCLK (通常変換動作時)
					t_{DED}		2ADCLK
	自己診断変換終了後, 通常のA/D変換開始時				t_{DSD}		2ADCLK
連続スキャン時の最終チャンネル変換終了後, 自己診断変換開始時							
A/D変換処理 時間注1	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn (n = 0 ~ 5, T, O) 設定値 (初期値0Dh) × ADCLK注3		
	逐次変換時間	12ビット変換精度			t_{SAM}		32ADCLK (高速変換動作時) 41ADCLK (通常変換動作時)
チャンネル専用サンプルホールド終了処理時間			t_{SHED}		3ADCLK		
スキャン終了時間注1			t_{ED}		1PCLK + 3ADCLK		

注1. t_D , t_{SPLSH} , t_{DIAG} , t_{CONV} , t_{ED} の各タイミングについては図17-28を参照してください。

- ソフトウェア書き込み, またはトリガ入力からA/D変換開始までの最大時間です。
- 電圧条件により必要なサンプリング時間 (μs) が規定されています。「43. 6. 1 12ビットA/Dコンバータ特性」を参照してください。

図17-28 スキャン変換のタイミング (ソフトウェア起動, 同期トリガ起動の場合)



17.3.5 A/Dデータレジスタの自動クリア機能の使用例

ADCER.ACEビットを“1”にすることにより、CPU,DTCによってA/Dデータレジスタ（ADDRy, ADRD, ADTSDR, ADOCDR）を読み出す際、自動的にADDRy, ADRD, ADTSDR, ADOCDRレジスタを“0000h”にクリアできます。

この機能を使うことにより、ADDRy, ADRD, ADTSDR, ADOCDRレジスタの未更新故障を検出することができます。以下にADDRyレジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACEビットが“0”（自動クリア禁止）の場合、A/D変換結果（0222h）が何らかの原因でADDRyレジスタに書き込みされなかったとき、古いデータ（0111h）がADDRyレジスタの値となります。さらにA/D変換終了割り込みを利用して、このADDRyレジスタの値を汎用レジスタに読み出した場合、古いデータ（0111h）が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータをRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACEビットが“1”（自動クリア許可）の場合には、ADDRy = 0111hをCPU, DTCにより読み出す際、ADDRyレジスタは自動的に“0000h”にクリアされます。その後、A/D変換結果（0222h）がADDRyレジスタに何らかの原因で転送できなかったとき、クリアされたデータ（0000h）がADDRyレジスタ値として残ります。ここでA/D変換終了割り込みを利用して、このADDRyレジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRyレジスタの未更新故障があったことを判断できます。

17.3.6 A/D変換値加算/平均機能

A/D変換値加算機能は、同じチャンネルを2~4、16回連続でA/D変換し、その変換値の合計をデータレジスタに保持します。A/D変換値平均機能は、同じチャンネルを2回、または4回連続でA/D変換し、その変換値の平均をデータレジスタに保持します。この平均値を使用することで、ノイズ成分によってはA/D変換精度が良くなります。ただし、A/D変換精度が良くなることを保証する機能ではありません。

A/D変換値加算/平均機能は、チャンネル選択アナログ入力A/D変換、温度センサ出力A/D変換、内部基準電圧（V_{BGR}）A/D変換選択時に使用できます。

17.3.7 周辺機能からの同期トリガによるA/D変換の開始

ELCからの同期トリガによって、A/D変換を開始することができます。同期トリガでA/D変換を開始するときには、ADCSR.TRGEビットを“1”、ADSTRGR.TRSA[5:0]ビットで該当のA/D変換開始要因を選択します。

17.4 割り込み要因とDTC転送要求

17.4.1 割り込み要求

CPUへのスキャン終了割り込み要求であるINTAD割り込みを発生することができます。

ADCSR.ADIEビットを“1”にするとINTADを許可，“0”にするとINTADを禁止できます。

また、INTAD発生時にDTCを起動できます。INTAD割り込みで変換されたデータの読み出しをDTCで行うと、連続変換がソフトウェアの負担なく実現できます。DTCの設定は、**第25章 データ・トランスファ・コントローラ (DTC)** を参照してください。

17.5 イベントリンク機能

17.5.1 ELCからのイベントによる12ビットA/Dコンバータの動作

12ビットA/DコンバータはELCのELSELRnの設定により、あらかじめ設定したイベントによるA/D変換開始動作が可能です。

17.5.2 ELCからのイベントによる12ビットA/Dコンバータの注意事項

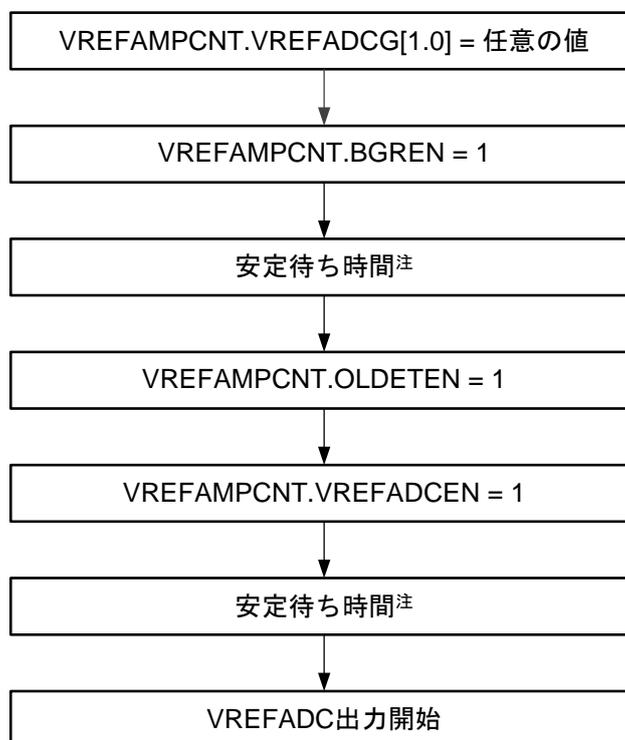
A/D変換中にイベントが発生した場合は、イベントは無効になります。

17.6 基準電圧の選択方法

A/Dコンバータの高電位側基準電圧には外部端子入力 (AV_{REFP})、ボルテージ・リファレンス電圧出力 (VREFOUT)、またはアナログ基準電圧 (AV_{DD}) を選択することができます。低電位側基準電圧には外部端子入力 (AV_{REFM}) またはアナログ基準電圧 (AV_{SS1}) を選択することができます。A/D変換前に設定してください。設定の詳細は、17.2.14 A/D高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)、17.2.16 ボルテージ・リファレンスコントロールレジスタ (VREFAMPCNT) を参照してください。

図17-29に、ボルテージ・リファレンス (VREFADC) の起動フローを示します。

図17-29 ボルテージ・リファレンス (VREFADC) 起動フロー



注 安定待ち時間の詳細は、「第43章 電気的特性」を参照してください。

17.7 許容信号源インピーダンスについて

本MCUのアナログ入力は、高速変換3 μs を実現するために、信号源インピーダンスが0.5 k Ω 以下の入力信号に対し、変換精度が保証される設計となっています。入力の負荷は、ローパスフィルタとなりますので、微分係数の大きなアナログ信号には追従できないことがあります。

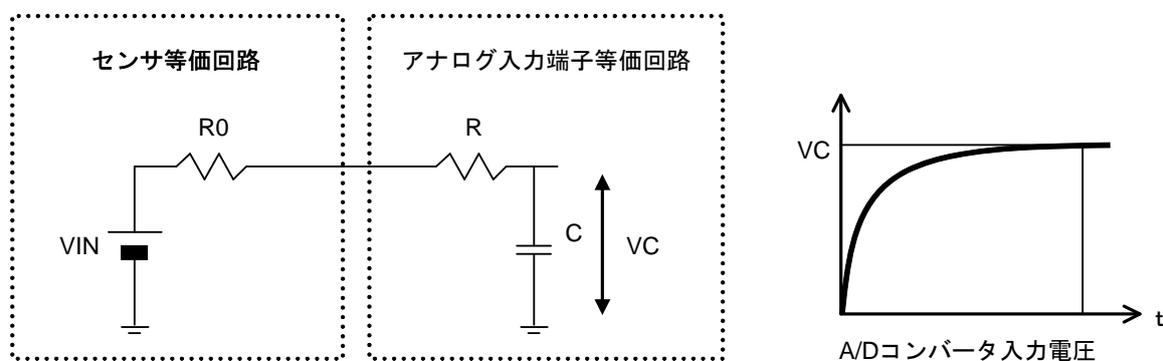
高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

また、シングルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合でも、入力信号はアナログマルチプレクサ切り替えによる電流の影響を受けます。

図17-30にアナログ入力端子と外部センサの等価回路を示します。

A/D変換を正しく行うためには、図17-30に示す内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間をサンプリング時間と言います。

図17-30 アナログ入力端子と外部センサの等価回路



17.8 使用上の注意事項

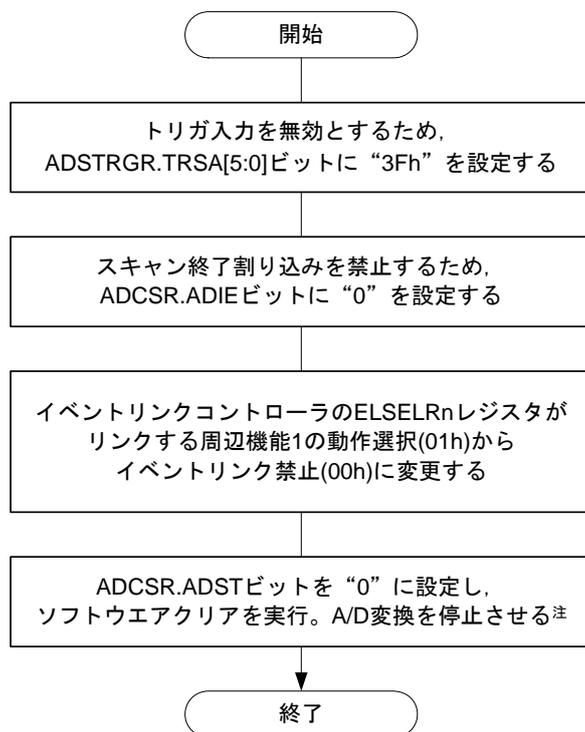
17.8.1 データレジスタの読出し注意事項

A/Dデータレジスタ、A/D温度センサデータレジスタ、A/D内部基準電圧データレジスタ、およびA/D自己診断データレジスタの読み出しは、ワード単位で行ってください。

17.8.2 A/D変換停止手順

A/D変換開始条件に同期トリガを選択している場合、A/D変換を停止させるためには、**図17-31**のフローチャートの手順に従ってください。

図17-31 ADCSR.ADSTビットによるソフトウェアクリア実行の設定フロー



注 ソフトウェアクリアからスキャン処理を停止するまで2ADCLKの時間が必要です。ソフトウェアクリア実行後に以下を設定する場合は、2ADCLK以上のウェイトを入れてください。

- ・スキャン終了割り込み許可
- ・イベントリンクコントローラがリンクする周辺機能1の動作を選択
- ・ソフトウェアによるA/D変換開始
- ・トリガ入力有効設定

備考 n = 00-29

17.8.3 モード/ステータスビットの注意事項

自己診断の電圧ステータスは、必要に応じて初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定は、ADCER.DIAGLDを"1"に設定し、ADCER.DIAGVAL[1:0]で選択します。

17.8.4 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態でADCSR.ADSTビットを"1"に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのにADCLKで最大6クロックの時間を必要とします。ADCSR.ADSTビットを"0"に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLKで最大3クロックの時間を必要とします。

17.8.5 スキャン終了割り込み2処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

17.8.6 クロック供給停止機能の設定

周辺イネーブル・レジスタ0 (PER0) により、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。クロック供給停止状態を解除することにより、レジスタへのアクセスが可能になります。クロック供給停止状態を解除した後は、1 μ s待ってからA/D変換を開始してください。

17.8.7 低消費電力状態への遷移時の注意

クロック供給停止状態やSTOPモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを"0"に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図17-31に示す、ADCSR.ADSTビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADSTビットを"0"に設定してください。その後、ADCLKの3クロック期間待った後、クロック供給停止状態やSTOPモードへ移行させてください。

17.8.8 STOPモード解除時の注意

STOPモードを解除した後は、発振安定時間経過後、さらに1 μ s以上待ってからA/D変換を開始してください。STOPモード解除の詳細は29.3.2 STOPモード (2) STOPモードの解除を参照してください。

17.8.9 ADHSCビットの書き換え手順

AD変換動作選択ビット (ADCSR.ADHSC) を書き換える場合 (“0”から“1”または“1”から“0”にする場合) は、12ビットA/Dコンバータをスタンバイ状態にする必要があります。ADCSR.ADHSCビットの書き換えは下記の1~3の手順で行ってください。また、スリープビット (ADHVREFCNT.ADSLPL) を “0”にした後は、1 μ s以上待ってからA/D変換を開始してください。

【ADCSR.ADHSCビットの書き換え手順】

1. スリープビット (ADHVREFCNT.ADSLPL) を“1”にする。
2. 0.2 μ s 以上待ってから、AD変換動作選択ビット (ADCSR.ADHSC) を書き換える。
3. 4.8 μ s 以上待ってから、スリープビット (ADHVREFCNT.ADSLPL) を“0”にする。

注意1. AD変換動作選択ビット (ADCSR.ADHSC) の書き換え以外で、ADHVREFCNT.ADSLPLビットを“1”にする事は禁止です。

2. AD変換動作選択ビット (ADCSR.ADHSC) が“1”の状態ではリセットは行わないでください。スリープビット (ADHVREFCNT.ADSLPL) の書き換え手順に従いAD変換動作選択ビット (ADCSR.ADHSC) を“0”にした後、または、クロック供給停止モードへ遷移させてからリセットを行ってください。

17.8.10 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてMCUを使用した場合は、MCUの信頼性に悪影響を及ぼすことがあります。

• アナログ入力電圧の設定範囲

アナログ入力端子ANInに印加する電圧は、 $AV_{REFM} \leq V_{AI1} \leq AV_{REFP}$ の範囲としてください。

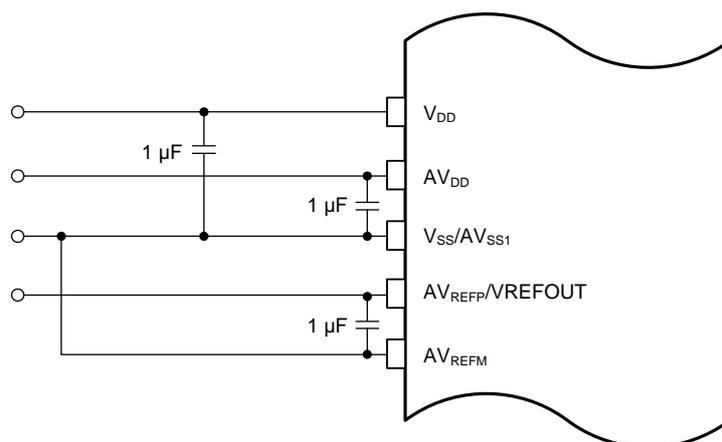
AV_{REFP} 端子によるリファレンス電圧の設定範囲は、 $AV_{REFP} \leq AV_{DD}$ にしてください。

アナログ入力端子ANIn (n = 0-5) に印加する電圧は、 $AV_{SS1} \leq V_{AI1} \leq AV_{DD}$ にしてください。

• 各電源端子 (AV_{DD}-AV_{SS1}, AV_{REFP}-AV_{REFM}, V_{DD}-V_{SS}) の関係

AV_{SS1}とV_{SS}との関係はAV_{SS1} = V_{SS}としてください。アナログ入力端子ANIn (n = 0-5) のA/D変換を行う場合は、AV_{DD} = V_{DD}としてください。また、**図17-32**に示すように各々の電源間に最短で閉ループが形成できるように1 μ Fのコンデンサを接続し、供給元でAV_{REFM} = AV_{SS1} = V_{SS}になるように接続してください。12ビットA/Dコンバータを使用しない場合は、AV_{REFP} = AV_{DD} = V_{DD}, AV_{REFM} = AV_{SS1} = V_{SS}としてください。

図17-32 各電源端子の接続例



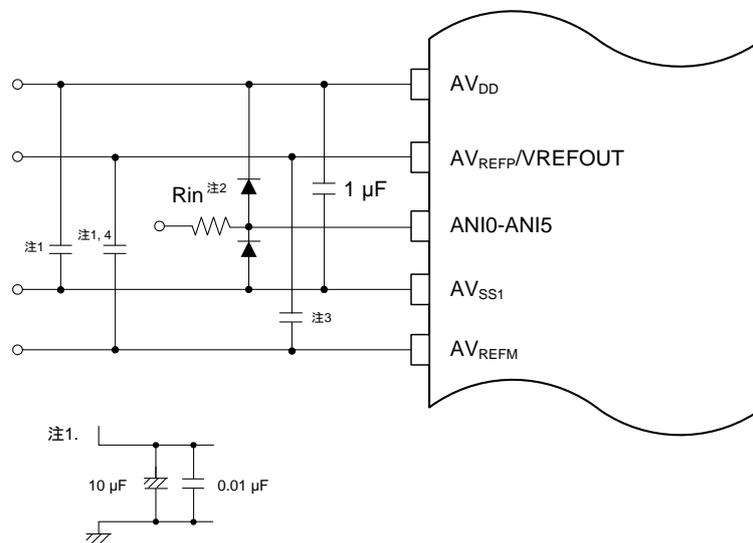
17.8.11 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子（ANI0-ANI5）、基準電源端子（AV_{REFP}/V_{REFOUT}）基準グランド端子（AV_{REFM}）アナログ電源（AV_{DD}）は、アナロググランド（AV_{SS1}）で、デジタル回路と分離してください。さらにアナロググランド（AV_{SS1}）は、ボード上の安定したデジタルグランド（V_{SS}）に一点接続してください。

17.8.12 ノイズ対策上の注意

- ① 過大なサージなど異常電圧によるアナログ入力端子（ANI0-ANI5）の破壊を防ぐために、**図17-33**に示すようにAVDDとAVSS1間、AVREFPとAVREFM間に容量を、またアナログ入力端子（ANI0-ANI5）を基準に保護回路を接続してください。
- ② 変換中においては、他の端子とスイッチングしないようにしてください。
- ③ 変換開始直後にHALTモードに設定すると、精度が向上します。
- ④ チャンネル（ANI0-ANI5）のいずれかを選択してA/D変換をする場合、変換中P20 - P25に対して出力値を変更しないでください。変換精度が低下することがあります。
- ⑤ A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換が期待値と異なることがあります。A/D変換中は、デジタル信号のように急激に変化するパルスが隣接する端子に入出力されないようにしてください。

図 17-33 アナログ入力保護回路の例



注1. ここに示す値は基準値です。

2. Rin : 信号源インピーダンス

3. A/Dコンバータの高電位基準電圧としてAVREFPを選択する場合は、10 μFコンデンサでAVREFP端子をAVREFM端子に接続してください。

A/Dコンバータの高電位基準電圧としてVREFOUTを選択する場合は、1 μFコンデンサでAVREFP端子をAVREFM端子に接続してください。

コンデンサはADCの基準端子に直接配置することを推奨します。

4. A/Dコンバータの高電位基準電圧としてAVREFPを選択する場合は、コンデンサはAVREFM端子だけに接続してください。

第18章 温度センサ2

18.1 温度センサの機能

RL78/I1C (512 KB) では温度センサを搭載しています。温度センサの出力電圧を12ビットA/Dコンバータで測定することで、温度を測定することができます。温度センサ・コントロール・テスト・レジスタの設定により、温度センサのモードを以下の3つのモードに切り替えることができます。

- 高温域モード：Mode 1, 0°C~90°C（出力イメージ図 Mode 1）
- 常温域モード：Mode 2, -20°C~70°C（出力イメージ図 Mode 2）
- 低温域モード：Mode 3, -40°C~50°C（出力イメージ図 Mode 3）

温度センサは、HS（高速メイン）モードで使用可能です。

図18-1に温度センサのブロック図を示します。

図18-1 ブロック図

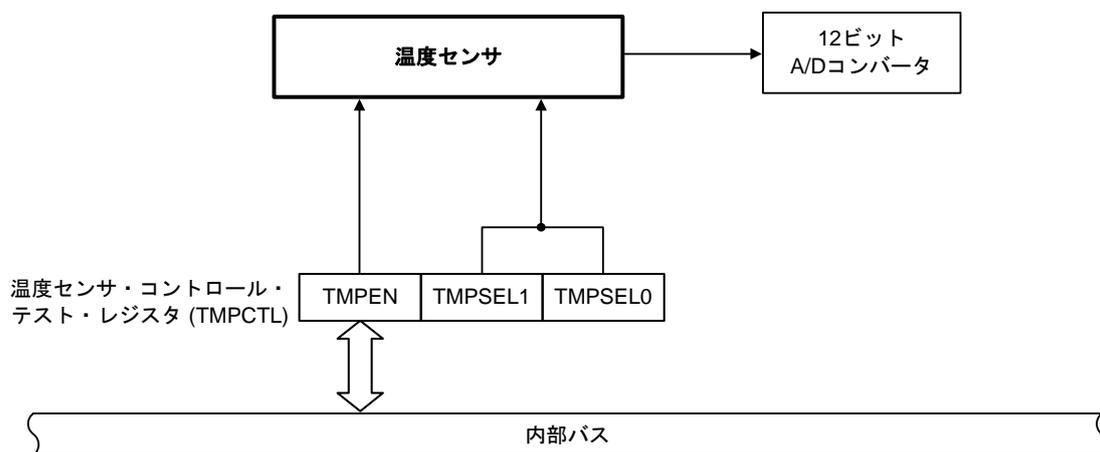
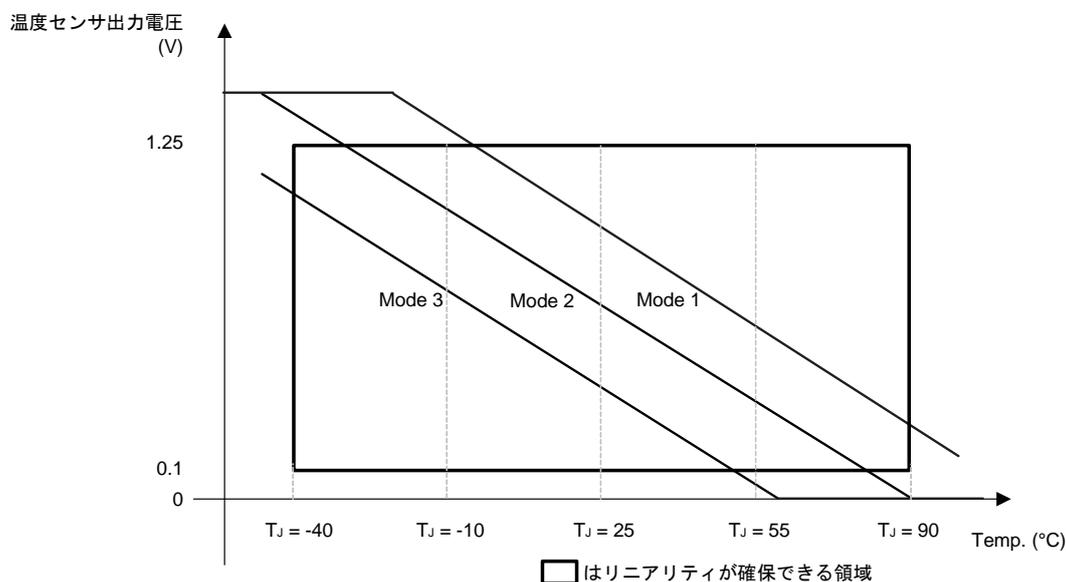


図18-2 出力イメージ図



18.2 レジスタの説明

表18-1に温度センサで使用するレジスタ一覧を示します。

表18-1 レジスタ一覧

項目	構成
制御レジスタ	温度センサ・コントロール・テスト・レジスタ (TMPCTL) 周辺イネーブルレジスタ0 (PER0) 周辺リセット制御レジスタ0 (PRR0)

18.2.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

温度センサ2を使用するときは、必ずビット5 (ADCEN) に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図18-3 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	SAU2EN	TAU0EN

ADCEN	12ビットA/Dコンバータ/温度センサ2の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> 12ビットA/Dコンバータ/温度センサ2で使用するSFRへのライト不可、リードした場合は00Hが読めます。ただし、初期化はされていません。^注
1	入カクロック供給 <ul style="list-style-type: none"> 12ビットA/Dコンバータ/温度センサ2で使用するSFRへのリード/ライト可

注 12ビットA/Dコンバータ/温度センサ2および12ビットA/Dコンバータ/温度センサ2で使用するSFRを初期化する場合、PRR0のビット5 (ADCRES)を使用してください。

18.2.2 温度センサ・コントロール・テスト・レジスタ (TMPCTL)

TMPCTLレジスタは、温度センサの動作停止／動作開始の設定、温度センサのモードの選択をするレジスタです。

TMPCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-4 温度センサ・コントロール・テスト・レジスタ (TMPCTL) のフォーマット

アドレス : F03B0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMPCTL	TMPEN ^{注1}	0	0	0	0	0	TMPSEL1 ^{注2}	TMPSEL0 ^{注2}

TMPEN	温度センサの動作制御
0	温度センサ動作停止
1	温度センサ動作開始

TMPSEL1	TMPSEL0	温度センサのモード選択
0	0	常温域 (Mode 2)
0	1	高温域 (Mode 1)
1	0	低温域 (Mode 3)
上記以外		設定禁止

注1. TMPENビットを0から1に設定後、50 μsの動作可能安定待ち時間が必要です。

2. TMPSEL1-TMPSEL0ビットへの設定値変更後、15 μsのモード切り替え安定待ち時間が必要です。

注意 ビット6-2には必ず0を設定してください。

18.2.3 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

温度センサをリセットする場合は、必ずビット5 (ADCRES)を1に設定してください。

PRR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR0レジスタは00Hになります。

図18-5 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	SAU2RES	TAU0RES

ADCRES	12ビットA/Dコンバータ/温度センサ2のリセット制御
0	12ビットA/Dコンバータ/温度センサ2のリセット解除
1	12ビットA/Dコンバータ/温度センサ2のリセット状態

18.3 設定手順

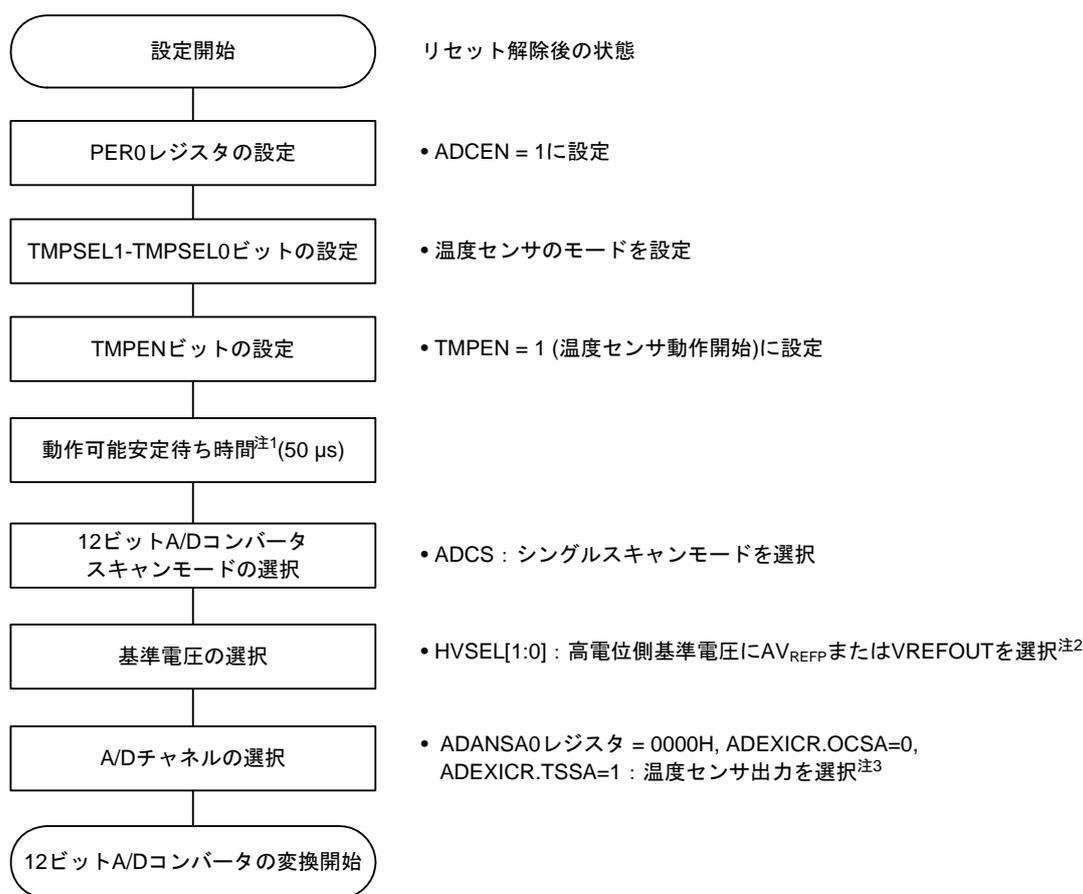
温度センサの設定手順を以下に示します。

18.3.1 温度センサ動作開始

図18-6に温度センサ動作開始時の設定フローを示します。

12ビットA/Dコンバータの設定方法は 17.3.2.3 温度センサ出力/内部基準電圧 (V_{BGR}) 選択時のA/D変換動作を参照してください。

図18-6 温度センサ動作開始時の設定フロー



注1. 動作可能安定待ち時間は、12ビットA/Dコンバータ変換開始までに必要となる時間です。

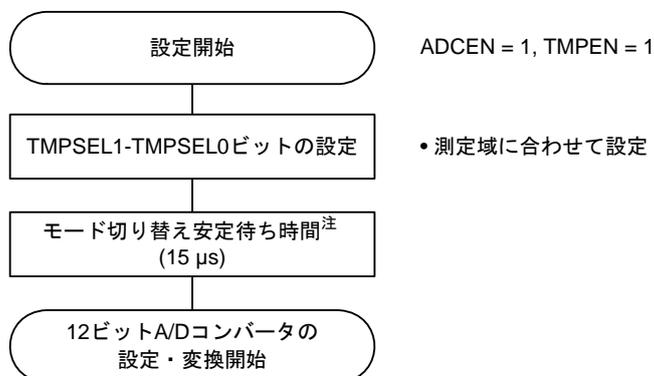
2. ボルテージ・リファレンスが動作しているときはVREFOUT, それ以外のときはAV_{REFP}が選択されます。ボルテージ・リファレンスの動作開始手順は、17.6 基準電圧の選択方法を参照してください。

3. 温度センサ出力のA/D変換を行う場合は、ADANSA0レジスタの全ビットとOSCAビットのすべてに“0”を設定し、シングルスキャンモードで実行してください。

18.3.2 モード切り替え

図18-7に温度センサモード切り替え時の設定フローを示します。

図18-7 温度センサモード切り替え時の設定フロー



注 モード切り替え安定待ち時間は、12ビットA/Dコンバータ変換開始までに必要となる時間です。

第19章 24ビット $\Delta\Sigma$ A/Dコンバータ

24ビット $\Delta\Sigma$ A/Dコンバータはアナログ入力をデジタル値に変換する24ビット分解能のコンバータです。

19.1 24ビット $\Delta\Sigma$ A/Dコンバータの機能

24ビット $\Delta\Sigma$ A/Dコンバータの機能を示します。

- S/N+D比80 dB以上（プリアンプ・ゲイン1倍選択時）
- 24ビット分解能（変換結果レジスタ：24ビット）
- 3チャンネル（電流チャンネル：2チャンネル 電圧チャンネル：1チャンネル）（80ピン製品）
- 4チャンネル（電流チャンネル：2チャンネル 電圧チャンネル：2チャンネル）（100ピン製品）
- アナログ入力8本（正側，負側入力／チャンネル）
- $\Delta\Sigma$ 変換方式
- プリアンプ・ゲイン選択： 1倍，2倍，4倍，8倍，16倍，32倍^注（チャンネル0，1，2，3）
- 動作電圧： $AV_{DD} = 2.4\sim 5.5\text{ V}$ ， $AV_{SS0} = 0\text{ V}$
- アナログ入力電圧：
 - ±0.500 V（プリアンプ・ゲイン1倍選択時）
 - ±0.250 V（プリアンプ・ゲイン2倍選択時）
 - ±0.125 V（プリアンプ・ゲイン4倍選択時）
 - ±62.5 mV（プリアンプ・ゲイン8倍選択時）
 - ±31.25 mV（プリアンプ・ゲイン16倍選択時）
 - ±15.625 mV（プリアンプ・ゲイン32倍^注選択時）
- 基準電圧生成（0.8 V [TYP.]）：出力可能
- サンプリング周波数： 3906.25 Hz（4 kHzサンプリング・モード）／1953.125 Hz（2 kHzサンプリング・モード）
- HPFカットオフ周波数： 0.607 Hz，1.214 Hz，2.429 Hz，4.857 Hzを選択可能
- 動作クロック：
 - 高速システム・クロック（ f_{MX} ）（12 MHz水晶振動子のみ使用可能）
 - 高速オンチップ・オシレータ（ $f_{HOCO}/2$ ）（ $f_{HOCO} = 24\text{ MHz}$ ）

注 32倍はローパス・フィルタでゲインを2倍します。そのため，ローパス・フィルタ（LPF）バイパス機能使用時はプリアンプ・ゲイン32倍は選択できません。

注意1. PCKCレジスタのDSADCK = 1により高速システム・クロック（ f_{MX} ）を使用する場合は，12 MHzを供給してください。

2. LP（低電力メイン）モード，LV（低電圧メイン）モード時には24ビット $\Delta\Sigma$ A/Dコンバータ機能は使用できません。

表19-1に24ビット $\Delta\Sigma$ A/Dコンバータの構成を、図19-1、図19-2に24ビット $\Delta\Sigma$ A/Dコンバータのブロック図を示します。

表19-1 24ビット $\Delta\Sigma$ A/Dコンバータの構成

項目	構成
アナログ入力	3チャンネル6入力 (80ピン製品) 4チャンネル8入力 (100ピン製品)
内部ユニット	プリアンプ部 $\Delta\Sigma$ A/Dコンバータ部 基準電圧発生部 位相調整部 (PHC0, PHC1, PHC2, PHC3) デジタル・フィルタ部 (DF) ・デシメーション・フィルタ部 (DEC) ・ローパス・フィルタ部 (LPF) ハイパス・フィルタ部 (HPF)

図19-1 24ビット $\Delta\Sigma$ A/Dコンバータのブロック図 (100ピン製品)

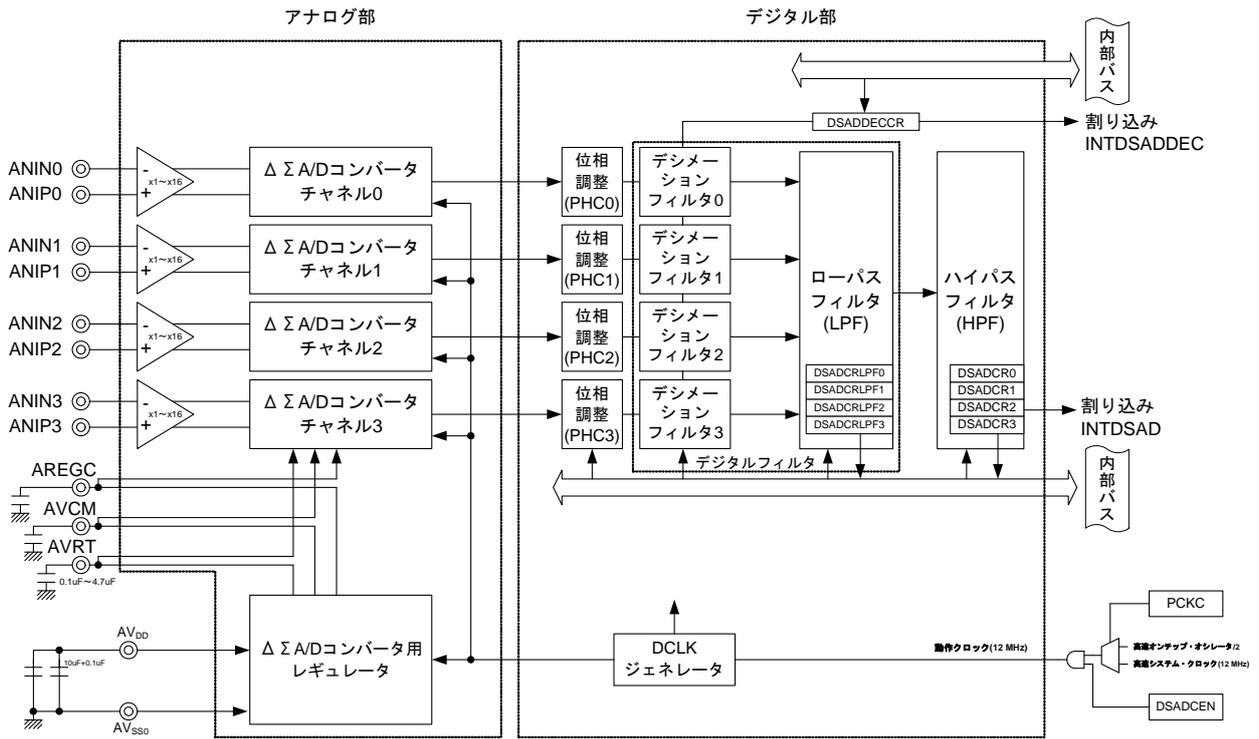
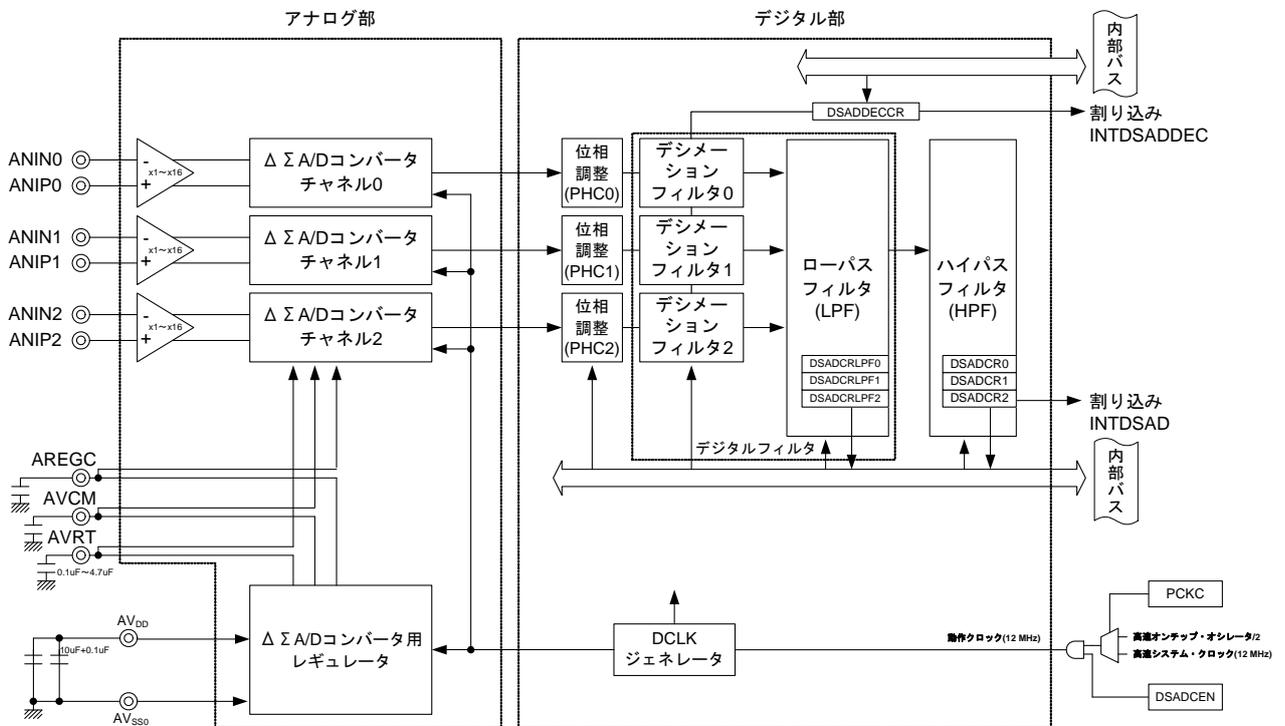


図19-2 24ビット $\Delta\Sigma$ A/Dコンバータのブロック図 (80ピン製品)



19.1.1 入出力端子

24ビット $\Delta\Sigma$ A/Dコンバータには、表19-2の入出力端子があります。

表19-2 端子構成

名称	記号	入出力	機能
アナログ入力正端子0~アナログ入力正端子3	ANIPn	入力	$\Delta\Sigma$ A/Dコンバータへのアナログ入力端子（正側入力） ^{注1,3}
アナログ入力負端子0~アナログ入力負端子3	ANINn	入力	$\Delta\Sigma$ A/Dコンバータへのアナログ入力端子（負側入力） ^{注1,3}
$\Delta\Sigma$ A/Dコンバータ用電源電圧端子	AREGC	—	$\Delta\Sigma$ A/Dコンバータ用電源電圧
同相電圧端子	AVCM	—	同相電圧
リファレンス電圧端子	AVRT	—	リファレンス電圧
アナログ電源端子	AVDD	—	アナログ電源 ^{注2}
アナログGND端子	AVSS0	—	アナログGND

注1. 1チャンネル2入力であり、ANINn端子が負側入力、ANIPn端子が正側入力となります。

2. AVSS0端子との間に安定化容量として10 μ F + 0.1 μ Fのコンデンサを接続してください。
3. 単相2線式メータでは、センサ遅延を考慮して端子を選択してください。

備考 100ピン製品はn = 0~3, 80ピン製品はn = 0~2

19.1.2 プリアンプ

ANINn, ANIPn端子に入力するアナログ入力信号を増幅するユニットです。

レジスタ設定により1倍, 2倍, 4倍, 8倍, 16倍, 32倍^注の切り替えが可能です。

注 32倍はローパス・フィルタでゲインを2倍します。そのため、ローパス・フィルタ（LPF）バイパス機能使用時はプリアンプ・ゲイン32倍は選択できません。

備考 100ピン製品はn = 0~3, 80ピン製品はn = 0~2

19.1.3 $\Delta\Sigma$ A/Dコンバータ

$\Delta\Sigma$ A/Dコンバータ回路を4回路内蔵し、計4チャンネルのアナログ入力を2ビットのデジタル値へ変換します。

この4つの $\Delta\Sigma$ A/Dコンバータ回路は同期して動作し、それぞれの2ビットのデジタル値は、位相調整回路、デジタル・フィルタ、ハイパス・フィルタを通過して、各チャンネルの変換結果として、変換結果レジスタ（DSADCR0-DSADCR3）に格納されます。4チャンネル分の変換を終了するたびに、割り込み要求信号を発行して、CPUに対し変換結果の読み出しが可能であることを知らせます。サンプリング周波数（fs）は、3906.25 Hzと1953.125 Hzから選択可能です。サンプリング周波数によって、最大保留時間、オーバサンプリング周波数は、下記のように可変します。最大保留時間までに $\Delta\Sigma$ A/D変換結果レジスタの読み出しを完了させてください。

サンプリング周波数（fs）	最大保留時間	オーバサンプリング周波数
3906.25 Hz（4kHzサンプリング）	192 μ s	1.5 MHz
1953.125 Hz（2kHzサンプリング）	384 μ s	750 kHz

19.1.4 基準電圧発生

基準電圧源（バンド・ギャップ・リファレンス回路）を内蔵し、基準電圧出力端子AVRTより出力します。外付け容量として0.47 μ Fのコンデンサを接続してください。

19.1.5 位相調整回路（PHCn）

入力されるアナログ信号の位相を調整する機能です。384 fsを1ステップとして1151ステップまでアナログ信号間の位相を調整します。

外部部品（電流センサなど）により、入力アナログ信号間で位相ずれが生じます。この位相ずれにより、電力演算精度が低下するため、DSADPHCnレジスタを使用し、位相ずれを修正してください。

位相ずれの補正1ステップは、ライン周波数が60 Hzの場合は0.0144°、50 Hzの場合0.0120°単位での調整が可能です。

RL78/I1C (512 KB) では位相調整回路は4回路（PHC0-PHC3）搭載されており、入力信号に対してそれぞれ位相を調整できます。

備考 100ピン製品はn = 0~3, 80ピン製品はn = 0~2

19.1.6 デジタル・フィルタ（DF）

デシメーション・フィルタ（DEC）とローパス・フィルタ（LPF）を搭載しています。

$\Delta\Sigma$ A/Dコンバータ出力に含まれる高調波信号を除去し、かつデータ・レートを384分の1に間引きます。

19.1.7 デシメーション・フィルタ（DEC）

データ・レートを32分の1に間引きます。RL78/I1C (512 KB) ではデシメーション・フィルタの出力を読み出すことができます。デシメーション・フィルタの出力タイミングで、デシメーション・フィルタ出力完了割り込み（INTDSADDEC）を発生します。

出力レートは $1.5 \text{ MHz} \div 32 = 46.875 \text{ kHz}$ （DSADFR = 0設定時）、 $0.75 \text{ MHz} \div 32 = 23.4375 \text{ kHz}$ （DSADFR = 1設定時）です。

19.1.8 ローパス・フィルタ（LPF）

$\Delta\Sigma$ A/Dコンバータ出力に含まれる高調波信号を除去し、デシメーション・フィルタと合わせてデータ・レートを384分の1に間引きます。RL78/I1C (512 KB) ではハイパス・フィルタ挿入時でも、ローパス・フィルタの出力を読み出すことができます。

出力レートは $1.5 \text{ MHz} \div 384 = 3906.25 \text{ Hz}$ （DSADFR = 0設定時）、 $0.75 \text{ MHz} \div 384 = 1953.125 \text{ Hz}$ （DSADFR = 1設定時）です。

19.1.9 ハイパス・フィルタ（HPF）

入力信号に含まれるDC成分およびアナログ回路で生じたDCオフセットを除去します。チャンネルごとにハイパス・フィルタの挿入／非挿入の選択が可能です。

19.2 レジスタの説明

表19-3に24ビット $\Delta\Sigma$ A/Dコンバータで使用するレジスタ一覧を示します。

表19-3 レジスタ一覧 (1/2)

項目	レジスタ名
制御レジスタ	$\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR)
	$\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ0 (DSADGCR0)
	$\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ1 (DSADGCR1)
	$\Delta\Sigma$ A/DコンバータHPFコントロール・レジスタ (DSADHPFCR)
	$\Delta\Sigma$ A/Dコンバータ・デシメーション・フィルタ・コントロール・レジスタ (DSADDECCR)
	$\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ0 (DSADPHCR0)
	$\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ1 (DSADPHCR1)
	$\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ2 (DSADPHCR2)
	$\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ3 (DSADPHCR3)
レジスタ	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0L (DSADCR0L)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0M (DSADCR0M)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0H (DSADCR0H)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1L (DSADCR1L)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1M (DSADCR1M)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1H (DSADCR1H)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2L (DSADCR2L)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2M (DSADCR2M)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2H (DSADCR2H)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3L (DSADCR3L)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3M (DSADCR3M)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3H (DSADCR3H)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 0L (DSADCRLPF0L)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 0M (DSADCRLPF0M)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 0H (DSADCRLPF0H)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 1L (DSADCRLPF1L)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 1M (DSADCRLPF1M)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 1H (DSADCRLPF1H)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 2L (DSADCRLPF2L)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 2M (DSADCRLPF2M)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 2H (DSADCRLPF2H)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 3L (DSADCRLPF3L)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 3M (DSADCRLPF3M)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 3H (DSADCRLPF3H)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0 (DSADCR0)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1 (DSADCR1)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2 (DSADCR2)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3 (DSADCR3)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 0 (DSADCRLPF0)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 1 (DSADCRLPF1)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 2 (DSADCRLPF2)
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) 3 (DSADCRLPF3)

表19-3 レジスタ一覧 (2/2)

項目	レジスタ名
制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
	周辺クロック制御レジスタ (PCKC)
	周辺リセット制御レジスタ1 (PRR1)

19.2.1 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR)

DSADMRレジスタは、 $\Delta\Sigma$ A/Dコンバータのモードを設定するレジスタです。サンプリング周期の選択、 $\Delta\Sigma$ A/Dコンバータの分解能選択、各チャンネルのパワーオン制御や動作許可制御を行います。

DSADMRレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADMRレジスタは0000Hとなります。

図19-3 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) のフォーマット

アドレス : F0740H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSADMR	DSADFR	DSADTYP	0	0	DSADPON3	DSADPON2	DSADPON1	DSADPON0	0	0	0	0	DSADCE3	DSADCE2	DSADCE1	DSADCE0

DSADFR	サンプリング周波数選択
0	3906.25 Hz
1	1953.125 Hz

サンプリング周波数を選択するビットです。

DSADTYP	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタの読み出し分解能の選択
0	24ビット分解能
1	16ビット分解能

DSADTYP = 0の場合：
 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (DSADCRn) の読み出しにより、 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタの低位16ビットを読み出せません。上位8ビットはDSADCRnHを読み出してください。

DSADTYP = 1の場合：
 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (DSADCRn) の読み出しにより、 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタの上位16ビットを読み出せません。

DSADPONn	チャンネルnの $\Delta\Sigma$ A/Dコンバータパワーオン制御 (アナログ部)
0	パワーダウン
1	パワーオン

DSADCEn	チャンネルnの $\Delta\Sigma$ A/Dコンバータ動作許可 (アナログ、デジタル部)
0	電荷リセット
1	通常動作

$\Delta\Sigma$ A/Dコンバータの変換動作許可するビットです。アナログ部の電荷、デジタル部の変換結果をリセットします。 $\Delta\Sigma$ A/Dコンバータの電荷リセットを正常に行うためには、DSADCEnビットを1→0に設定後、1.4 μ s以上待ってから再変換してください。

(注意、備考は次ページにあります。)

- 注意1. CPUクロック (f_{CLK}) に12 MHzより早いクロックを選択時は、DSADMRレジスタに連続して書き込みをしないでください。連続して書き込みを行う場合は、書き込み間隔を f_{CLK} で1サイクル以上空けてください。DSADPONnビットに0を設定してから $\Delta\Sigma$ A/Dコンバータがパワーダウンするまで f_{CLK} で3サイクル必要です。再度DSADPONnビットに1を設定する場合は、必ず f_{CLK} で3サイクル以上空けてから $\Delta\Sigma$ A/Dコンバータをパワーオンするようにしてください。
2. ビット13, 12, 7-4には必ず0を設定してください。

備考 n = 0~3

19.2.2 $\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ0 (DSADGCR0)

DSADGCR0レジスタは、チャンネル0とチャンネル1のプログラマブル・ゲイン・アンプのゲインを選択するレジスタです。

DSADGCR0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADGCR0レジスタは00Hになります。

図19-4 $\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ0 (DSADGCR0) のフォーマット

アドレス : F0742H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
DSADGCR0	0	DSADGAIN12	DSADGAIN11	DSADGAIN10	0	DSADGAIN02	DSADGAIN01	DSADGAIN00

DSADGAIN12	DSADGAIN11	DSADGAIN10	チャンネル1のプログラマブル・アンプ・ゲイン選択
ビット6	ビット5	ビット4	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
1	0	1	PGAゲイン × 32 ^注
上記以外			設定禁止

PGAゲインを制御するビットです。設定可能なゲインは、× 1～ × 32です。

DSADGAIN02	DSADGAIN01	DSADGAIN00	チャンネル0のプログラマブル・アンプ・ゲイン選択
ビット2	ビット1	ビット0	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
1	0	1	PGAゲイン × 32 ^注
上記以外			設定禁止

PGAゲインを制御するビットです。設定可能なゲインは、× 1～ × 32です。

注 ローパス・フィルタでゲインを2倍します。そのため、ローパス・フィルタ (LPF) バイパス機能使用時はプログラマブル・アンプ・ゲイン32倍は選択できません。

注意 ビット7, 3には必ず0を設定してください。

19.2.3 $\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ1 (DSADGCR1)

DSADGCR1レジスタは、チャンネル2とチャンネル3のプログラマブル・ゲイン・アンプのゲインを選択するレジスタです。

DSADGCR1は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADGCR1レジスタは00Hになります。

図19-5 $\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ1 (DSADGCR1) のフォーマット

アドレス : F0743H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSADGCR1	0	DSADGAIN32	DSADGAIN31	DSADGAIN30	0	DSADGAIN22	DSADGAIN21	DSADGAIN20

DSADGAIN32	DSADGAIN31	DSADGAIN30	チャンネル3のプログラマブル・アンプ・ゲイン選択
ビット6	ビット5	ビット4	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
1	0	1	PGAゲイン × 32 ^注
上記以外			設定禁止

PGAゲインを制御するビットです。設定可能なゲインは、× 1～ × 32です。

DSADGAIN22	DSADGAIN21	DSADGAIN20	チャンネル2のプログラマブル・アンプ・ゲイン選択
ビット2	ビット1	ビット0	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
1	0	1	PGAゲイン × 32 ^注
上記以外			設定禁止

PGAゲインを制御するビットです。設定可能なゲインは、× 1～ × 32です。

注 ローパス・フィルタでゲインを2倍します。そのため、ローパス・フィルタ (LPF) バイパス機能使用時はプログラマブル・アンプ・ゲイン32倍は選択できません。

注意 ビット7, 3には必ず0を設定してください。

19.2.4 $\Delta\Sigma$ A/DコンバータHPFコントロール・レジスタ (DSADHPFCR)

DSADHPFCRレジスタは、ハイパス・フィルタのカットオフ周波数の選択、各チャンネルのハイパス・フィルタの無効/有効を設定するレジスタです。

DSADHPFCRは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADHPFCRレジスタは00Hになります。

図19-6 $\Delta\Sigma$ A/DコンバータHPFコントロール・レジスタ (DSADHPFCR) のフォーマット

アドレス : F0745H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSADHPFCR	DSADCOF1	DSADCOF0	0	0	DSADTHR3	DSADTHR2	DSADTHR1	DSADTHR0

DSADCOF1	DSADCOF0	ハイパス・フィルタのカットオフ周波数選択
ビット7	ビット6	
0	0	0.607 Hz
0	1	1.214 Hz
1	0	2.429 Hz
1	1	4.857 Hz

DSADTHR3	チャンネル3のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

DSADTHR2	チャンネル2のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

DSADTHR1	チャンネル1のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

DSADTHR0	チャンネル0のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

注意1. ビット5, 4には必ず0を設定してください。

2. DSADTHRnビットは、以下を満たす時に書き込み完了してください。

・ DSADCEn=0 (変換停止中)

備考 ハイパス・フィルタのカットオフ周波数を変更することで、ハイパス・フィルタの収束時間が変わります。カットオフ周波数が高いほど、収束時間は早くなります。

ハイパス・フィルタをクリアするには、周辺リセット制御レジスタ (PRR1) のDSADRESビットでリセットする必要があります。

19.2.5 $\Delta\Sigma$ A/Dコンバータ・デシメーション・フィルタ・コントロール・レジスタ (DSADDECCR)

DSADDECCRレジスタは、デシメーション・フィルタ出力完了割り込みの発生を制御するレジスタです。

DSADDECENビットの設定により、デシメーション・フィルタ出力完了割り込みINTDSADDECの発生を許可することができます。

DSADDECCSELビットの設定により、 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) n (H/M/L) (DSADCRLPFn (H/M/L)) および $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) n (DSADCRLPFn) の読み出し対象を、デシメーション・フィルタ後の出力読み出し、またはローパス・フィルタ後の出力読み出しを選択することができます。

DSADDECCRレジスタは、1ビット・メモリ操作と8ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADDECCRレジスタは00Hになります。

図19-7 $\Delta\Sigma$ A/Dコンバータ・デシメーション・フィルタ・コントロール・レジスタ (DSADDECCR) のフォーマット

アドレス : F0746H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
DSADDECCR	DSADDECEN	0	0	0	0	0	0	DSADDECCSEL

DSADDECEN	デシメーション・フィルタ出力完了割り込みの発生許可/禁止の選択
0	デシメーション・フィルタ出力完了割り込み (INTDSADDEC) の発生禁止
1	デシメーション・フィルタ出力完了割り込み (INTDSADDEC) の発生許可

DSADDECCSEL	DSADCRLPFn (H/M/L) およびDSADCRLPFnレジスタの読み出し対象
0	DSADCRLPFn (H/M/L) およびDSADCRLPFnレジスタから、各チャンネルのローパス・フィルタ後の出力を読み出し
1	DSADCRLPFn (H/M/L) およびDSADCRLPFnレジスタから、各チャンネルのデシメーション・フィルタ後の出力を読み出し

備考 n = 0~3

19.2.6 ΔΣA/Dコンバータ位相コントロール・レジスタn (DSADPHCRn) (n = 0, 1, 2, 3)

DSADPHCRnレジスタは、位相調整n回路へ入力するチャンネルの選択および位相調整量を設定するレジスタです。

DSADPHCRnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADPHCRnレジスタは0000Hになります。

図19-8 ΔΣA/Dコンバータ位相コントロール・レジスタn (DSADPHCRn) のフォーマット

アドレス：F0750H (DSADPHCR0), F0752H (DSADPHCR1), F0754H (DSADPHCR2), F0756H (DSADPHCR3)

リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSADPHCRn	0	0	0	0	0	DSADPHCn10	DSADPHCn9	DSADPHCn8	DSADPHCn7	DSADPHCn6	DSADPHCn5	DSADPHCn4	DSADPHCn3	DSADPHCn2	DSADPHCn1	DSADPHCn0

DSADPHCn10-DSADPHCn0 ^注	ΔΣA/Dコンバータ・チャンネルnの位相調整
000H	スルー（位相調整無し）
001H	1段分
:	:
47EH	1150段分
47FH	1151段分
<p>アナログ部から入力される2ビットΔΣA/D変換データに対して位相調整します。 DSADPHCn10-DSADPHCn0ビットで位相調整量を指定（1段分 = 384 fs）します。 調整値の計算式にはサンプリング周波数（3906.25 Hz）がのるため、1段の補正で調整できる位相は、 $1 [s] / (384 [fs] \times 3906.25 [Hz]) = 0.6667 [\mu s]$です。 例：アナログ部から入力された2ビット信号に対して100 μs位相調整を行いたい場合、$100 / 0.6667 = 150$ [段]となるため、レジスタ設定値は96Hとなります。</p>	

注 480H以上は設定禁止です。

注意 ビット15-11には必ず0を設定してください。

19.2.7 ΔΣA/Dコンバータ変換結果レジスタn (DSADCRnL, DSADCRnM, DSADCRnH) (n = 0, 1, 2, 3)

DSADCRn (H/M/L) レジスタは、各チャンネルのΔΣA/Dコンバータの変換結果を保持する24ビット・レジスタです。

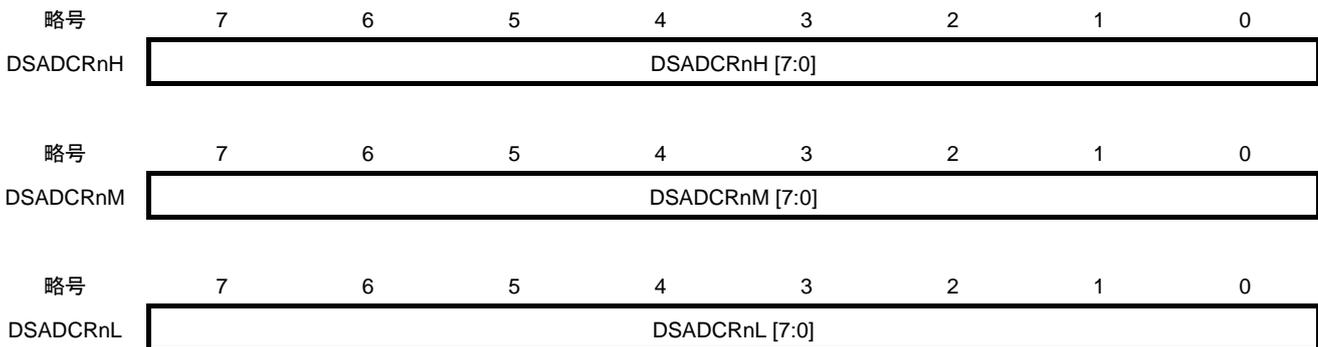
DSADCRnL, DSADCRnM, DSADCRnHレジスタは、それぞれ8ビット・メモリ操作命令で読み出せます。ΔΣA/Dコンバータ・モード・レジスタ (DSADMR) のDSADTYPビットの設定によりΔΣA/Dコンバータの変換結果の読み出し動作が異なります。

ΔΣA/Dコンバータ・モード・レジスタ (DSADMR) のDSADCEnビットを0にするか、またはリセット信号の発生によりDSADCRnL, DSADCRnM, DSADCRnHレジスタは、00Hに初期化されます。

図19-9 ΔΣA/Dコンバータ変換結果レジスタn
(DSADCRnL, DSADCRnM, DSADCRnH) (n = 0, 1, 2, 3) のフォーマット

アドレス : F0760H (DSADCR0L), F0761H (DSADCR0M), F0762H (DSADCR0H),
F0764H (DSADCR1L), F0765H (DSADCR1M), F0766H (DSADCR1H),
F0768H (DSADCR2L), F0769H (DSADCR2M), F076AH (DSADCR2H),
F076CH (DSADCR3L), F076DH (DSADCR3M), F076EH (DSADCR3H)

リセット時 : 00H R



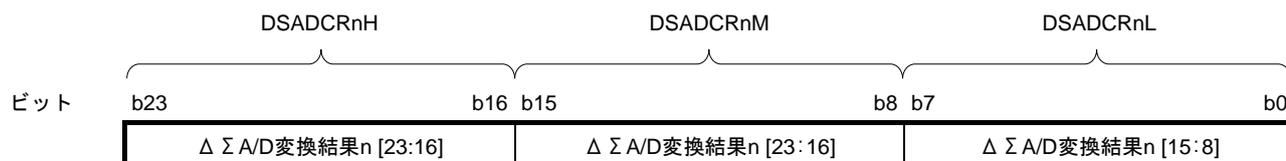
• 24ビット分解能設定時 (DSADMRレジスタのDSADTYP = 0)



ビット	シンボル	チャンネルnの変換結果
b7-b0	DSADCRnL [7:0]	チャンネルnの変換結果ビット7-0
b15-b8	DSADCRnM [7:0]	チャンネルnの変換結果ビット15-8
b23-b16	DSADCRnH [7:0]	チャンネルnの変換結果ビット23-16

(注意は次ページにあります。)

- 16ビット分解能設定時 (DSADMRレジスタのDSADTYP = 1)



ビット	シンボル	チャンネルnの変換結果
b7-b0	DSADCRnL [7:0]	チャンネルnの変換結果ビット15-8
b15-b8	DSADCRnM [7:0]	チャンネルnの変換結果ビット23-16
b23-b16	DSADCRnH [7:0]	チャンネルnの変換結果ビット23-16

注意 必ず $\Delta\Sigma$ A/D変換完了割り込みが発生してから、 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタの最大保留時間内に読み出してください。

19.2.8 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタn (DSADCRn) (n = 0, 1, 2, 3)

DSADCRnレジスタは、各チャンネルの変換結果を16ビット・メモリ操作命令でアクセスするためのレジスタです。

DSADCRnレジスタは、それぞれ16ビット・メモリ操作命令で読み出せます。 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) のDSADTYPビットの設定により、 $\Delta\Sigma$ A/Dコンバータの変換結果の読み出し動作が異なります。

$\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) のDSADCEnビットを0にするか、またはリセット信号の発生により、DSADCRnレジスタは0000Hに初期化されます。

図19-10 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタn (DSADCRn) (n = 0, 1, 2, 3) のフォーマット

アドレス： F0760H (DSADCR0), F0764H (DSADCR1), F0768H (DSADCR2), F076CH (DSADCR3)

リセット時： 0000H R



- 24ビット分解能設定時 (DSADMRレジスタのDSADTYP = 0) 注

ビット	シンボル	チャンネルnの変換結果
b15-b0	DSADCRn [15:0]	チャンネルnの変換結果ビット15-0

- 16ビット分解能設定時 (DSADMRレジスタのDSADTYP = 1) 注

ビット	シンボル	チャンネルnの変換結果
b15-b0	DSADCRn [15:0]	チャンネルnの変換結果ビット23-8

注 $\Delta\Sigma$ A/D変換結果へのアクセスはDSADMRレジスタのDSADTYPの設定で変わります

- DSADTYP = 0： 下位16ビットを読み出すことができます。
上位8ビットはDSADCRnHを読み出してください。
- DSADTYP = 1： 上位16ビットを読み出すことができます。

注意 必ず $\Delta\Sigma$ A/D変換完了割り込みが発生してから、 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタの最大保留時間内に読み出してください。

19.2.9 ΔΣA/Dコンバータ変換結果レジスタ (LPF) n (DSADCRLPFnL, DSADCRLPFnM, DSADCRLPFnH) (n = 0, 1, 2, 3)

DSADCRLPFn (H/M/L) レジスタは、各チャンネルのローパス・フィルタ後の変換結果または、各チャンネルのデシメーション・フィルタ後の変換結果 (17ビット) を格納する24ビット・レジスタです。ΔΣA/Dコンバータ・デシメーション・フィルタ・コントロール・レジスタ (DSADDECCR) のDSADDECCSELビットの設定によりDSADCRLPFn (H/M/L) レジスタの動作が異なります。

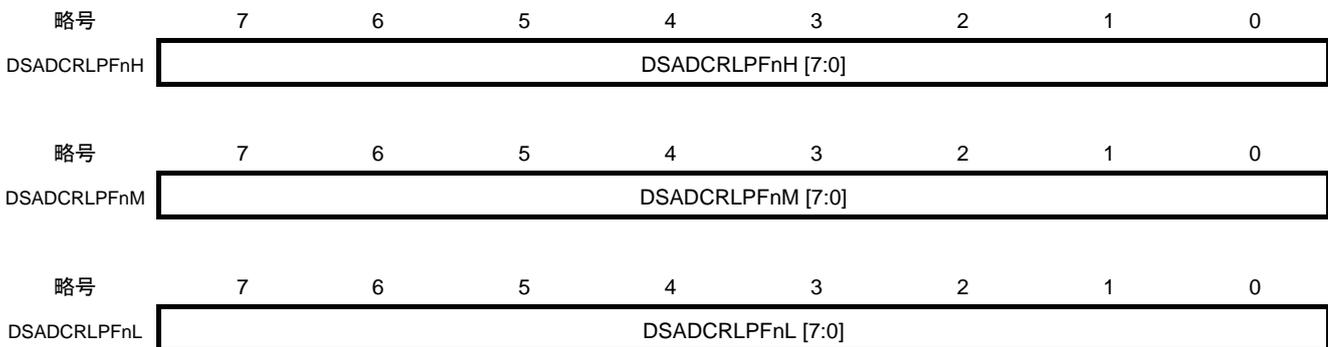
DSADCRLPFnL, DSADCRLPFnM, DSADCRLPFnHレジスタは、それぞれ8ビット・メモリ操作命令で読み出せます。ΔΣA/Dコンバータ・モード・レジスタ (DSADMR) のDSADTYPビットの設定によりΔΣA/Dコンバータの変換結果 (LPF) の読み出し動作が異なります。

ΔΣA/Dコンバータ・モード・レジスタ (DSADMR) のDSADCEnビットを0にするか、またはリセット信号の発生によりDSADCRLPFnL, DSADCRLPFnM, DSADCRLPFnHレジスタは、00Hに初期化されます。

図19-11 ΔΣA/Dコンバータ変換結果レジスタ (LPF) n
(DSADCRLPFnL, DSADCRLPFnM, DSADCRLPFnH) (n = 0, 1, 2, 3) のフォーマット

アドレス : F0770H (DSADCRLPF0L), F0771H (DSADCRLPF0M), F0772H (DSADCRLPF0H),
F0774H (DSADCRLPF1L), F0775H (DSADCRLPF1M), F0776H (DSADCRLPF1H),
F0778H (DSADCRLPF2L), F0779H (DSADCRLPF2M), F077AH (DSADCRLPF2H),
F077CH (DSADCRLPF3L), F077DH (DSADCRLPF3M), F077EH (DSADCRLPF3H)

リセット時 : 00H R



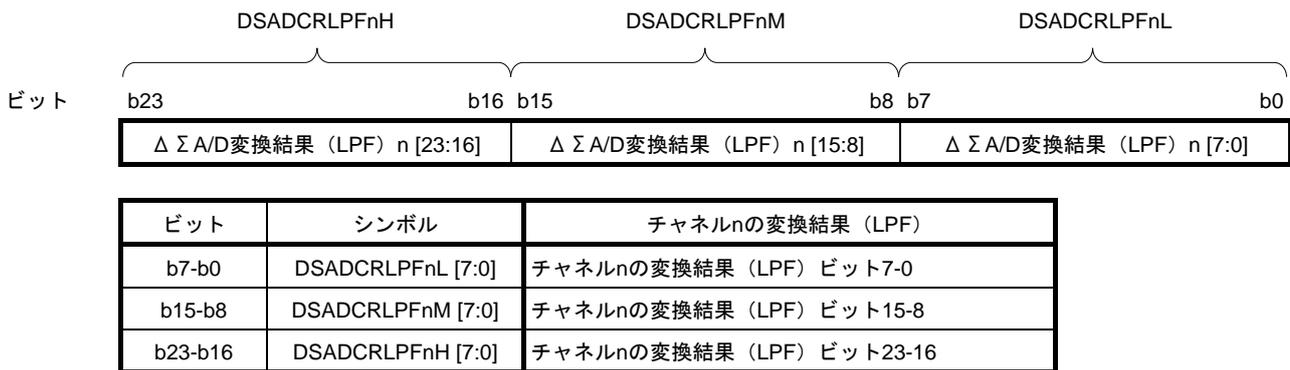
注意 必ずΔΣA/D変換完了割り込みが発生してから、ΔΣA/Dコンバータ変換結果レジスタ (LPF) nの最大保留時間内に読み出してください。

(1) ローパス・フィルタの出力結果を参照する場合 (DSADDECSELビット = 0)

DSADDECSELビットに0を設定した場合、DSADCRLPFn (H/M/L) レジスタは、各チャンネルのローパス・フィルタ後の変換結果を格納する24ビット・レジスタとして動作します。ΔΣA/DコンバータHPFコントロール・レジスタ (DSADHPFCR) のDSADTHRn (n=0-3) ビットによるハイパス・フィルタの有効/無効の設定によらず、常にハイパス・フィルタ無効時の変換結果が格納されます。

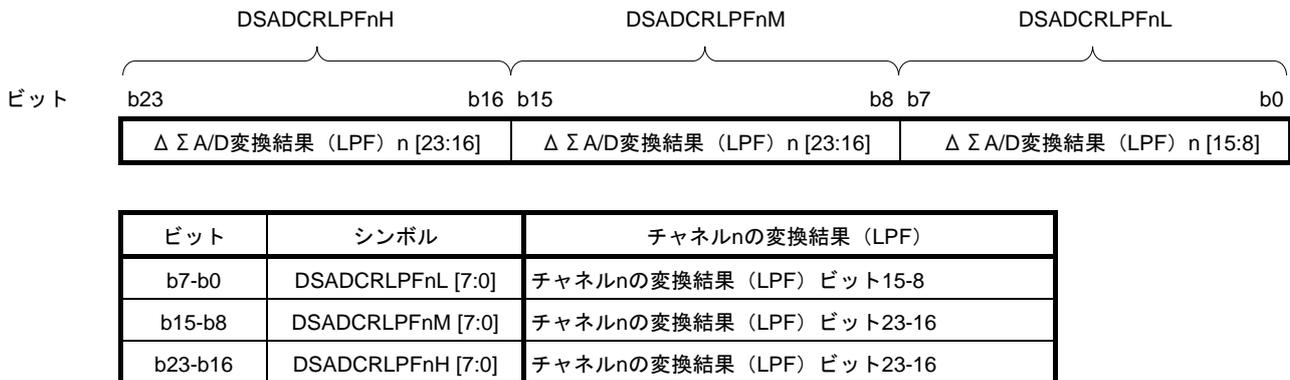
• 24ビット分解能設定時 (DSADMRレジスタのDSADTYPビット = 0)

DSADCRLPFnH, DSADCRLPFnM, DSADCRLPFnLレジスタの読み出しにより、ΔΣA/Dコンバータの変換結果 (LPF) 24ビットが読み出せます。



• 16ビット分解能設定時 (DSADMRレジスタのDSADTYPビット = 1)

DSADCRLPFnM, DSADCRLPFnLレジスタの読み出しにより、A/D変換結果レジスタ (LPF) n の上位16ビットが読み出せます。DSADCRLPFnHレジスタを読み出した場合は、A/D変換結果レジスタ (LPF) n の23-16ビットが読み出せます。



(2) デシメーション・フィルタの出力結果を参照する場合 (DSADDECSELビット = 1)

DSADDECSELビットに1を設定した場合、DSADCRLPFn (H/M/L) レジスタは、各チャネルのデシメーション・フィルタ後の変換結果 (17ビット) を格納する24ビット・レジスタとして動作します。

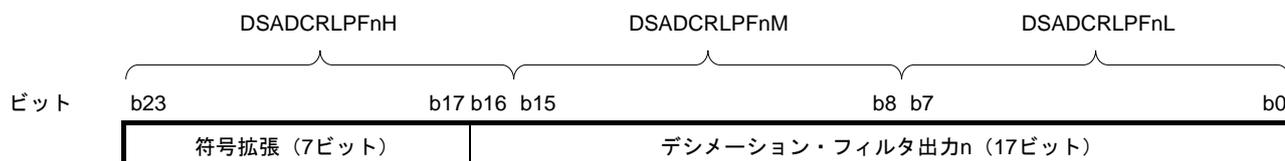
DSADCRLPFnH, DSADCRLPFnM, DSADCRLPFnL レジスタはそれぞれ8ビット操作命令で読み出せます。

注意 必ずデシメーション・フィルタ出力完了割り込み (INTDSADDEC) が発生してからΔΣA/Dコンバータ変換結果レジスタ (LPF) nの更新タイミングまでに読み出してください。

- 24ビット分解能設定時 (DSADMRレジスタのDSADTYPビット = 0) / 16ビット分解能設定時 (DSADMRレジスタのDSADTYPビット = 1) 共通

DSADCRLPFnH, DSADCRLPFnM, DSADCRLPFnLレジスタの読み出しにより、ΔΣA/Dコンバータの各チャネルのデシメーション・フィルタ後の変換結果 (17ビット) が24ビット右詰めを読み出せます。

23-17ビット目の7ビットは16ビット目が符号拡張された値が格納されます。



ビット	シンボル	チャネルnの変換結果
b7-b0	DSADCRLPFnL [7:0]	デシメーション・フィルタ出力ビット7-0
b15-b8	DSADCRLPFnM [7:0]	デシメーション・フィルタ出力ビット15-8
b23-b16	DSADCRLPFnH [7:0]	デシメーション・フィルタ出力ビット16, 符号拡張ビット0-6

19.2.10 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) n (DSADCRLPFn) (n = 0, 1, 2, 3)

DSADCRLPFnレジスタは、各チャンネルのローパス・フィルタ後の変換結果または、各チャンネルのデシメーション・フィルタ後の変換結果 (17ビット) を格納する24ビット・レジスタを、16ビット・メモリ操作でアクセスするためのレジスタです。 $\Delta\Sigma$ A/Dコンバータ・デシメーション・フィルタ・コントロール・レジスタ (DSADDECCR) のDSADDECSELビットの設定によりDSADCRLPFnレジスタの動作が異なります。

DSADCRLPFnレジスタは、それぞれ16ビット・メモリ操作命令で読み出せます。 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) のDSADTYPビットの設定により、 $\Delta\Sigma$ A/Dコンバータの変換結果の読み出し動作が異なります。

$\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) のDSADCEnビットを0にするか、またはリセット信号の発生により、DSADCRLPFnレジスタは0000Hに初期化されます。

図19-12 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) n (DSADCRLPFn) (n = 0, 1, 2, 3) のフォーマット

アドレス： F0770H (DSADCRLPF0), F0774H (DSADCRLPF1), F0778H (DSADCRLPF2), F077CH (DSADCRLPF3)

リセット時： 0000H R



注意 必ず $\Delta\Sigma$ A/D変換完了割り込みが発生してから、 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) nの最大保留時間内に読み出してください。

(1) ローパス・フィルタの出力結果を参照する場合 (DSADDECSELビット = 0)

DSADDECSELビットに0を設定した場合、DSADCRLPF_nレジスタは、各チャンネルのローパス・フィルタ後の変換結果を格納する24ビット・レジスタを、16ビット・メモリ操作でアクセスするためのレジスタとして動作します。

$\Delta\Sigma$ A/DコンバータHPFコントロール・レジスタ (DSADHPFCR) のDSADTHR_n (n=0-3) ビットによるハイパス・フィルタの有効/無効の設定によらず、常にハイパス・フィルタ無効時の変換結果が格納されます。

- 24ビット分解能設定時 (DSADMRレジスタのDSADTYPビット = 0) 注

DSADCRLPF_nレジスタの読み出しにより、A/D変換結果レジスタ (LPF) nの下位16ビットが読み出せません。

ワード操作命令により24ビットデータの下位16ビットを読み出すことで、24ビットデータアクセスの高速化が可能となります。

ビット	シンボル	チャンネルnの変換結果 (LPF)
b15-b0	DSADCRLPF _n [15:0]	チャンネルnの変換結果 (LPF) ビット15-0

- 16ビット分解能設定時 (DSADMRレジスタのDSADTYPビット = 1) 注

DSADCRLPF_nレジスタの読み出しにより、A/D変換結果レジスタ (LPF) nの上位16ビットが読み出せません。A/D変換結果を16ビット分解能として使用する場合、ワード操作命令により1命令でアクセス可能です。

ビット	シンボル	チャンネルnの変換結果 (LPF)
b15-b0	DSADCRLPF _n [15:0]	チャンネルnの変換結果 (LPF) ビット23-8

注 $\Delta\Sigma$ A/D変換結果へのアクセスはDSADMRレジスタのDSADTYPの設定で変わります

- DSADTYP = 0 : 下位16ビットを読み出すことができます。

上位8ビットはDSADCRLPF_nHを読み出してください。

- DSADTYP = 1 : 上位16ビットを読み出すことができます。

(2) デシメーション・フィルタの出力結果を参照する場合 (DSADDECSELビット = 1)

DSADDECSELビットに1を設定した場合、DSADCRLPF_nレジスタは、各チャンネルのデシメーション・フィルタ後の変換結果 (17ビット) を格納する24ビット・レジスタを、16ビット・メモリ操作でアクセスするためのレジスタとして動作します。

- 24ビット分解能設定時 (DSADMRレジスタのDSADTYPビット = 0) / 16ビット分解能設定時 (DSADMRレジスタのDSADTYPビット = 1) 共通

DSADCRLPF_nレジスタの読み出しにより、 $\Delta\Sigma$ A/Dコンバータの各チャンネルのデシメーション・フィルタ後の変換結果 (17ビット) の下位16ビットが読み出せません。

ワード操作命令により24ビットデータの下位16ビットを読み出すことで、24ビットデータアクセスの高速化が可能となります。

ビット	シンボル	チャンネルnの変換結果
b15-b0	DSADCRLPF _n [15:0]	デシメーション・フィルタ出力ビット15-0

19.2.11 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

24ビット $\Delta\Sigma$ A/Dコンバータを使用するときは、必ずビット0 (DSADCEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-13 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCEN	SMOTD1EN	SMOTD0EN	DTCEN	TRJ1EN	TRJ0EN	DSADCEN

DSADCEN	24ビット $\Delta\Sigma$ A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・24ビット $\Delta\Sigma$ A/Dコンバータで使用するSFRへのライト不可、 リードした場合は00Hが読めます。ただし、初期化はされていません。 ^注
1	入カクロック供給 ・24ビット $\Delta\Sigma$ A/Dコンバータで使用するSFRへのリード/ライト可

注 24ビット $\Delta\Sigma$ A/Dコンバータおよび24ビット $\Delta\Sigma$ A/Dコンバータで使用するSFR を初期化する場合、PRR1のビット0 (DSADRES) を使用してください。

注意1. 24ビット $\Delta\Sigma$ A/Dコンバータの設定をする際には、必ず最初にDSADCEN = 1の設定を行ってください。

DSADCEN = 0の場合は、 $\Delta\Sigma$ A/Dコンバータの制御レジスタへの書き込みは無視されません。

2. ビット7には必ず0を設定してください。

3. 入カクロックに高速オンチップ・オシレータが選択されている場合、必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させ、周波数精度の高いクロックを入力してください。

19.2.12 周辺リセット制御レジスタ1 (PRR1)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR1レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

24ビットΔΣA/Dコンバータをリセットする場合は、必ずビット0 (DSADRES) を1に設定してください。

PRR1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR1レジスタは00HIになります。

図19-14 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR1	0	0	SMOTD1RES	SMOTD0RES	0	TRJ1RES	TRJ0RES	DSADRES

DSADRES	24ビットΔΣA/Dコンバータのリセット制御
0	24ビットΔΣA/Dコンバータはリセット解除
1	24ビットΔΣA/Dコンバータはリセット状態

19.2.13 周辺クロック制御レジスタ (PCKC)

周辺クロックを制御するレジスタです。ビット0で24ビットΔΣA/Dコンバータのクロックを選択します。

PCKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-15 周辺クロック制御レジスタ (PCKC) のフォーマット

アドレス : F0098H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PCKC	0	0	0	0	0	0	PLLCK	DSADCK

DSADCK	24ビットΔΣA/Dコンバータの動作クロックの選択
0	高速オンチップ・オシレータ・クロック ($f_{HOCO}/2$) 供給。(f _{MX} 供給停止) 注1
1	高速システム・クロック供給 (f _{MX}) 供給 注2

注1. 高速オンチップ・オシレータ・クロックを選択時は、必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。

2. 高速システム・クロックの周波数 (f_{MX}) は水晶発振子12 MHzのみ使用可能です。

注意 ビット7-2には必ず0を設定してください。

19.3 動作説明

24ビット $\Delta\Sigma$ A/Dコンバータは、4本の $\Delta\Sigma$ A/Dコンバータ変換結果としてデジタル信号の入力端子を持ちます。この $\Delta\Sigma$ A/Dコンバータ結果から2ビット値をデジタルフィルタに通すことで、24ビットのデジタル値に変換します。

アナログ部の $\Delta\Sigma$ A/Dコンバータのモード設定はDSADMR, DSADGCR0, DSADGCR1レジスタの値によって決まります。表19-4にモード設定表を示します。

表19-4 モード設定表

信号／モード	①通常	② $\Delta\Sigma$ A/D変換停止	③パワーダウン
DSADGAINn2-DSADGAINn0	任意	任意	任意
DSADPONn	1	1	0
DSADCEn	1	0	0

備考 n = 0~3

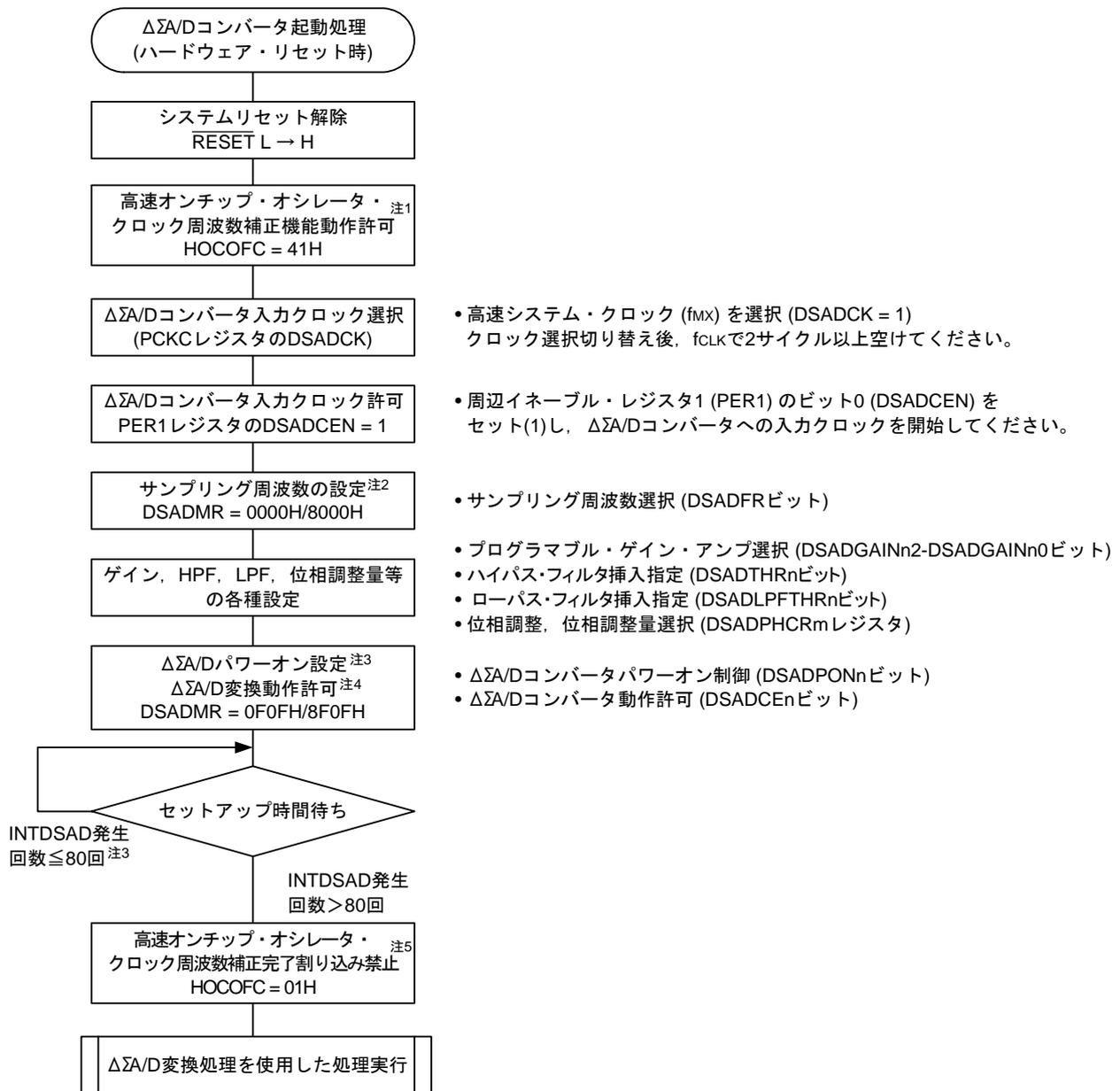
19.3.1 24ビットΔΣA/Dコンバータの動作

高速オンチップ・オシレータ・クロック ($f_{HOCO}/2$) を選択する場合は、ΔΣA/Dコンバータを動作させる前に、「7.3.2 動作手順」に従い必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。

高速システム・クロック (f_{MX}) を選択する場合は、クロック選択切り替え後に f_{CLK} で2サイクル以上空けてください。

DSADMRレジスタのDSADPONnビット ($n = 0\sim3$)、DSADCEnビットに1を設定することにより、変換動作を開始します。パワーオン後および変換開始後は、アナログ部やデジタルフィルタ部のセットアップ時間が必要になります。次のフローに従い初期設定を行ってください。

図19-16 初期設定フロー図



(注、備考は次ページにあります。)

- 注1. 高速オンチップ・オシレータ・クロックを選択する場合のみ、 $\Delta\Sigma$ A/Dコンバータを動作させる前に必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。
2. $\Delta\Sigma$ A/Dコンバータがパワーダウン中に設定してください。
3. DSADPONnを0 → 1にした場合のセットアップ時間 (INTDSAD発生回数) は、評価後正式決定します。
4. 初期化のために一時停止 (DSADPONn = 1状態でDSADCEn = 0) にした後、再起動した場合も、セットアップ時間待ちは必要です。この場合はコンバータの安定時間が必要なため、INTDSAD1発分をセットアップ時間としてウェイトしてください。
初期化するためには、1.4 μ s以上DSADCEnを0の状態にしてください。
5. 高速オンチップ・オシレータ・クロックを選択する場合のみ実施してください。

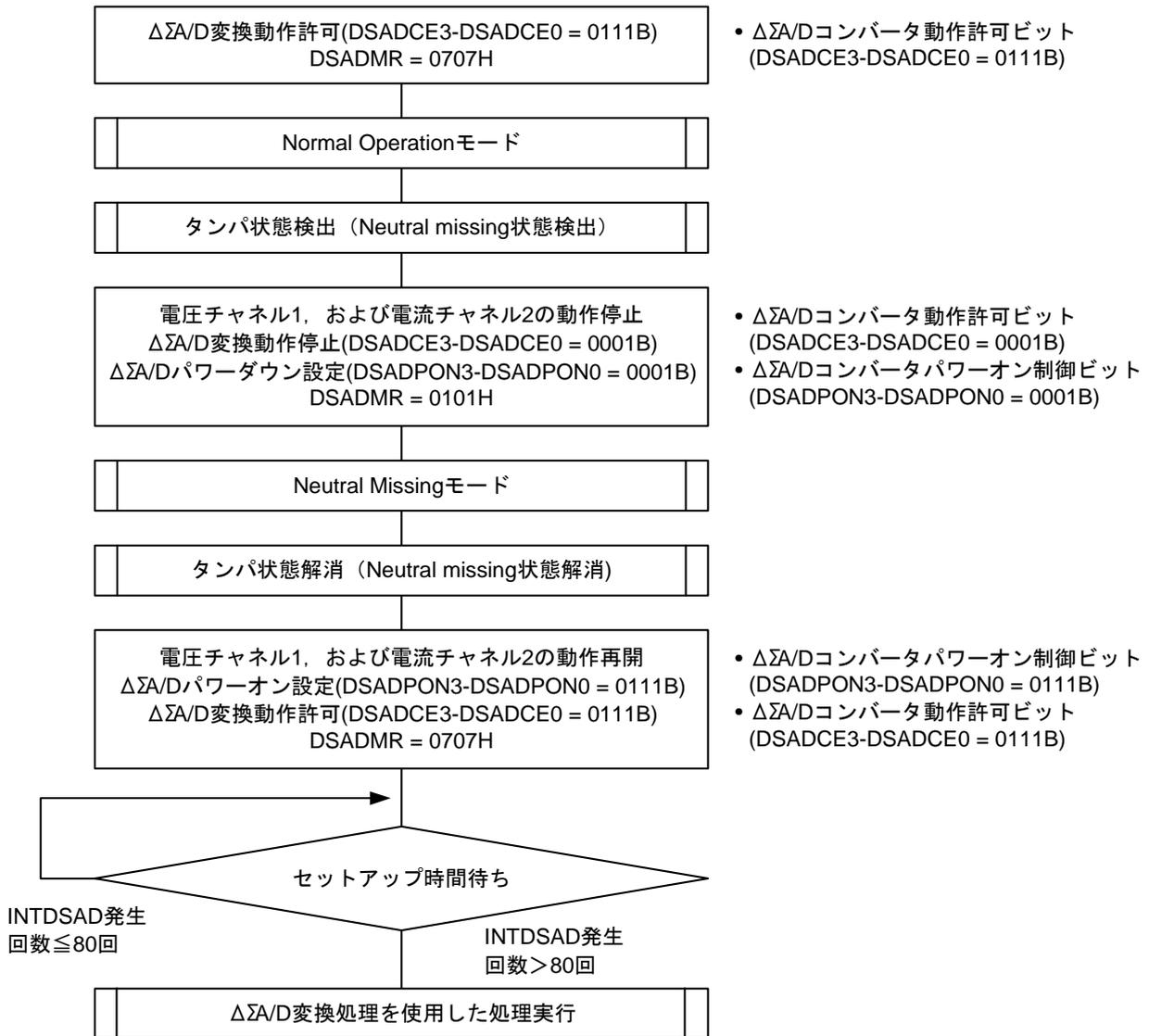
備考 n = 0~3, m = 0, 1

19.3.2 Normal OperationモードからNeutral Missingモードへの切替手順

単相二線におけるNormal Operation（アンチタンパ有り）（電流チャンネル0，電圧チャンネル1，電流チャンネル2合計3チャンネル動作）からNeutral Missingモード（電流チャンネル0のみ動作）への切り替え手順を図19-17に示します。

Neutral Missingモードは電流チャンネル0のみ動作と電流チャンネル2のみ動作があり，同様の手順で切り替えてください。

図19-17 Normal OperationからNeutral Missingモードへの切替手順



19.3.3 割り込み動作

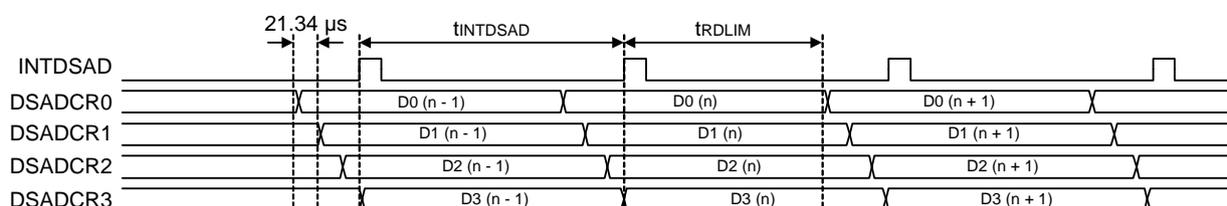
RL78/I1C (512 KB) の24ビット $\Delta\Sigma$ A/Dコンバータが持つ、割り込み機能について示します。

19.3.3.1 $\Delta\Sigma$ A/D変換終了割り込み動作

$\Delta\Sigma$ A/D変換動作を許可すると、4チャンネルのアナログ入力端子 (ANINn, ANIPn) の変換を開始します。 $\Delta\Sigma$ A/Dコンバータ回路を4セット内蔵しており、それぞれ独立して変換を実施します。全4チャンネル分の変換を終了するたびに、割り込み要求信号 (INTDSAD) を発行して、CPUに対し変換結果の読み出しが可能であることを知らせます。

INTDSADの発生周期 ($t_{INTDSAD}$) は、DSADMRレジスタのDSADFRビットで指定するサンプリング周波数により異なります。また、割り込み処理により $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (DSADCRn) を読み出す場合、最大保留時間は図19-18に示す値になりますので、それまでにDSADCRnレジスタの読み出しを完了させてください。

図19-18 INTDSAD信号発生とDSADCRnレジスタ格納タイミング



$t_{INTDSAD}$: 割り込み発生周期 : 256 μ s (DSADFR = 0)

512 μ s (DSADFR = 1)

t_{RDLIM} : DSADCR読み出し保留時間 (max) : 192 μ s (DSADFR = 0)

384 μ s (DSADFR = 1)

備考 n = 0~3

19.3.3.2 デシメーション・フィルタ出力完了割り込み動作

デシメーション・フィルタの処理を完了するたびに、割り込み要求信号 (INTDSADDEC) を発行して、CPUに対し変換結果の読み出しが可能であることを知らせます。

DSADDECCRレジスタのDSADDECENビットによりデシメーション・フィルタ出力完了割り込み (INTDSADDEC) 発生の許可/禁止を選択可能です。

INTDSADDECの発生周期 ($t_{INTDSADDEC}$) は、DSADMRレジスタのDSADFRビットで指定するサンプリング周波数によって異なります。割り込み処理により $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (LPF) n (DSADCRLPFn) を読み出す場合、下記に示す最大保留時間 ($t_{RDDECLIM}$) 以内に読み出しを完了させてください。

$t_{INTDSADDEC}$: 割り込み発生周期 : 21.3 μ s (DSADFR = 0) , 42.6 μ s (DSADFR = 1)

$t_{RDDECLIM}$: DSADCR読み出し保留時間 (max) : 21.3 μ s (DSADFR = 0) , 42.6 μ s (DSADFR = 1)

19.3.4 スタンバイ時の動作

STOP動作モード時は、 $\Delta\Sigma$ A/Dコンバータ、デジタルフィルタは動作しません。消費電流を低減させるため、STOP命令実行前に $\Delta\Sigma$ A/Dコンバータの動作を停止（DSADMRレジスタのDSADCE_n = 0000B）およびパワーダウン（DSADMRレジスタのDSADPON_n = 0000B）させてください。

備考 n = 0~3

19.3.5 ハイパス・フィルタ（HPF）バイパス機能

ハイパス・フィルタ有効状態においても、ハイパス・フィルタ無効時の $\Delta\Sigma$ A/Dコンバータ変換結果を同時に読み出すことが可能です。

ハイパス・フィルタ無効時の $\Delta\Sigma$ A/Dコンバータ変換結果読み出しの詳細は、19.2.9 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ（LPF）n（DSADCRLPF_{nL}, DSADCRLPF_{nM}, DSADCRLPF_{nH}）（n = 0, 1, 2, 3）(1) ローパス・フィルタの出力結果を参照する場合（DSADDECSELビット = 0）を参照してください。

19.3.6 ローパス・フィルタ（LPF）バイパス機能

デジタル・フィルタ部（DF）の機能としてデシメーション・フィルタとローパス・フィルタ（LPF）を搭載しており常時有効状態です。ローパス・フィルタ（LPF）バイパス機能はDSADDEC_{CR}レジスタのDSADDECSELビットを1に設定する事で、デシメーション・フィルタ後の $\Delta\Sigma$ A/Dコンバータ変換結果（17ビット）を読み出す事が可能です。デシメーション・フィルタの出力を使ってソフトウェアでLPF処理を行うことで、通常の電力演算を行いながら、高次高調波電力を解析することが可能です。

ローパス・フィルタ無効時の $\Delta\Sigma$ A/Dコンバータ変換結果読み出しの詳細は、19.2.9 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ（LPF）n（DSADCRLPF_{nL}, DSADCRLPF_{nM}, DSADCRLPF_{nH}）（n = 0, 1, 2, 3）(2) デシメーション・フィルタの出力結果を参照する場合（DSADDECSELビット = 1）を参照してください。

19.4 24ビット $\Delta\Sigma$ A/Dコンバータ使用上の注意事項

19.4.1 外部端子

AV_{DD}端子は $\Delta\Sigma$ A/Dコンバータのアナログ電源端子です。

AV_{SS0}端子は $\Delta\Sigma$ A/Dコンバータのグランド電源端子です。 $\Delta\Sigma$ A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

19.4.2 SFRアクセス

- (1) DSADCR_n, DSADCRLPF_nレジスタの読み出しは、 $\Delta\Sigma$ A/D変換終了割り込み (INTDSAD) 処理にて行ってください。

$\Delta\Sigma$ A/D変換完了割り込み発生前にDSADCR_n, DSADCRLPF_nレジスタを読み出した場合、DSADCR_n, DSADCRLPF_nレジスタへの変換値格納と読み出しの競合により、不正な値を読み出すことがあります。INTDSAD処理でのDSADCR_n, DSADCRLPF_nレジスタの読み出し保留期間は、

192 μ s (DSADFR = 0設定時)

384 μ s (DSADFR = 1設定時)

になりますので、それまでにDSADCR_n, DSADCRLPF_nレジスタの読み出しを完了させてください。

DSADCR_{nL}, DSADCR_{nM}, DSADCR_{nH}, DSADCRLPF_{nL}, DSADCRLPF_{nM}, DSADCRLPF_{nH}レジスタの読み出しも同様の読み出し条件となります。

- (2) パワーオン (DSADMRレジスタのDSADPON_n = 1) 後、 $\Delta\Sigma$ A/Dコンバータ内部のセットアップ時間が必要になるため、動作開始後80回分の変換結果レジスタ値は無効データになります。
- (3) 初期化のために変換動作を一時停止 (DSADMRレジスタのDSADCE_nビット = 0, DSADPON_n = 1状態) した後、再度、変換開始した場合もセットアップ時間待ちは必要です。この場合はコンバータの安定時間が必要なため、INTDSAD1発分をセットアップ時間としてウェイトしてください。初期化するためには1.4 μ s以上、DSADCE_n = 0の状態にしてください。
- (4) 変換動作許可 (DSADCE_nビット = 1) 後、正常なデータが出力されるまでの時間は、その時のアナログ入力状態に依存します。これはアナログ入力状態によりハイパス・フィルタの安定時間が変化するためです。
- (5) サンプリング周波数の設定 (DSADMRレジスタのDSADFRビット) はDSADMRレジスタのDSADPON_nビットが“0”の状態を実施してください。
また、DSADGCR1, DSADGCR0レジスタ, DSADHPFCRレジスタのDSADCOF[1:0]ビット, DSADPHCR_nレジスタの設定は、必ず変換停止 (DSADCE_n = 0) 状態を実施してください。
- (6) DSADCR_n, DSADCRLPF_nレジスタはDSADCE_nビット = 0時に初期化されるため、DSADCR_n, DSADCRLPF_nレジスタの読み出しはDSADCE_nビット = 1の状態を実施してください。
- (7) ソフトウェアSTOPモードに移行する前に、DSADMRレジスタのDSADPON_nビット = 0にしてください。DSADPON_nビット = 1の状態でもソフトウェアSTOPモードに入ると電流が流れます。
- (8) DSADHPFCRレジスタのDSADTHR_nビットは、以下の条件下で書き込みを完了してください。
 - ・ DSADCE_n=0 (変換停止中)

備考 n = 0~3

19.4.3 動作クロックの設定

24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロック (f_{HOCO}) の2分周を選択する場合は、高速オンチップ・オシレータ・クロックの源発振クロック周波数 (f_{HOCO}) を24 MHzにする為に、ユーザ・オプション・バイトのFRQSEL3を“0”に設定してください。

PCKCレジスタのDSADCK = 1により高速システム・クロック (f_{MX}) を使用する場合は、12 MHzを供給してください。

また、高速オンチップ・オシレータ・クロック ($f_{HOCO}/2$) を選択する場合は、必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。

- 注意1.** 動作開始後80回分のINTDSAD信号をカウントし、それ以降のINTDSAD信号発生から変換データを取り込んでください。
- 2.** 安定時間については、使用する環境に合わせて十分な評価を行ってください。

24ビット $\Delta\Sigma$ A/Dコンバータを動作中から停止する場合は、DSADMRレジスタのDSADPON3-DSADPON0ビットに0000Bを設定後、PER1レジスタのDSADCENビットに0を設定してください。

19.4.4 入力範囲

24ビット $\Delta\Sigma$ A/Dコンバータは**43. 6. 2 24ビット $\Delta\Sigma$ A/Dコンバータ特性**に記載されている入力範囲内でご使用ください。入力電圧範囲を超える20kHz以上の信号が入力された場合、 $\Delta\Sigma$ A/Dコンバータの変換結果に変換誤差が発生する可能性があります。入力電圧範囲を超える20kHz以上の信号入力が発生する場合は外部回路などにより対策が必要な場合があります。

第20章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに最大4つのシリアル・チャンネルを持ちます。各チャンネルは簡易SPI (CSI^注)、UART、簡易I²Cの通信機能を実現できます。

RL78/I1C (512 KB) で対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

80ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	-		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	-	UART2 (IrDA対応)	-
	1	-		-
	2	-	-	-
	3	-	-	-

100ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	-		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	-	UART2 (IrDA対応)	-
	1	-		-
	2	CSI30	UART3	IIC30
	3	-		-
2	0	-	UART4	-
	1	-		-

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やIIC00を使用することはできませんが、チャンネル2, 3のUART1やIIC10は使用することができます。

20.1 シリアル・アレイ・ユニットの機能

RL78/I1C (512 KB) で対応している各シリアル・インタフェースの特徴を示します。

20.1.1 簡易SPI (CSI00, CSI10, CSI30)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信/受信を行います。

シリアル・クロック (SCK) 1本と送信、受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、「**20.5 簡易SPI (CSI00, CSI10, CSI30) 通信の動作**」を参照してください。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート^注 マスタ通信時 : Max. $f_{MCK}/2$
スレーブ通信時 : Max. $f_{MCK}/6$

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また、CSI00は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

注 SCKサイクル・タイム (t_{CY}) の特性を満たす範囲内で使用してください。詳細は、**第43章 電気的特性**を参照してください。

20.1.2 UART (UART0-UART4)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して) データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

具体的な設定例は、「**20.6 UART (UART0-UART4) 通信の動作**」を参照してください。

[データ送受信]

- ・ 7, 8, 9ビットのデータ長^注
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART0受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

UART0 (ユニット0のチャネル0, 1) は、LIN-busに対応しています。

[LIN-bus機能]

- ・ ウェイクアップ信号検出
- ・ ブレーク・フィールド (BF) 検出
- ・ シンク・フィールド測定, ボー・レート算出

外部割り込み (INTP0) ,
タイマ・アレイ・ユニットを使用

注 9ビット・データ長は、UART0のみ対応しています。

20.1.3 簡易I²C (IIC00, IIC10, IIC30)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「**20.8 簡易I²C (IIC00, IIC10, IIC30) 通信の動作**」を参照してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^注, ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・ACKエラー, オーバラン・エラー

※ [簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウエイト検出機能

注 最終データの受信時は、SOEmnビット (シリアル出力許可レジスタm (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**20.8.3 (2) 処理フロー**を参照してください。

備考 1. フル機能のI²Cバスをご使用の場合は、**第21章 シリアル・インタフェースIICA**を参照してください。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2)

20.1.4 IrDA

シリアル・アレイ・ユニットのUART2とIrDAモジュールを組み合わせることで、IrDA (Infrared Data Association) 規格バージョン1.0に基づいてIrDA通信波形を送受信します。詳細は、**第23章 IrDA**を参照してください。

[データ送受信]

- ・転送レート : 115.2 kbps/57.6 kbps/38.4 kbps/19.2 kbps/9600 bps/2400 bps

20.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表20-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット ^{注1}
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位8ビットまたは9ビット ^{注1, 2}
シリアル・クロック 入出力	SCK00, SCK10, SCK30端子 (簡易SPI用), SCL00, SCL10, SCL30端子 (簡易I ² C用)
シリアル・データ 入力	SI00, SI10, SI30端子 (簡易SPI用), RxD1-RxD4端子 (UART用), RxD0端子 (LIN-bus対応UART用)
シリアル・データ 出力	SO00, SO10, SO30端子 (簡易SPI用), TxD1-TxD4端子 (UART用), TxD0端子 (LIN-bus対応UART用)
シリアル・データ 入出力	SDA00, SDA10, SDA30端子 (簡易I ² C用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャンネル許可ステータス・レジスタm (SEm) ・シリアル・チャンネル開始レジスタm (SSm) ・シリアル・チャンネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOM) ・シリアル出力レベル・レジスタm (SOLm) ・シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ0 (NFEN0) ・周辺リセット制御レジスタ0 (PRR0)
	<p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
	<ul style="list-style-type: none"> ・ポート入力モード・レジスタ0, 1, 5, 8 (PIM0, PIM1, PIM5, PIM8) ・ポート出力モード・レジスタ0, 1, 5, 8 (POM0, POM1, POM5, POM8) ・ポート・モード・レジスタ0, 1, 5, 8 (PM0, PM1, PM5, PM8) ・ポート・レジスタ0, 1, 5, 8 (P0, P1, P5, P8)

(注、備考は次ページにあります。)

注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。

・ mn = 00, 01の場合 : 下位9ビット

・ 上記以外の場合 : 下位8ビット

2. シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

・ CSIp通信時 . . . SIOp (CSIpデータ・レジスタ)

・ UARTq受信時 . . . RXDq (UARTq受信データ・レジスタ)

・ UARTq送信時 . . . TXDq (UARTq送信データ・レジスタ)

・ IICr通信時 . . . SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 30)
q : UART番号 (q = 0-4) r : IIC番号 (r = 00, 10, 30) mn = 00-03, 10-13, 20, 21

図20-1にシリアル・アレイ・ユニット0のブロック図を示します。

図20-1 シリアル・アレイ・ユニット0のブロック図

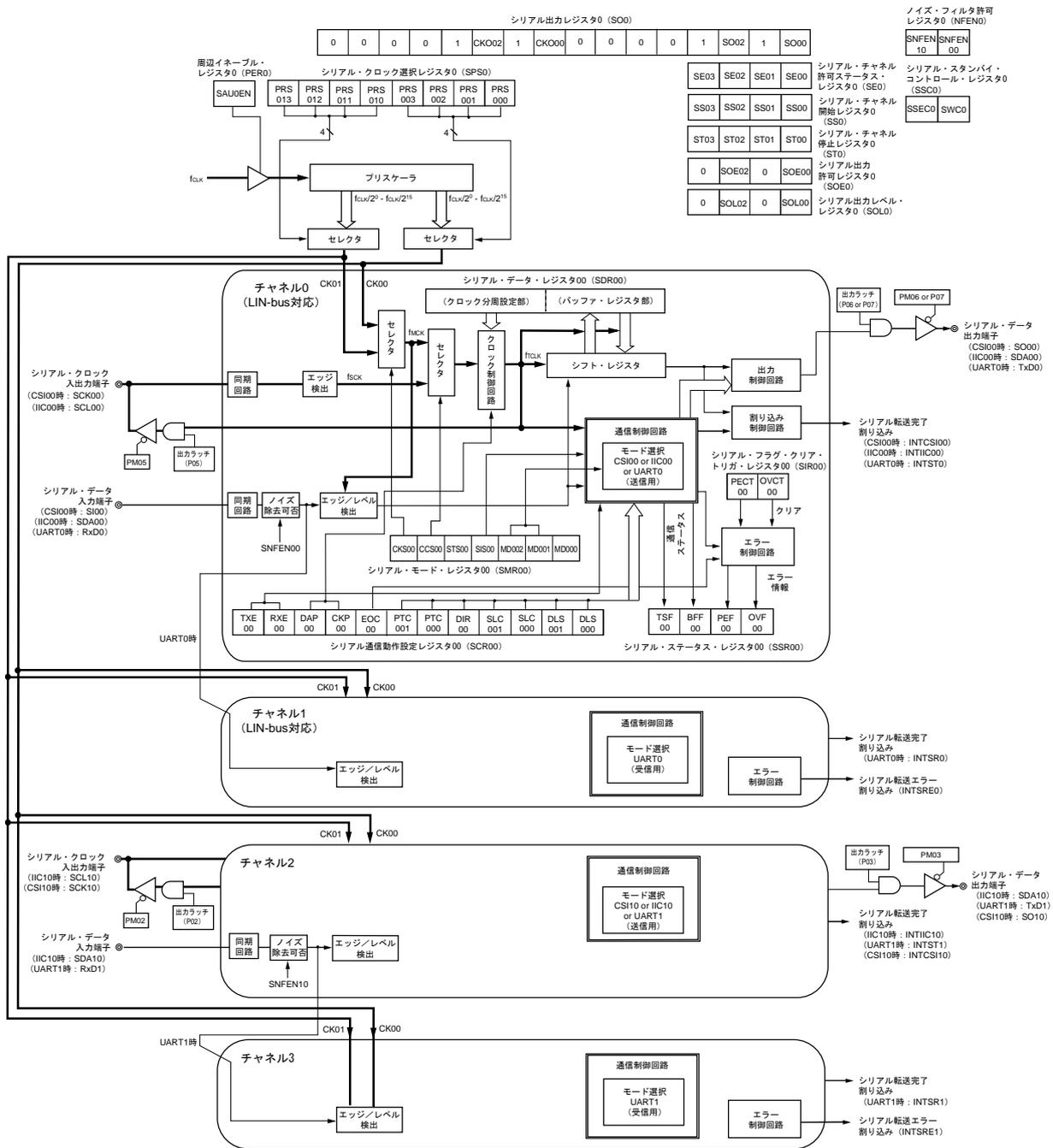


図20-2にシリアル・アレイ・ユニット1のブロック図を示します。

図20-2 シリアル・アレイ・ユニット1のブロック図

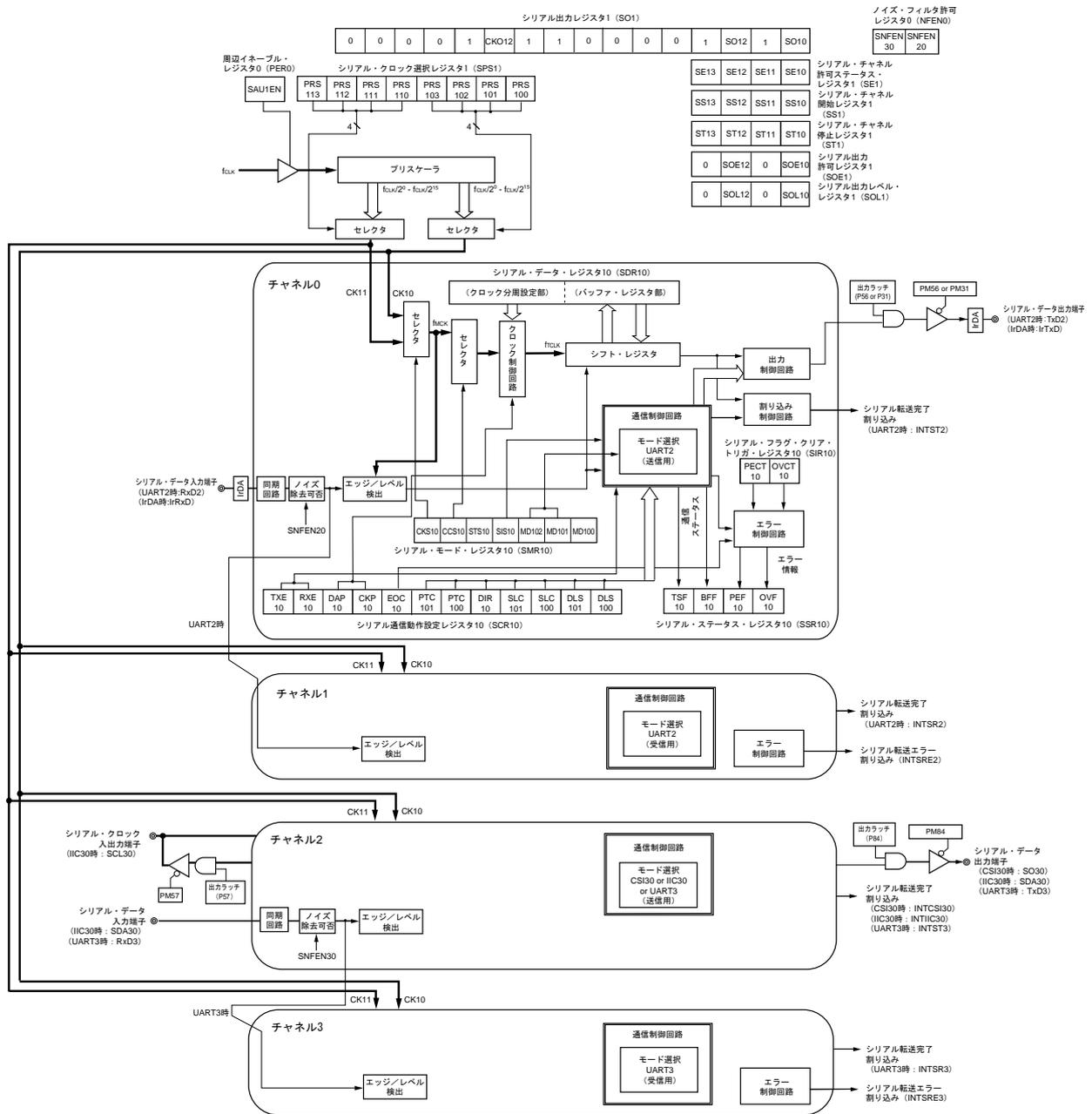
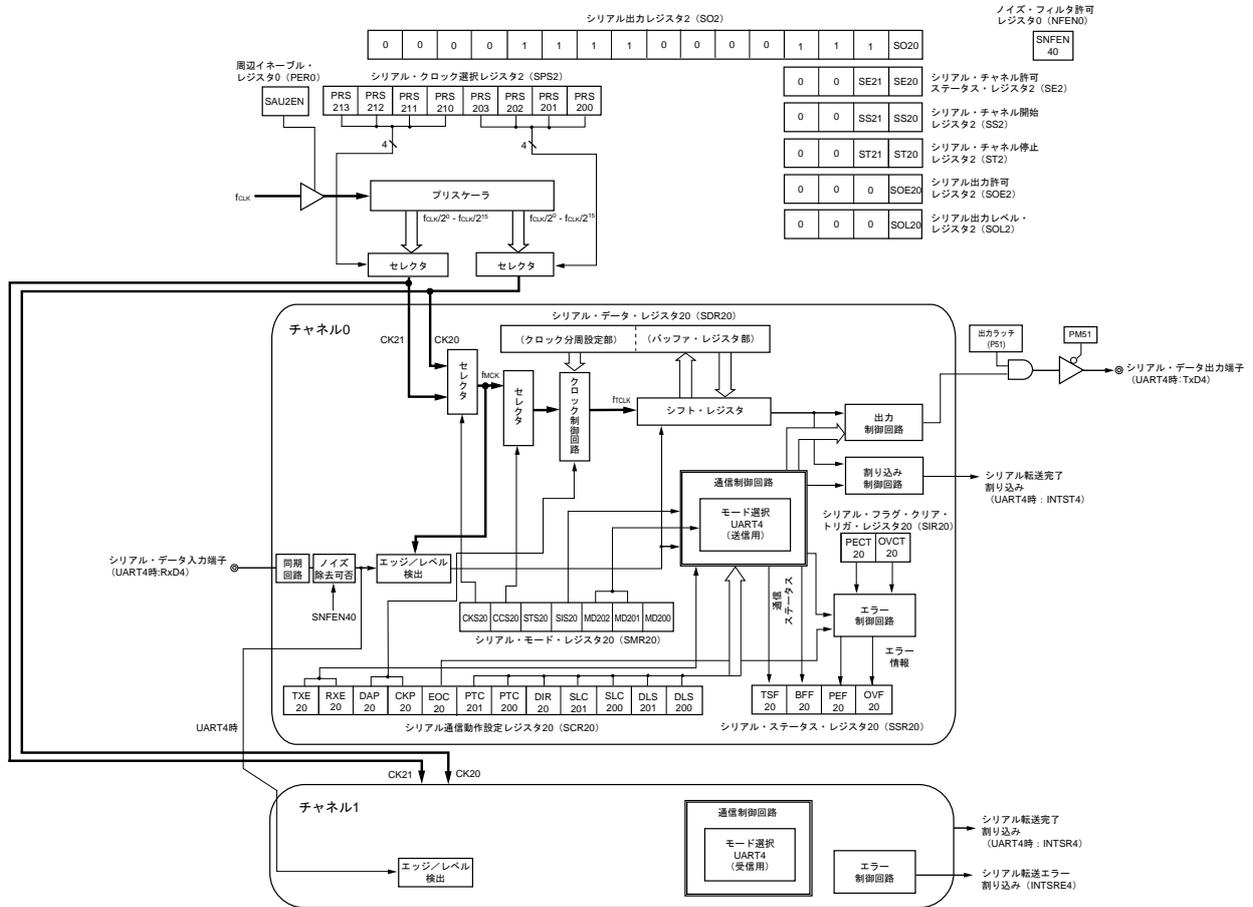


図20-3にシリアル・アレイ・ユニット2のブロック図を示します。

図20-3 シリアル・アレイ・ユニット2のブロック図



20.2.1 シフト・レジスタ

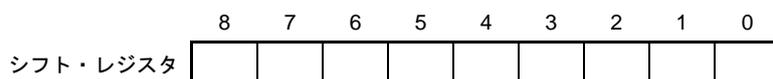
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット（ビット0～8）を使用します^注。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットを使用します。



注 9ビット・データ長は、UART0のみ対応しています

20.2.2 シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）^{注1}、またはビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック（fMCK）の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタmn（SCRmn）のビット0, 1（DLSmn0, DLSmn1）の設定によって、次のようになります。

- ・7ビット・データ長（SDRmnレジスタのビット0-6に格納）
- ・8ビット・データ長（SDRmnレジスタのビット0-7に格納）
- ・9ビット・データ長（SDRmnレジスタのビット0-8に格納）^{注1}

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^{注2}です。

- ・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）
- ・UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）
- ・UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）
- ・IICr通信時・・・SIOr（IICrデータ・レジスタ）

リセット信号の発生により、SDRmnレジスタは0000HIになります。

注1. 9ビット・データ長は、UART0のみ対応しています。

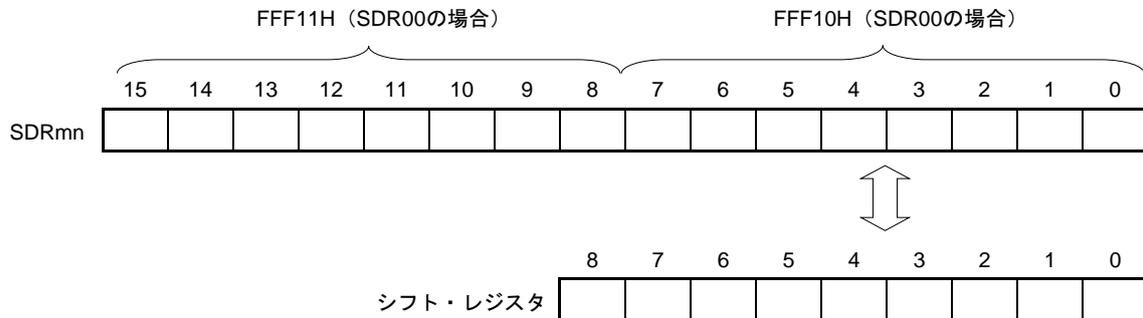
2. 動作停止（SEmn = 0）時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

2. m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 30)
q : UART番号 (q = 0-4) r : IIC番号 (r = 00, 10, 30) mn = 00-03, 10-13, 20, 21

図20-4 シリアル・データ・レジスタmn (SDRmn) (mn = 00, 01, 10, 11, 20, 21) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11) ,
 FFF58H, FFF59H (SDR20) , FFF5AH, FFF5BH (SDR21)



備考 SDRmnレジスタの上位7ビットの機能については、**20.3 シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

図20-5 シリアル・データ・レジスタmn (SDRmn) (mn = 02, 03, 12, 13) のフォーマット

アドレス : FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) , リセット時 : 0000H R/W
 FFF14H, FFF15H (SDR12) , FFF16H, FFF17H (SDR13)



注意 ビット8は、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、**20.3 シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

20.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOm)
- ・シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ0, 1, 5, 8 (PIM0, PIM1, PIM5, PIM8)
- ・ポート出力モード・レジスタ0, 1, 5, 8 (POM0, POM1, POM5, POM8)
- ・ポート・モード・レジスタ0, 1, 5, 8 (PM0, PM1, PM5, PM8)
- ・ポート・レジスタ0, 1, 5, 8 (P0, P1, P5, P8)
- ・周辺リセット制御レジスタ0 (PRR0)

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21

20.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN) に1を設定してください。

シリアル・アレイ・ユニット2を使用するときは、必ずビット1 (SAU2EN) に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図20-6 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	SAU2EN	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可、リードした場合は00Hが読めます。 ただし、初期化はされていません。 ^{注1,2,3}
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

- 注1. シリアル・アレイ・ユニット1 およびシリアル・アレイ・ユニット1で使用するSFRを初期化する場合、PRR0のビット3 (SAU1RES)を使用してください。
- 2. シリアル・アレイ・ユニット0 およびシリアル・アレイ・ユニット0で使用するSFRを初期化する場合、PRR0のビット2 (SAU0RES)を使用してください。
- 3. シリアル・アレイ・ユニット2 およびシリアル・アレイ・ユニット2で使用するSFRを初期化する場合、PRR0のビット1 (SAU2RES)を使用してください。

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります (入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ0 (NFEN0), ポート入力モード・レジスタ0, 1, 5, 8 (PIM0, PIM1, PIM5, PIM8), ポート出力モード・レジスタ0, 1, 5, 8 (POM0, POM1, POM5, POM8), ポート・モード・レジスタ0, 1, 5, 8 (PM0, PM1, PM5, PM8), ポート・レジスタ0, 1, 5, 8 (P0, P1, P5, P8)は除く)。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)

- 2. ビット7には必ず“0”を設定してください。

備考 m : ユニット番号 (m = 0-2)

20.3.2 シリアル・クロック選択レジスタm (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図20-7 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0) , F0166H, F0167H (SPS1) , リセット時 : 0000H R/W
F01E6H, F01E7H (SPS2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk) の選択 ^注						
				f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 12 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz	f _{CLK} = 32 MHz	
0	0	0	0	f _{CLK}	4 MHz	8 MHz	12 MHz	20 MHz	24 MHz	32 MHz
0	0	0	1	f _{CLK} /2	2 MHz	4 MHz	6 MHz	10 MHz	12 MHz	16 MHz
0	0	1	0	f _{CLK} /2 ²	1 MHz	2 MHz	3 MHz	5 MHz	6 MHz	8 MHz
0	0	1	1	f _{CLK} /2 ³	500 kHz	1 MHz	1.5 MHz	2.5 MHz	3 MHz	4 MHz
0	1	0	0	f _{CLK} /2 ⁴	250 kHz	500 kHz	750 kHz	1.25 MHz	1.5 MHz	2 MHz
0	1	0	1	f _{CLK} /2 ⁵	125 kHz	250 kHz	375 kHz	625 kHz	750 kHz	1 MHz
0	1	1	0	f _{CLK} /2 ⁶	62.5 kHz	125 kHz	187.5 kHz	313 kHz	375 kHz	500 kHz
0	1	1	1	f _{CLK} /2 ⁷	31.25 kHz	62.5 kHz	93.8 kHz	156 kHz	187.5 kHz	250 kHz
1	0	0	0	f _{CLK} /2 ⁸	15.62 kHz	31.25 kHz	46.9 kHz	78.1 kHz	93.8 kHz	125 kHz
1	0	0	1	f _{CLK} /2 ⁹	7.81 kHz	15.62 kHz	23.4 kHz	39.1 kHz	46.9 kHz	62.5 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	3.91 kHz	7.81 kHz	11.7 kHz	19.5 kHz	23.4 kHz	31.3 kHz
1	0	1	1	f _{CLK} /2 ¹¹	1.95 kHz	3.91 kHz	5.86 kHz	9.77 kHz	11.7 kHz	15.6 kHz
1	1	0	0	f _{CLK} /2 ¹²	976 Hz	1.95 kHz	2.93 kHz	4.88 kHz	5.86 kHz	7.81 kHz
1	1	0	1	f _{CLK} /2 ¹³	488 Hz	976 Hz	1.46 kHz	2.44 kHz	2.93 kHz	3.91 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	244 Hz	488 Hz	732 Hz	1.22 kHz	1.46 kHz	1.95 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	122 Hz	244 Hz	366 Hz	610 Hz	732 Hz	977 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中にf_{CLK}で選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAUの動作を停止 (シリアル・チャンネル停止レジスタm (STm) = 000FH) させてから変更してください。

注意 ビット15-8には、必ず0を設定してください。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. m : ユニット番号 (m = 0-2)

3. k = 0, 1

20.3.3 シリアル・モード・レジスタmn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{mck}) の選択, シリアル・クロック (f_{sck}) 入力の使用可否, スタート・トリガ設定, 動作モード (簡易SPI (CSI), UART, 簡易I²C) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図20-8 シリアル・モード・レジスタmn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) -F0116H, F0117H (SMR03) , リセット時 : 0020H R/W
 F0150H, F0151H (SMR10) -F0156H, F0157H (SMR13) ,
 F01D0H, F01D1H (SMR20) , F01D2H, F01D3H (SMR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn ^注	0	SIS mn0 ^注	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (f _{mck}) の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック (f _{mck}) は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (f _{tclk}) を生成します。	

CCS mn	チャンネルnの転送クロック (f _{tclk}) の選択
0	CKSmnビットで指定した動作クロックf _{mck} の分周クロック
1	SCKp端子からの入力クロックf _{sck} (簡易SPI (CSI)モードのスレーブ転送)
転送クロックf _{tclk} は、シフト・レジスタ, 通信制御回路, 出力制御回路, 割り込み制御回路, エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (f _{mck}) の分周設定を行います。	

STS mn ^注	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (簡易SPI (CSI), UART送信, 簡易I ² C時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後, 上記の要因が満たされてから転送開始となります。	

注 SMR01, SMR03, SMR11, SMR13, SMR21レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12, SMR20レジスタの場合は, ビット13-6, 4, 3) には, 必ず0を設定してください。ビット5には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 30)
 q : UART番号 (q = 0-4) r : IIC番号 (r = 00, 10, 30) mn = 00-03, 10-13, 20, 21

図20-8 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03) , リセット時 : 0020H R/W
 F0150H, F0151H (SMR10) - F0156H, F0157H (SMR13) ,
 F01D0H, F01D1H (SMR20) , F01D2H, F01D3H (SMR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn ^注	0	SIS mn0 ^注	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0 ^注	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネルnの動作モードの設定
0	0	簡易SPI (CSI)モード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01, SMR03, SMR11, SMR13, SMR21レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12, SMR20レジスタの場合は、ビット13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 30)
 q : UART番号 (q = 0-4) r : IIC番号 (r = 00, 10, 30) mn = 00-03, 10-13, 20, 21

20.3.4 シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmnレジスタは0087HIになります。

図20-9 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03) , リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) - F015EH, F015FH (SCR13) ,
 F01D8H, F01D9H (SCR20) , F01DAH, F01DBH (SCR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{注1}	SLC mn0	0	1	DLSm n1 ^{注2}	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	簡易SPI (CSI)モードでのデータとクロックの位相選択	タイプ
0	0	SCKp SOp SIp入力タイミング	1
0	1	SCKp SOp SIp入力タイミング	2
1	0	SCKp SOp SIp入力タイミング	3
1	1	SCKp SOp SIp入力タイミング	4

UARTモード、簡易I²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0-4)) のマスク制御
0	エラー割り込みINTSRExの発生を禁止する (INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時, INTSRxは発生しない)

簡易SPI (CSI)モード、簡易I²Cモード、UART送信時には、EOCmn = 0に設定してください^{注3}。

- 注1. SCR00, SCR02, SCR10, SCR12, SCR20レジスタのみ。
- 2. SCR00, SCR01, SCR10と100ピン製品のSCR11, SCR20, SCR21レジスタのみ。その他は1固定になります。
- 3. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください (SCR01, SCR03, SCR11, SCR13, SCR21レジスタはビット5も0に設定してください)。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 30)
 mn = 00-03, 10-13, 20, 21

図20-9 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) -F011EH, F011FH (SCR03) , リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) -F015EH, F015FH (SCR13) ,
 F01D8H, F01D9H (SCR20) , F01DAH, F01DBH (SCR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{注1}	SLC mn0	0	1	DLSm n1 ^{注2}	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^{注3}	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI (CSI)モード, 簡易I²Cモード時には, 必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	簡易SPI (CSI), UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易I²Cモード時には, 必ずDIRmn = 0に設定してください。

SLCm n1 ^{注1}	SLC mn0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10, 12, 20のみ)	
1	1	設定禁止	

転送完了割り込みを選択している場合は, 全部のストップ・ビットが完了してから割り込みが発生します。
 UART受信時, 簡易I²Cモード時には, 1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
 簡易SPI (CSI)モード時には, ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。
 UART送信時は, 1ビット (SLCmn1, SLCmn0 = 0, 1) または2ビット (SLCmn1, SLCmn0 = 1, 0) に設定してください。

DLSm n1 ^{注2}	DLS mn0	簡易SPI (CSI), UARTモードでのデータ長の設定	
0	1	9ビット・データ長 (SDRmnレジスタのビット0-8に格納) (UARTモード時のみ選択可)	
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他		設定禁止	

簡易I²Cモード時には, 必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

- 注1.** SCR00, SCR02, SCR10, SCR12, SCR20レジスタのみ。
2. SCR00, SCR01, SCR10と100ピン製品のSCR11, SCR20, SCR21レジスタのみ。その他は1固定になります。
3. データの内容にかかわらず必ず0が付加されます。
- 注意** ビット3, 6, 11には, 必ず0を設定してください (SCR01, SCR03, SCR11, SCR13, SCR21レジスタはビット5も0に設定してください)。ビット2には, 必ず1を設定してください。
- 備考** m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 30)
 mn = 00-03, 10-13, 20, 21

20.3.5 シリアル・データ・レジスタmn (SDRmn)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

SDR00, SDR01, SDR10, SDR11, SDR20^注, SDR21^注のビット8-0（下位9ビット）、またはSDR02, SDR03, SDR12^注, SDR13^注のビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9（上位7ビット）の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn (SMRmn) でCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9（上位7ビット）で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00, SDR02, SDR12のビット15-9（上位7ビット）に“0000000B”を設定してください。SCKp端子からの入力クロックf_{SCK}（簡易SPI (CSI)モードのスレーブ転送）が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

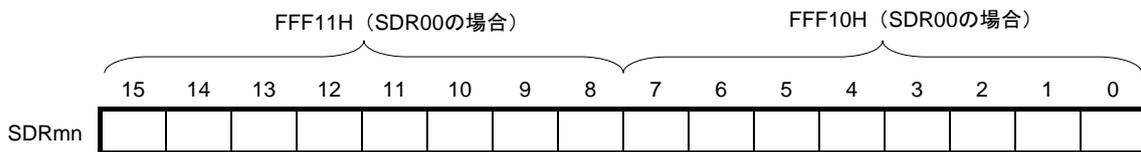
SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合は、上位7ビットは常に0が読み出されます。

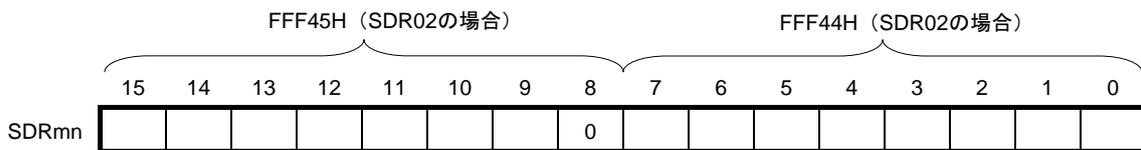
リセット信号の発生により、SDRmnレジスタは0000Hになります。

図20-10 シリアル・データ・レジスタmn (SDRmn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), リセット時 : 0000H R/W
 FFF48H, FFF49H (SDR02), FFF4AH, FFF4BH (SDR03),
 FFF58H, FFF59H (SDR20), FFF5AH, FFF5BH (SDR21)



アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03), リセット時 : 0000H R/W
 FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	f _{MCK} /2
0	0	0	0	0	0	1	f _{MCK} /4
0	0	0	0	0	1	0	f _{MCK} /6
0	0	0	0	0	1	1	f _{MCK} /8
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	1	0	f _{MCK} /254
1	1	1	1	1	1	1	f _{MCK} /256

(注、注意、備考は次ページにあります。)

注 100ピン製品のみ

- 注意1. SDR02, SDR03, SDR12, SDR13レジスタのビット8は、必ず0を設定してください。
2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。
 3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
 4. 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です (SDRmn[15:9]がすべてクリア (0) されます)。

備考1. SDRmnレジスタの下位8/9ビットの機能については、20.2 シリアル・アレイ・ユニットの構成を参照してください。

2. m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21

20.3.6 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると、シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので、SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは、16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmnレジスタは0000Hになります。

図20-11 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03) , リセット時 : 0000H R/W
 F0148H, F0149H (SIR10) - F014EH, F014FH (SIR13) ,
 F01C8H, F01C9H (SIR20) , F01CAH, F01CBH (SIR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn 注	PEC Tmn	OVC Tmn

FEC Tmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注 SIR01, SIR03, SIR11, SIR13, SIR21レジスタのみ。

注意 ビット15-3 (SIR00, SIR02, SIR10, SIR12, SIR20レジスタの場合は、ビット15-2) には、必ず0を設定してください。

- 備考1. m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21
 2. SIRmnレジスタの読み出し値は常に0000Hとなります。

20.3.7 シリアル・ステータス・レジスタmn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図20-12 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) -F0106H, F0107H (SSR03) , リセット時 : 0000H R
 F0140H, F0141H (SSR10) -F0146H, F0147H (SSR13) ,
 F01C0H, F01C1H (SSR20) , F01C2H, F01C3H (SSR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^注	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件>	
<ul style="list-style-type: none"> ・STmレジスタのSTmnビットに1を設定時（通信停止状態）、もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態） ・通信動作が終了時 	
<セット条件>	
<ul style="list-style-type: none"> ・通信動作を開始時 	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件>	
<ul style="list-style-type: none"> ・送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき ・受信時においてSDRmnレジスタから受信データの読み出しが終了したとき ・STmレジスタのSTmnビットに1を設定時（通信停止状態）、SSmレジスタのSSmnビットに1を設定時（通信許可状態）。 	
<セット条件>	
<ul style="list-style-type: none"> ・SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信、送受信モード時）の状態ですDRmnレジスタに送信データを書き込んだとき ・SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信、送受信モード時）の状態ですDRmnレジスタに受信データが格納されたとき ・受信エラー時 	

注 SSR01, SSR03, SSR11, SSR13, SSR21レジスタのみ。

注意 SNOOZEモード (SWCm = 1) で簡易SPI (CSI)受信する場合、BFFmnフラグは動作しません。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21

図20-12 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) -F0106H, F0107H (SSR03) , リセット時 : 0000H R
 F0140H, F0141H (SSR10) -F0146H, F0147H (SSR13) ,
 F01C0H, F01C1H (SSR20) , F01C2H, F01C3H (SSR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^注	PEF mn	OVF mn

FEF mn	チャンネルnのフレーミング・エラー検出フラグ															
0	エラーなし															
1	エラー発生 (UART受信時)															
<クリア条件>																
・ SIRmnレジスタのFECTmnビットに1を書き込んだとき																
<セット条件>																
・ UART受信完了時に、ストップ・ビットが検出されないとき																

PEF mn	チャンネルnのパリティ/ACKエラー検出フラグ															
0	エラーなし															
1	パリティ・エラー発生 (UART受信時) , またはACK未検出発生 (I ² C送信時)															
<クリア条件>																
・ SIRmnレジスタのPECTmnビットに1を書き込んだとき																
<セット条件>																
・ UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー)																
・ I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)																

OVF mn	チャンネルnのオーバラン・エラー検出フラグ															
0	エラーなし															
1	エラー発生															
<クリア条件>																
・ SIRmnレジスタのOVCTmnビットに1を書き込んだとき																
<セット条件>																
・ SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時) の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき																
・ 簡易SPI (CSI)モードのスレーブ送信/送受信で、送信データが準備できていないとき																

注 SSR01, SSR03, SSR11, SSR13, SSR21レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー (OVFmn = 1) と検出されます。

2. SNOOZEモード (SWCm = 1) で簡易SPI (CSI)受信する場合、OVFmnフラグは動作しません。

備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21

20.3.8 シリアル・チャンネル開始レジスタm (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEmn) の対応ビット (SEmn) が1にセット (動作許可状態) されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図20-13 シリアル・チャンネル開始レジスタm (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0	SS0	SS0	SS0
													3	2	1	0

アドレス : F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	SS1	SS1	SS1	SS1
													3	2	1	0

アドレス : F01E2H, F01E3H (SS2) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS2	SS2
															1	0

SSm	チャンネルnの動作開始トリガ															
n																
0	トリガ動作せず															
1	SEmnビットに1をセットし、通信待機状態に移す ^注															

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1. SS0レジスタのビット15-4, 80ピン製品のSS1レジスタのビット15-2, 100ピン製品のSS1レジスタのビット15-4, SS2レジスタのビット15-2には、必ず0を設定してください。

2. UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、f_{mck}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21

2. SSmレジスタの読み出し値は常に0000Hとなります。

20.3.9 シリアル・チャンネル停止レジスタm (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEm) の対応ビット (SEmn) が0にクリア (動作停止状態) されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図20-14 シリアル・チャンネル停止レジスタm (STm) のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0	ST0	ST0	ST0
													3	2	1	0

アドレス : F0164H, F0165H (ST1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	ST1	ST1	ST1	ST1
													3	2	1	0

アドレス : F01E4H, F01E5H (ST2) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST2	ST2
															1	0

STm	チャンネルnの動作停止トリガ															
n																
0	トリガ動作せず															
1	SEmnビットを0にクリアし、通信動作を停止する ^注															

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFMnフラグは状態を保持します。

注意 ST0レジスタのビット15-4, 80ピン製品のST1レジスタのビット15-2, 100ピン製品のST1レジスタのビット15-4, ST2レジスタのビット15-2には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21
2. STmレジスタの読み出し値は常に0000Hとなります。

20.3.10 シリアル・チャンネル許可ステータス・レジスタm (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタm (SSm) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタm (STm) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のCKOmnビット (チャンネルnのシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000HIになります。

図20-15 シリアル・チャンネル許可ステータス・レジスタm (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3	SE0 2	SE0 1	SE0 0

アドレス : F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	SE1 3	SE1 2	SE1 1	SE1 0

アドレス : F01E0H, F01E1H (SE2) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE2 1	SE2 0

SEm	チャンネルnの動作許可／停止状態の表示															
n																
0	動作停止状態															
1	動作許可状態															

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21

20.3.11 シリアル出力許可レジスタm (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができます。その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図20-16 シリアル出力許可レジスタm (SOEm) のフォーマット

アドレス : F012AH, F012BH (SOE0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 02	0	SOE 00

アドレス : F016AH, F016BH (SOE1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 12	0	SOE 10

アドレス : F01EAH, F01EBH (SOE2) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 20

SOE mn	チャンネルnのシリアル出力許可/停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 SOE0レジスタのビット15-3, 1, 80ピン製品のSOE1レジスタのビット15-1, 100ピン製品のSOE1レジスタのビット15-3, 1, SOE2レジスタのビット15-1には必ず0を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10, 12, 20

20.3.12 シリアル出力レジスタm (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOmレジスタは0F0FHになります。

図20-17 シリアル出力レジスタm (SOm) のフォーマット

アドレス : F0128H, F0129H (SO0) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO 02	1	CKO 00	0	0	0	0	1	SO 02	1	SO 00

アドレス : F0168H, F0169H (SO1) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	1	CKO 12	1	1	0	0	0	0	1	SO 12	1	SO 10

アドレス : F01E8H, F01E9H (SO2) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	SO 20

CKO mn	チャンネルnのシリアル・クロック出力															
0	シリアル・クロック出力値が“0”															
1	シリアル・クロック出力値が“1”															

SO mn	チャンネルnのシリアル・データ出力															
0	シリアル・データ出力値が“0”															
1	シリアル・データ出力値が“1”															

(注意, 備考は次ページにあります。)

注意 SO0レジスタのビット15-12, 7-4には, 必ず0を設定してください。また, ビット11, 9, 3, 1には必ず1を設定してください。

80ピン製品のSO1レジスタのビット15-12, 7-4には, 必ず0を設定してください。また, ビット11-8, 3-1には必ず1を設定してください。100ピン製品のSO1レジスタのビット15-12, 7-4には, 必ず0を設定してください。

また, ビット11, 9, 8, 3, 1には必ず1を設定してください。

100ピン製品のSO2レジスタのビット15-12, 7-4には, 必ず0を設定してください。また, ビット11-8, 3-1には必ず1を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10, 12, 20

20.3.13 シリアル出力レベル・レジスタm (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI (CSI)モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時はSOMnビットの値がそのまま出力されます。

SOLmレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000HIになります。

図20-18 シリアル出力レベル・レジスタm (SOLm) のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 02	0	SOL 00

アドレス : F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 12	0	SOL 10

アドレス : F01F4H, F01F5H (SOL2) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 20

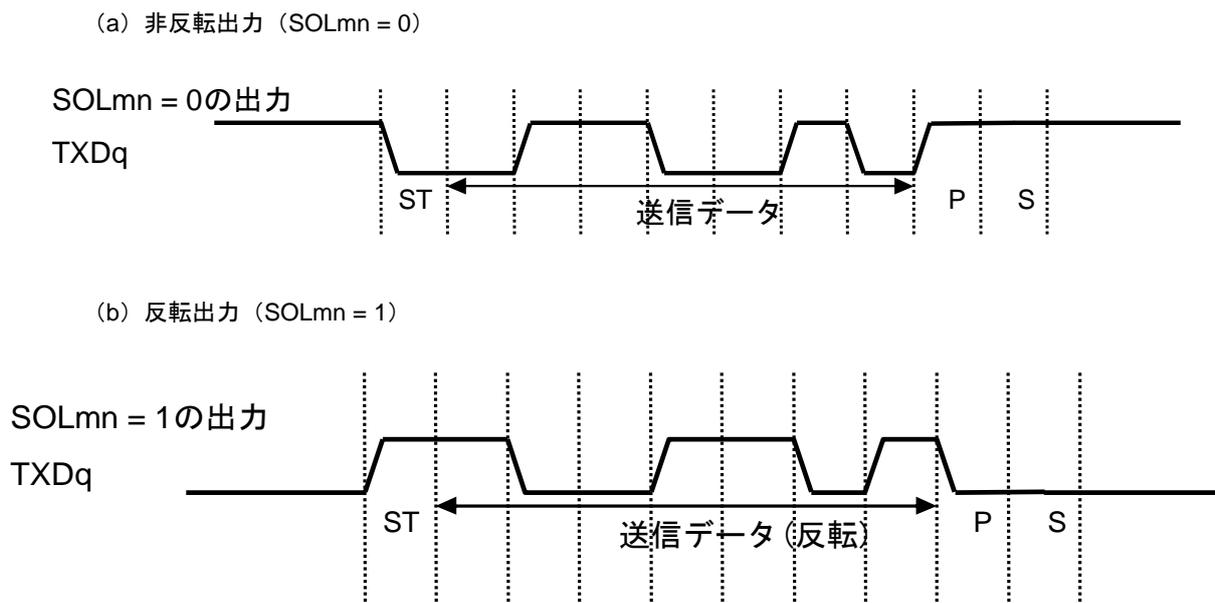
SOL mn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 SOL0レジスタのビット15-3, 1, 80ピン製品のSOL1レジスタのビット15-1, 100ピン製品のSOL1レジスタのビット15-3, 1, SOL2レジスタのビット15-1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10, 12, 20

UART送信時、送信データのレベル反転例を図20-19に示します。

図20-19 送信データのレベル反転例



備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10, 12, 20
 q : UART番号 (q = 0-4)

20.3.14 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)

SSC0レジスタは、CSI00, UART0のシリアル・データ受信による、STOPモード状態からの受信動作起動 (SNOOZEモード) を制御するレジスタです。

SSC0レジスタは、16ビット・メモリ操作命令で設定します。

またSSC0レジスタの下位8ビットは、SSC0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSC0レジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- ・ CSI00の場合：～1 Mbps
- ・ UART0の場合：4800 bpsのみ

図20-20 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) のフォーマット

アドレス：F0138H, F0139H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS ECO	SWC 0

SS ECO	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み (INTSR0) 発生許可
1	エラー割り込み (INTSR0) 発生停止
<ul style="list-style-type: none"> ・ SNOOZEモード時のUART受信で、SWC0 = 1かつEOCmn = 1の時のみ、SSECmビットを1/0に設定することができます。その他の場合は、SSEC0ビットを0に設定してください。 ・ SSEC0, SWC0 = 1, 0は設定禁止です。 	

SWC 0	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
<ul style="list-style-type: none"> ・ STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI (CSI)/UARTの受信動作を行います (SNOOZEモード)。 ・ SNOOZEモード機能は、CPU／周辺ハードウェア・クロック (fclk) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・ SNOOZEモードを使用する場合でも、通常動作モード時はSWC0を0に設定し、STOPモードへ移行する直前にSWC0を1に変更してください。 またSTOPモードから通常動作モードへ復帰後、必ずSWC0を0に変更してください。 	

図20-21 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSR0が発生する	INTSR0が発生する
0	1	INTSR0が発生する	INTSR0が発生する
1	0	INTSR0が発生する	INTSRE0が発生する
1	1	INTSR0が発生する	割り込みは発生しない

20.3.15 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC0ビットは、UART0でLIN-bus通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると、シリアル・データ入力 (RxD0) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって、ウエイクアップ信号をINTP0割り込みで検出できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図20-22 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	0	ISC0

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット7-1に必ず0を設定してください。

20.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI (CSI)、簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけを行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図20-23 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	SNFEN40	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00
SNFENq0	RxDq端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
RxDq端子として使用するときは、SNFENq0 = 1に設定してください。								
RxDq以外の機能として使用するときは、SNFENq0 = 0に設定してください。								

注意 80ピン製品のビット7-5, 3, 1, 100ピン製品のビット5, 3, 1には、必ず0を設定してください。

備考 q : UART番号 (q = 0-4)

20.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャンネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）を設定してください。

詳細は、**4.3.1 ポート・モード・レジスタ（PMxx）**、**4.3.2 ポート・レジスタ（Pxx）**、**4.3.4 ポート入力モード・レジスタ（PIMxx）**、**4.3.5 ポート出力モード・レジスタ（POMxx）**を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P07/SO00/TxD0/TI02/TO02/INTP2/TOOLTxD, P15/SEG9/(SCK00)/(SCL00)など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに0を設定してください。また、ポート・レジスタ（Pxx）のビットに1を設定してください。

なお、N-ch オープン・ドレイン出力（EV_{DD}耐圧）モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ（POMxx）のビットに1を設定してください。異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスと接続する場合は、**4.4.4 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

例) P07/SO00/TI02/TO02/INTP2/TOOLTxDをシリアル・データ出力として使用する場合

ポート・モード・レジスタ0のPM07ビットを0に設定

ポート・レジスタ0のP07ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P05/SCK00/SCL00/TI04/TO04/INTP3, P06/SI00/RxD0/TI03/TO03/SDA00/TOOLRxDなど）をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ（PIMxx）のビットに1を設定してください。異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスと接続する場合は、**4.4.4 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

例) P06/SI00/RxD0/TI03/TO03/SDA00/TOOLRxDをシリアル・データ入力として使用する場合

ポート・モード・レジスタ0のPM06ビットを1に設定

ポート・レジスタ0のP06ビットを0または1に設定

PMxxレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PMxxレジスタはFFHになります。

製品ごとのPMxxレジスタの有無は、**表4-2～表4-4**を参照してください。

20.3.18 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・アレイ・ユニット (SAU0, SAU1, SAU2) をリセットする場合は、必ずビット2, 3, 1 (SAU0RES, SAU1RES, SAU2RES) を1に設定してください。

PRR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR0レジスタは00HIになります。

図20-24 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	SAU2RES	TAU0RES

SAUnRES	シリアル・アレイ・ユニット (ユニット0-2) のリセット制御
0	シリアル・アレイ・ユニット (ユニットn) のリセット解除
1	シリアル・アレイ・ユニット (ユニットn) はリセット状態

備考 n=0-2

20.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

20.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN) に0を設定してください。シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN) に0を設定してください。シリアル・アレイ・ユニット2を停止するときは、ビット1 (SAU2EN) に0を設定してください。

図20-25 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定

(a) 周辺イネーブル・レジスタ0 (PER0) . . . 停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0	0	IRDAEN ×	ADCEN ×	IICA0EN ×	SAU1EN 0/1	SAU0EN 0/1	SAU2EN 0/1	TAU0EN ×

SAUmの入カクロックの制御
 0 : 入カクロック供給停止
 1 : 入カクロック供給

注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- ・ 入力切り替え制御レジスタ (ISC)
- ・ ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ ポート入力モード・レジスタ (PIMx)
- ・ ポート出力モード・レジスタ (POMx)
- ・ ポート・モード・レジスタ (PMx)
- ・ ポート・レジスタ (Px)

2. ビット7は必ず“0”にしてください。

備考 × : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて0または1に設定

m : ユニット番号 (m = 0-2)

20.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図20-26 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタm (STm)

・・・各チャンネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm													STm3	STm2	STm1	STm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

1 : SEmnビットを0にクリアし、通信動作を停止

※ STmnビットはトリガ・ビットなので、SEmn=0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタm (SEm)

・・・各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm													SEm3	SEm2	SEm1	SEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

0 : 動作停止状態

※SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。動作を停止したチャンネルは、SOmレジスタのCKOmnビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタm (SOEm)

・・・各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm2		SOEm0	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

0 : シリアル通信動作による出力停止

※ シリアル出力を停止したチャンネルは、SOmレジスタのSOmnビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタm (SOm)

・・・各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm2		CKOm0					SOm2		SOm0		
	0	0	0	0	1	0/1	1	0/1	0	0	0	0	1	0/1	1	0/1

1 : シリアル・クロック出力値が“1”

1 : シリアル・データ出力値が“1”

※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

備考1. m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3)

2. : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

20.5 簡易SPI (CSI00, CSI10, CSI30) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート^注 マスタ通信時 : Max. $f_{MCK}/2$
スレーブ通信時 : Max. $f_{MCK}/6$

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また、CSI00は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。CSI00は、非同期受信動作に対応しています。

注 SCKサイクル・タイム (t_{CKCY}) の特性を満たす範囲内で使用してください。詳細は、**第43章 電氣的特性**を参照してください。

簡易SPI (CSI00) に対応しているチャンネルは、SAU0のチャンネル0です。

簡易SPI (CSI10) に対応しているチャンネルは、SAU0のチャンネル2です。

簡易SPI (CSI30) に対応しているチャンネルは、SAU1のチャンネル2です。

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	—	UART2 (IrDA対応)	—
	1	—		—
	2	CSI30 ^注	UART3 ^注	IIC30 ^注
	3	—		—
2	0	—	UART4 ^注	—
	1	—		—

注 100ピン製品のみ。

簡易SPI (CSI00, CSI10, CSI30) の通信動作は、以下の7種類があります。

- ・ マスタ送信 (20. 5. 1項を参照)
- ・ マスタ受信 (20. 5. 2項を参照)
- ・ マスタ送受信 (20. 5. 3項を参照)
- ・ スレーブ送信 (20. 5. 4項を参照)
- ・ スレーブ受信 (20. 5. 5項を参照)
- ・ スレーブ送受信 (20. 5. 6項を参照)
- ・ SNOOZEモード機能 (CSI00のみ) (20. 5. 7項を参照)

20.5.1 マスタ送信

マスタ送信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

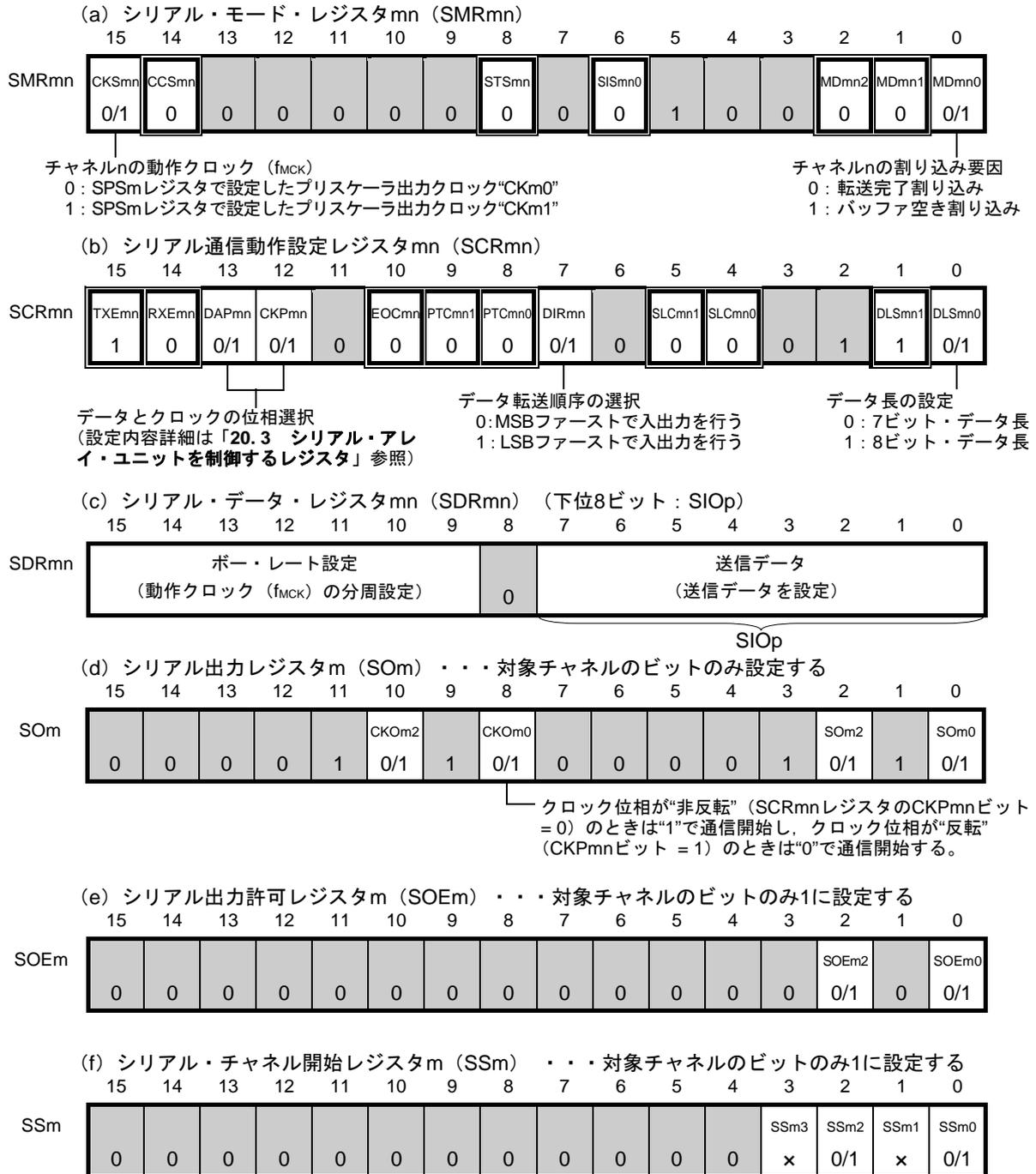
簡易SPI	CSI00	CSI10	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル2
使用端子	SCK00, SO00	SCK10, SO10	SCK30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビット		
転送レート ^注	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転（SCKの立ち下がりでデータ出力、立ち上がりでデータ入力） ・ CKPmn = 1の場合：反転（SCKの立ち上がりでデータ出力、立ち下がりでデータ入力）		
データ方向	MSBファーストまたはLSBファースト		

注 この条件を満たし、かつ電気的特性の周辺機能特性（**第43章 電気的特性参照**）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 12

(1) レジスタ設定

図20-27 簡易SPI (CSI00, CSI10, CSI30) のマスタ送信時のレジスタ設定内容例



- 備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) p: CSI番号 (p = 00, 10, 30) mn = 00, 02, 12
2. □: 簡易SPI (CSI)マスタ送信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図20-28 マスタ送信の初期設定手順

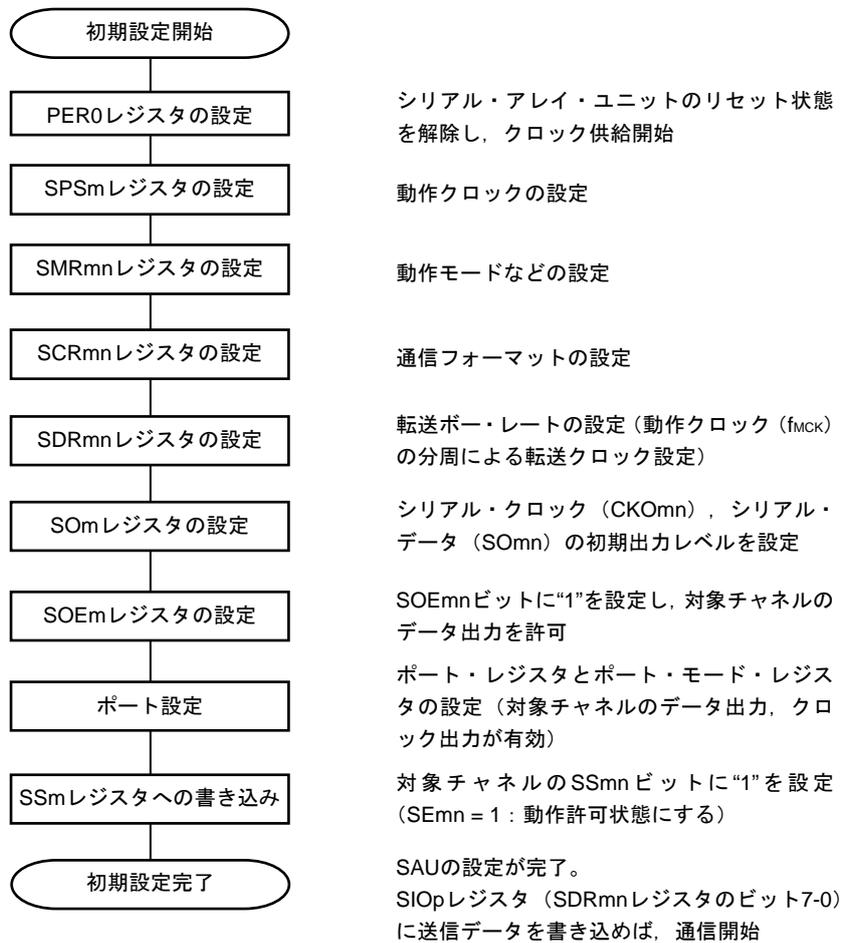


図20-29 マスタ送信の中断手順

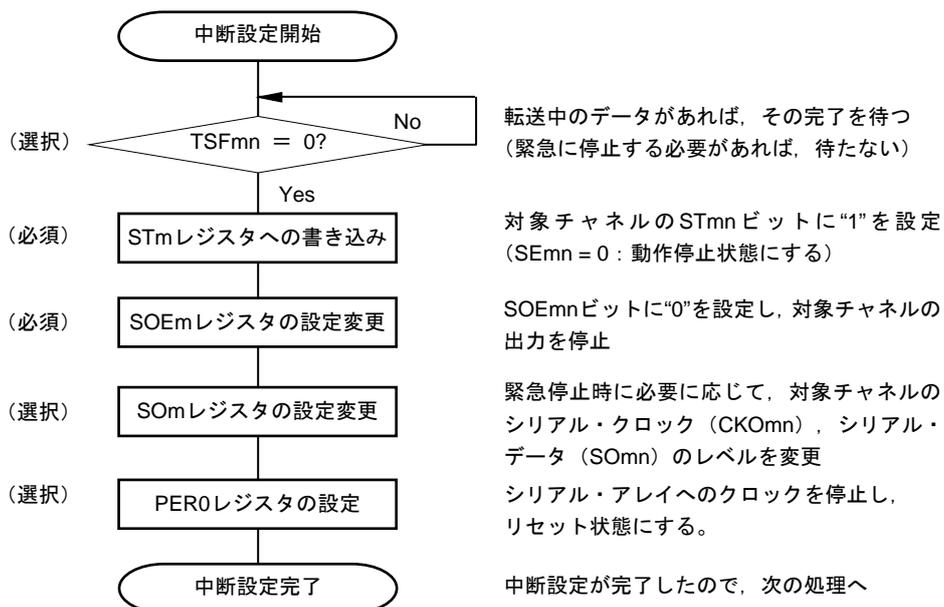
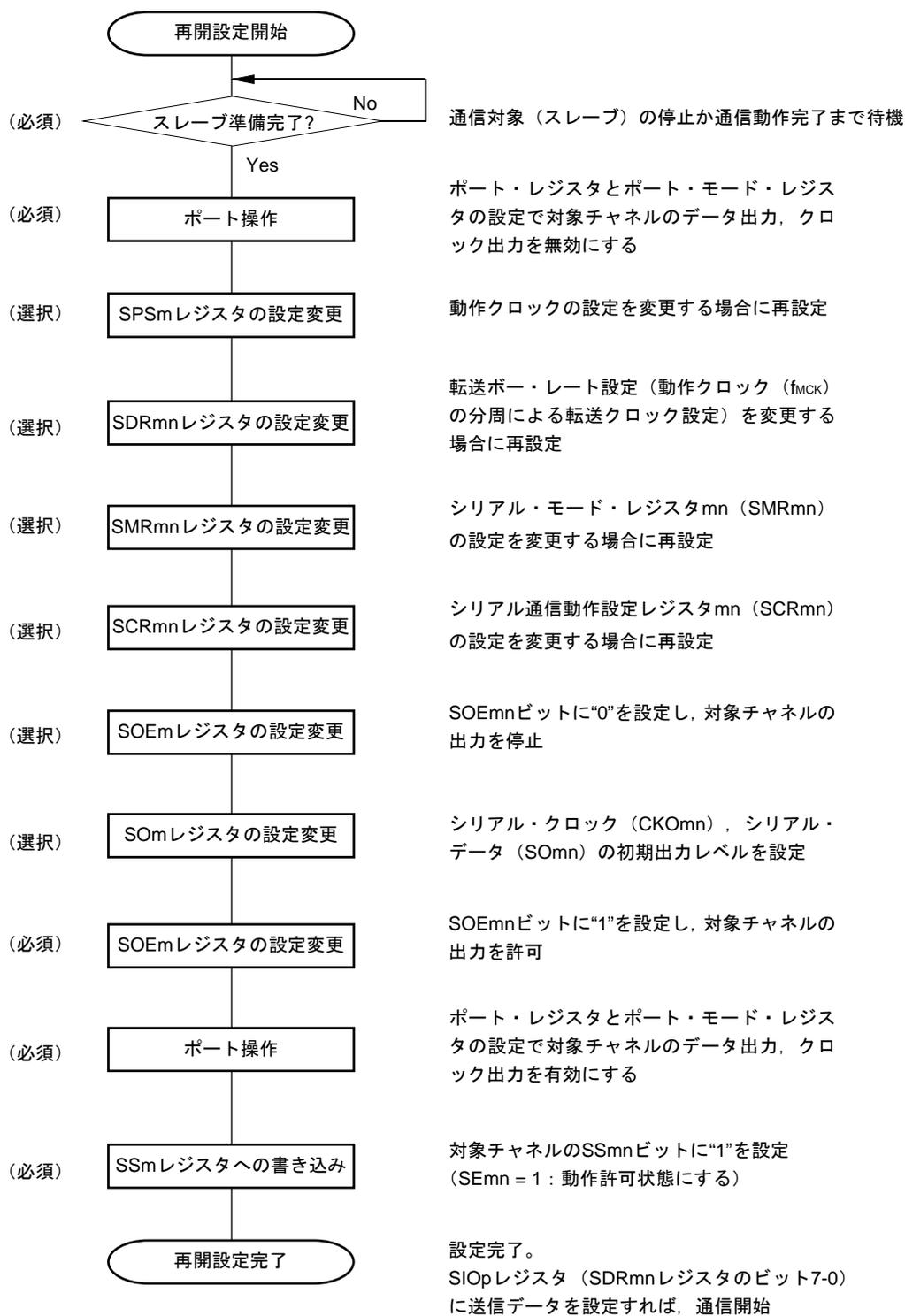


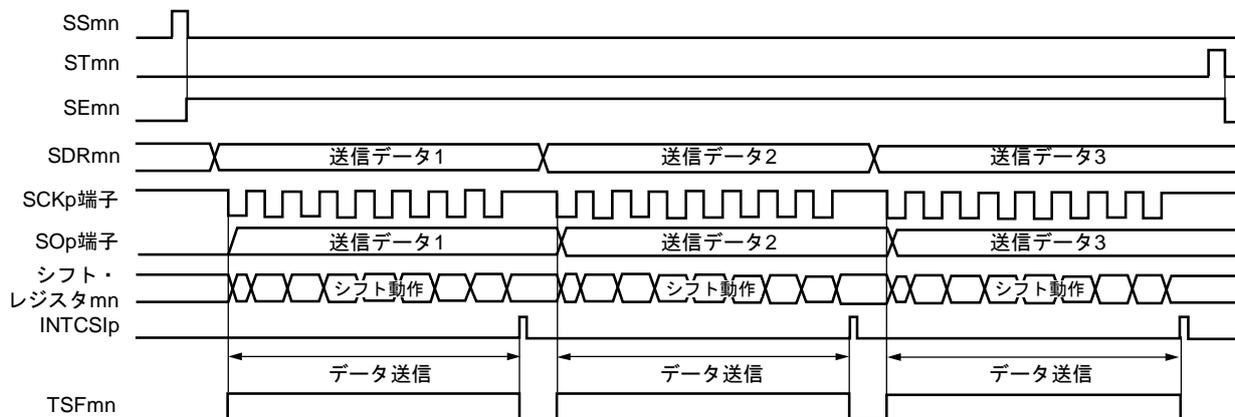
図20-30 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

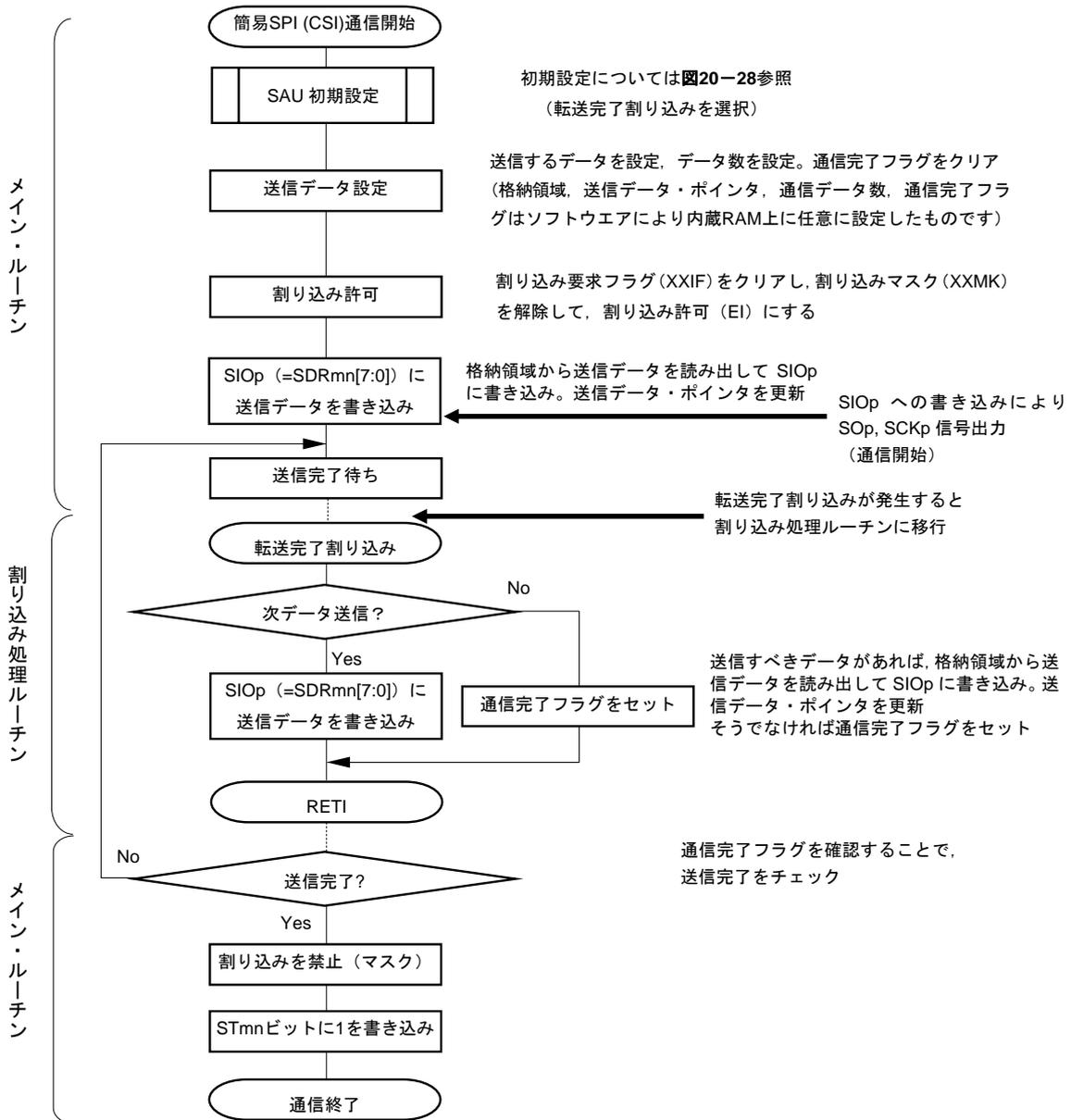
(3) 処理フロー (シングル送信モード時)

図20-31 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



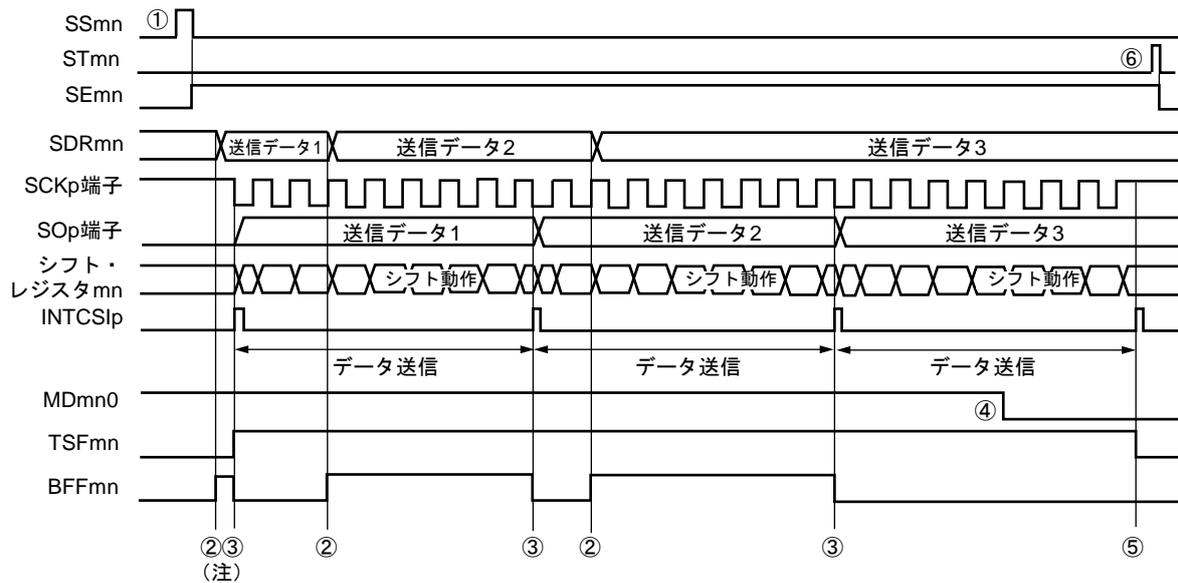
備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) p: CSI番号 (p = 00, 10, 30) mn = 00, 02,
12

図20-32 マスタ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図20-33 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



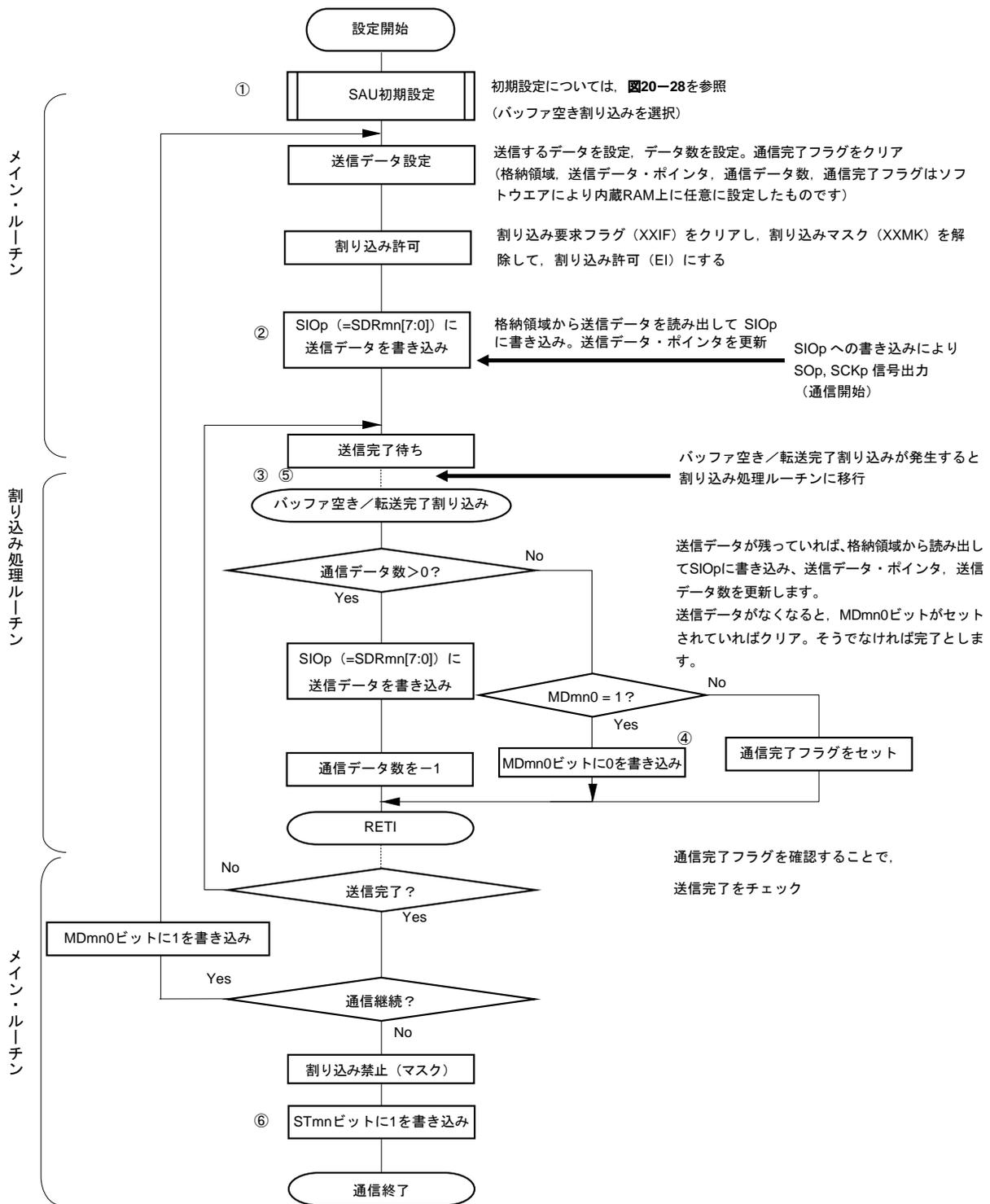
注 シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） p：CSI番号（p = 00, 10, 30） mn = 00, 02, 12

図20-34 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図20-33 マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

20.5.2 マスタ受信

マスタ受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

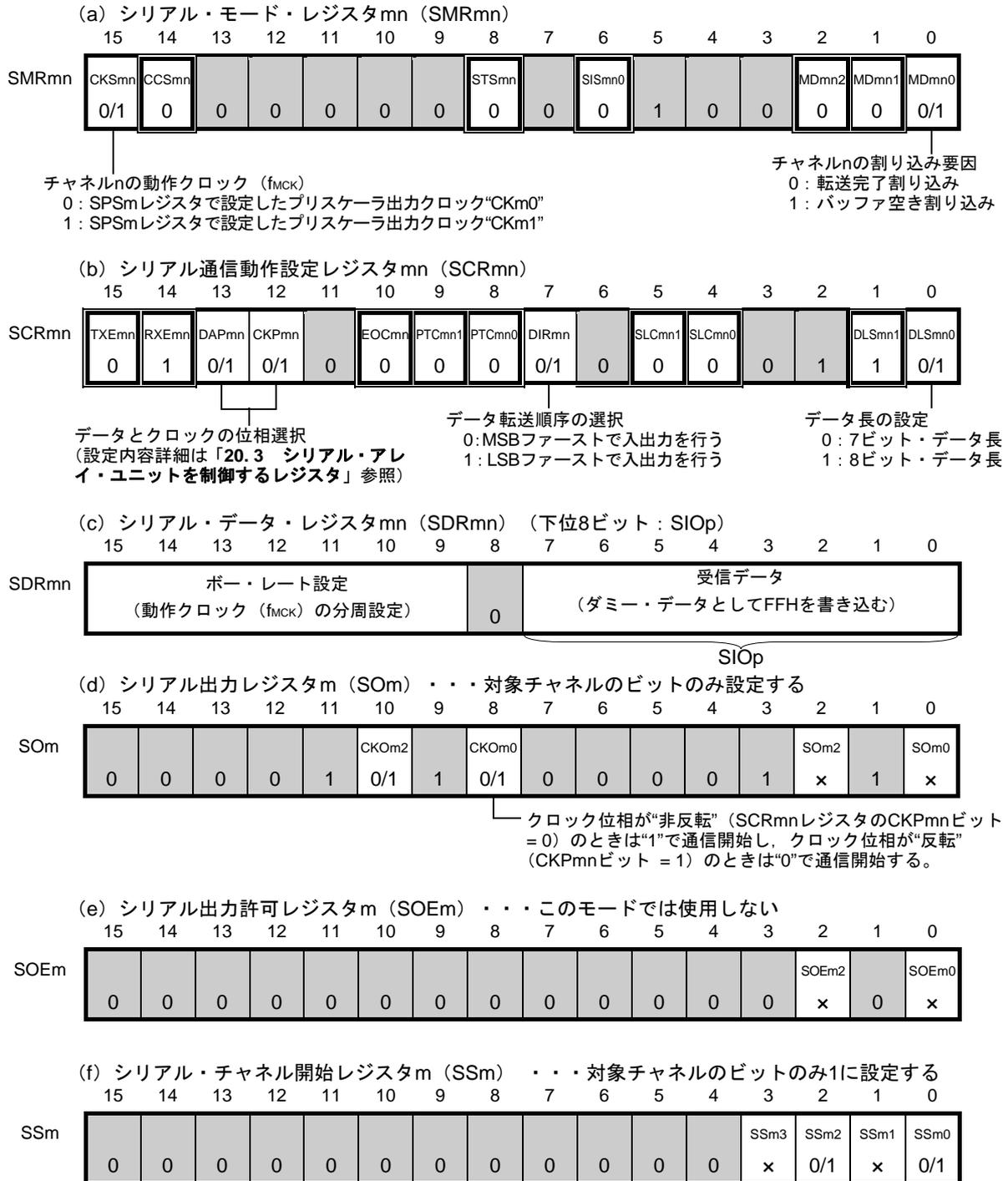
簡易SPI	CSI00	CSI10	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル2
使用端子	SCK00, SI00	SCK10, SI10	SCK30, SI30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート ^注	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転		
データ方向	MSBファーストまたはLSBファースト		

注 この条件を満たし、かつ電気的特性の周辺機能特性（**第43章 電気的特性参照**）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 12

(1) レジスタ設定

図20-35 簡易SPI (CSI00, CSI10, CSI30) のマスタ受信時のレジスタ設定内容例



- 備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) p: CSI番号 (p = 00, 10, 30) mn = 00, 02, 12
2. □: 簡易SPI (CSI)マスタ受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図20-36 マスタ受信の初期設定手順

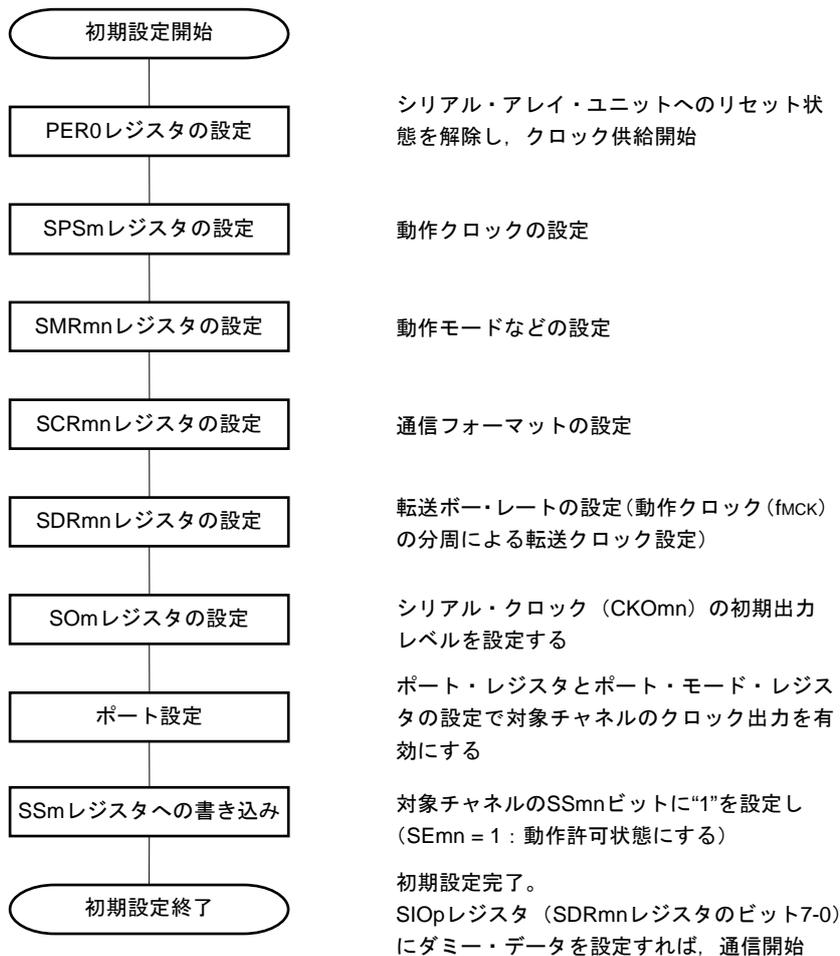


図20-37 マスタ受信の中断手順

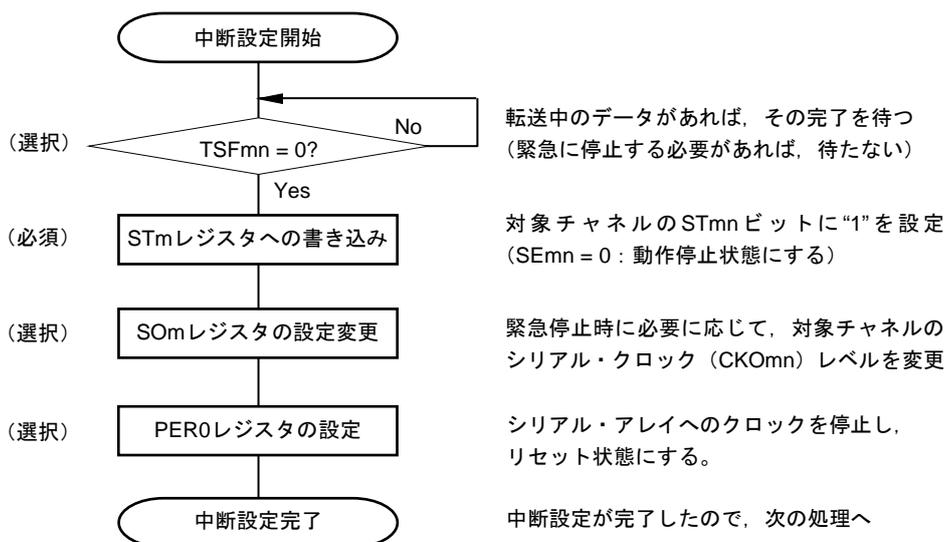
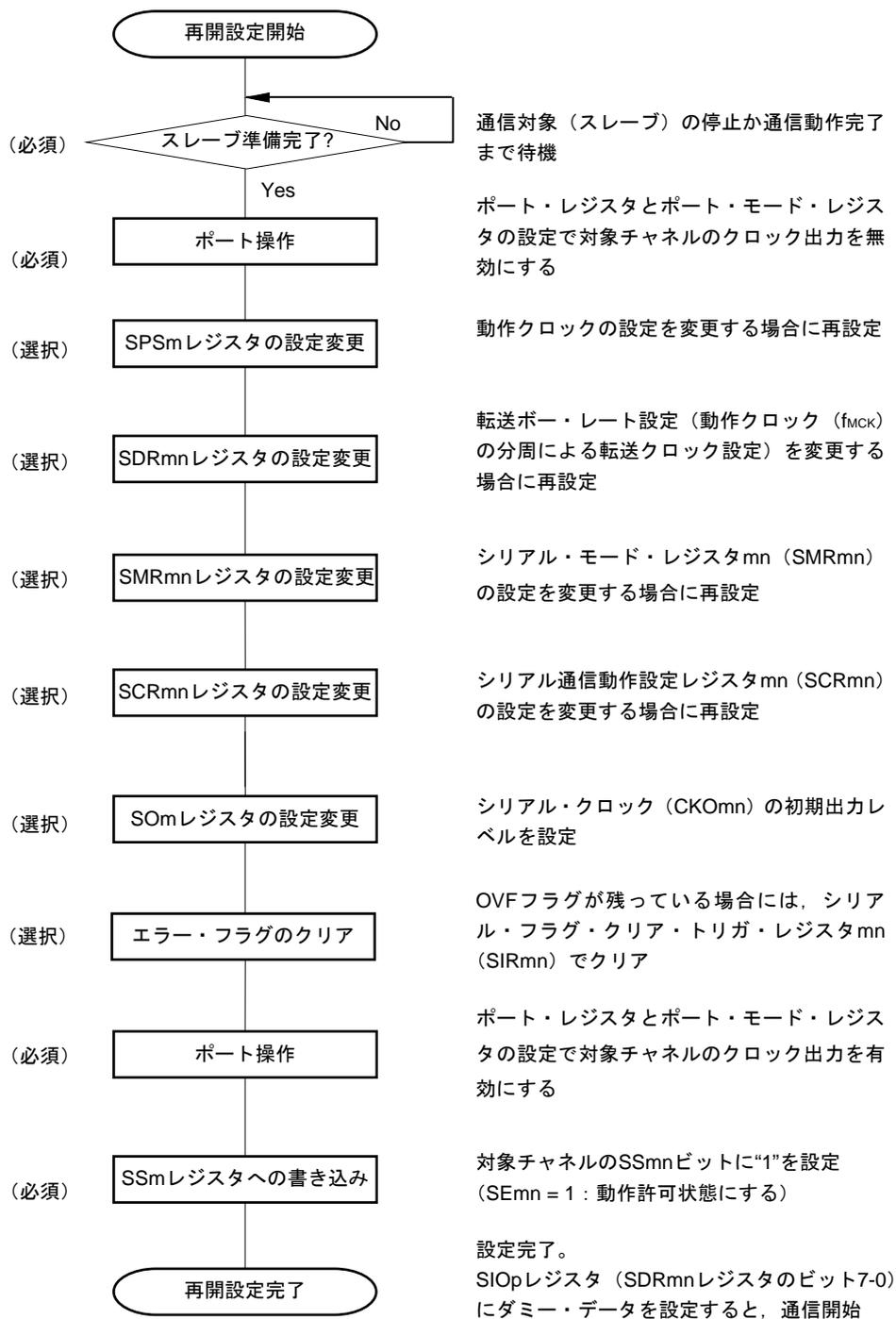


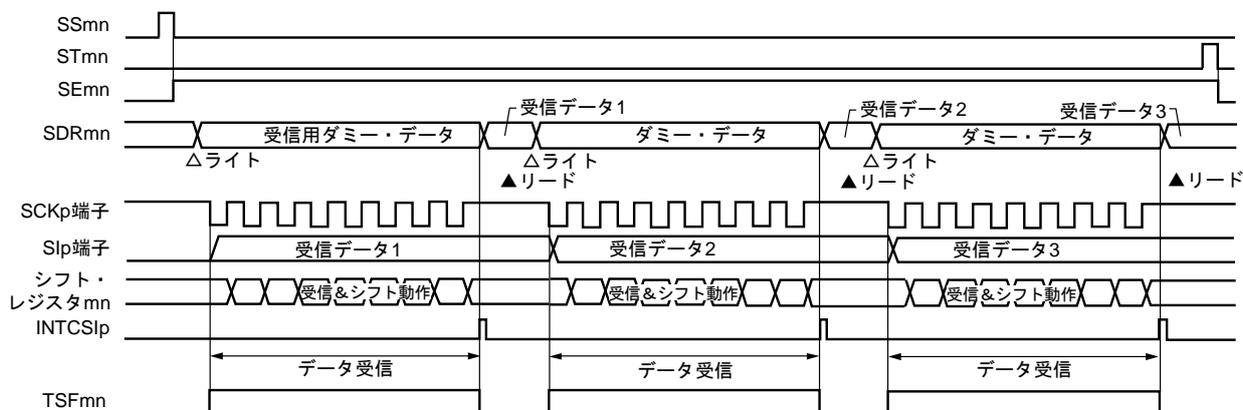
図20-38 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

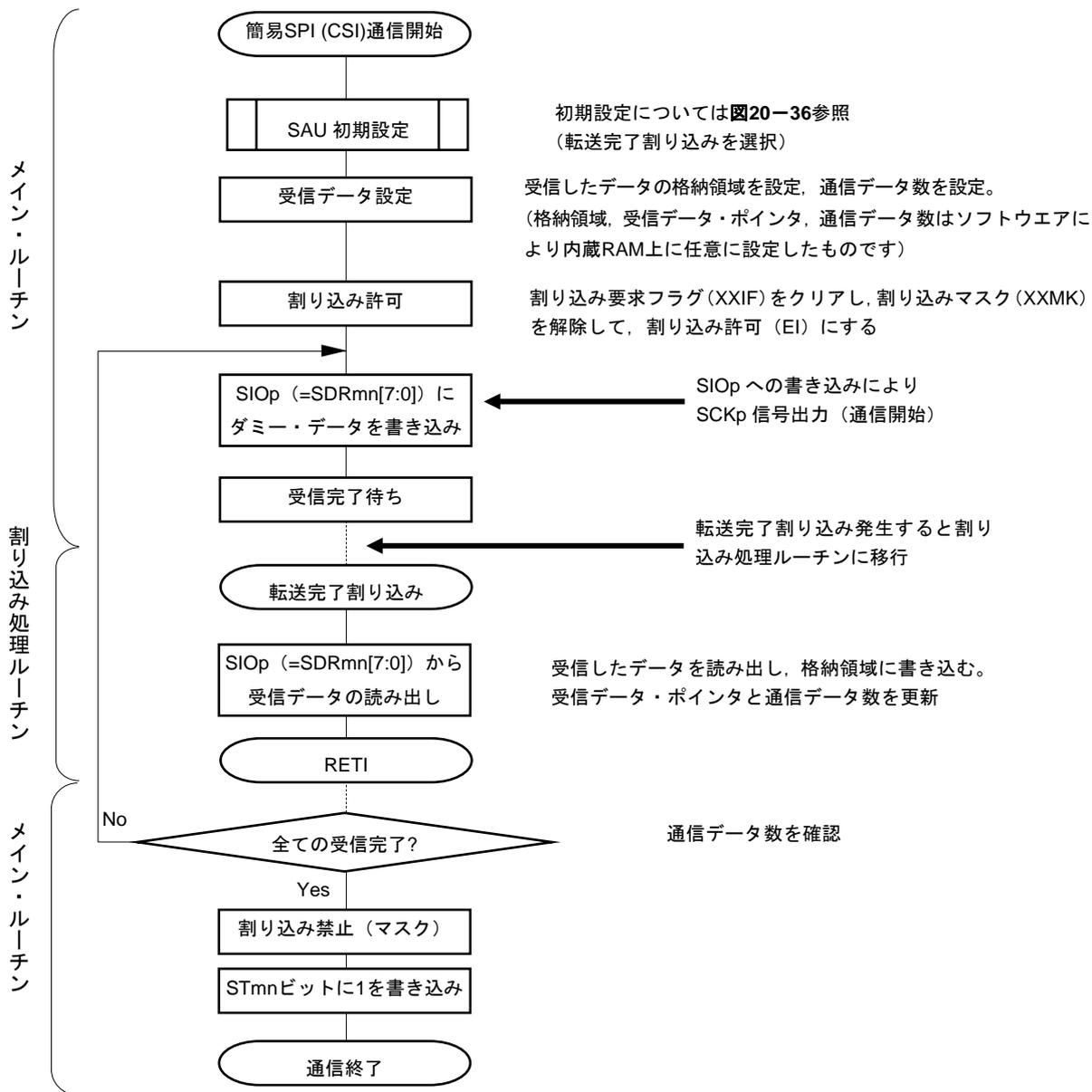
(3) 処理フロー (シングル受信モード時)

図20-39 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



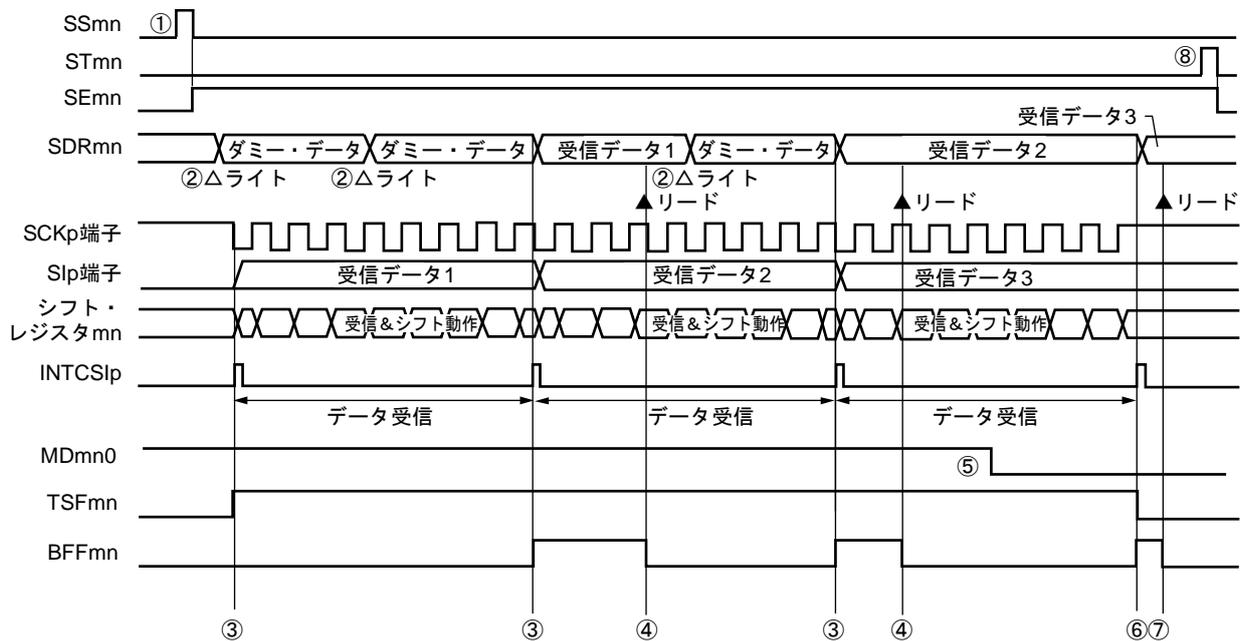
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 30) mn = 00, 02, 12

図20-40 マスタ受信 (シングル受信モード時) のフロー・チャート



(4) 処理フロー（連続受信モード時）

図20-41 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



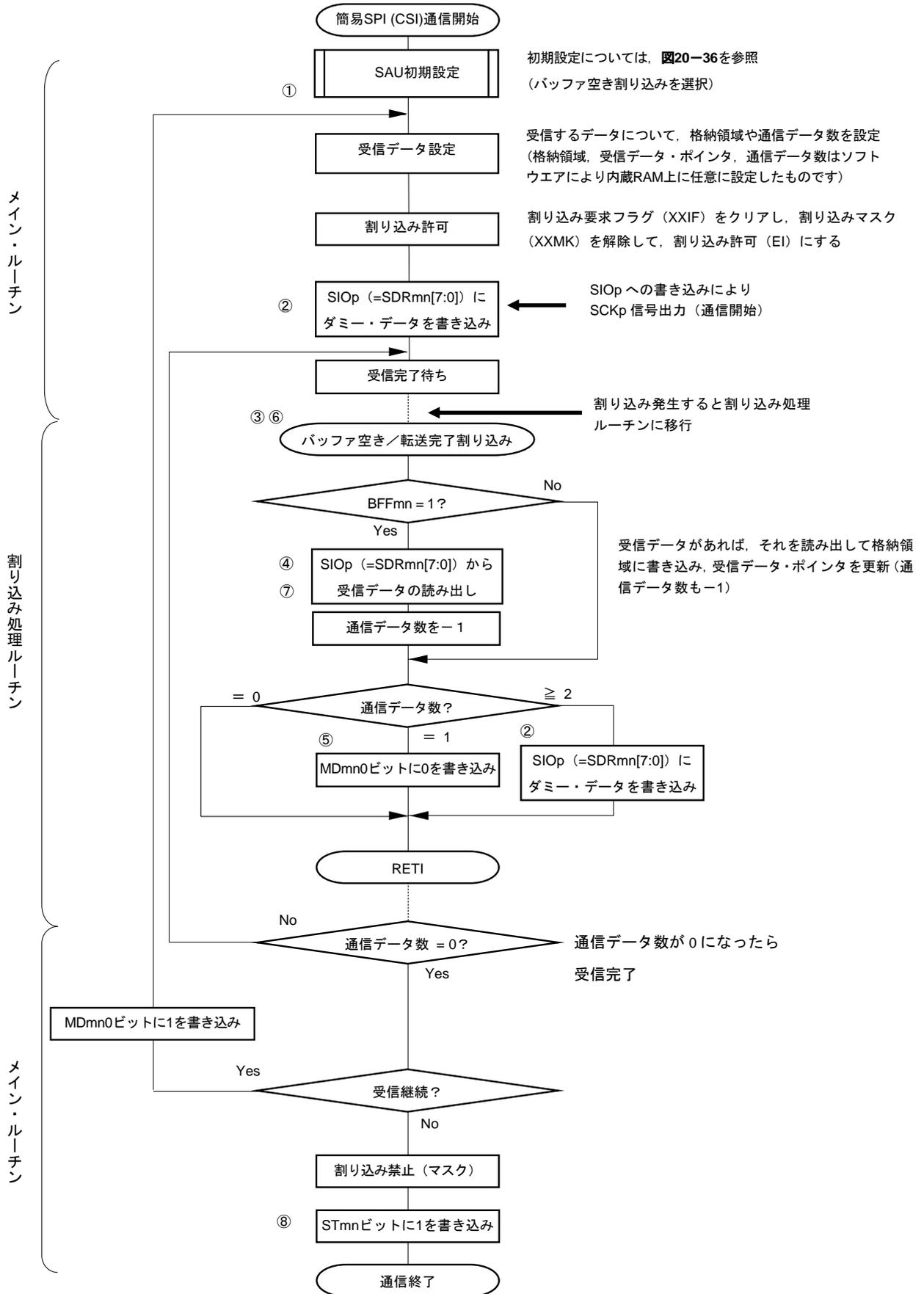
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①~⑧は、図20-42 マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 30) mn = 00, 02, 12

図20-42 マスタ受信（連続受信モード時）のフロー・チャート



備考 図中の①-⑧は、図20-41 マスタ受信（連続受信モード時）のタイミング・チャートの①-⑧に対応しています。

20.5.3 マスタ送受信

マスタ送受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

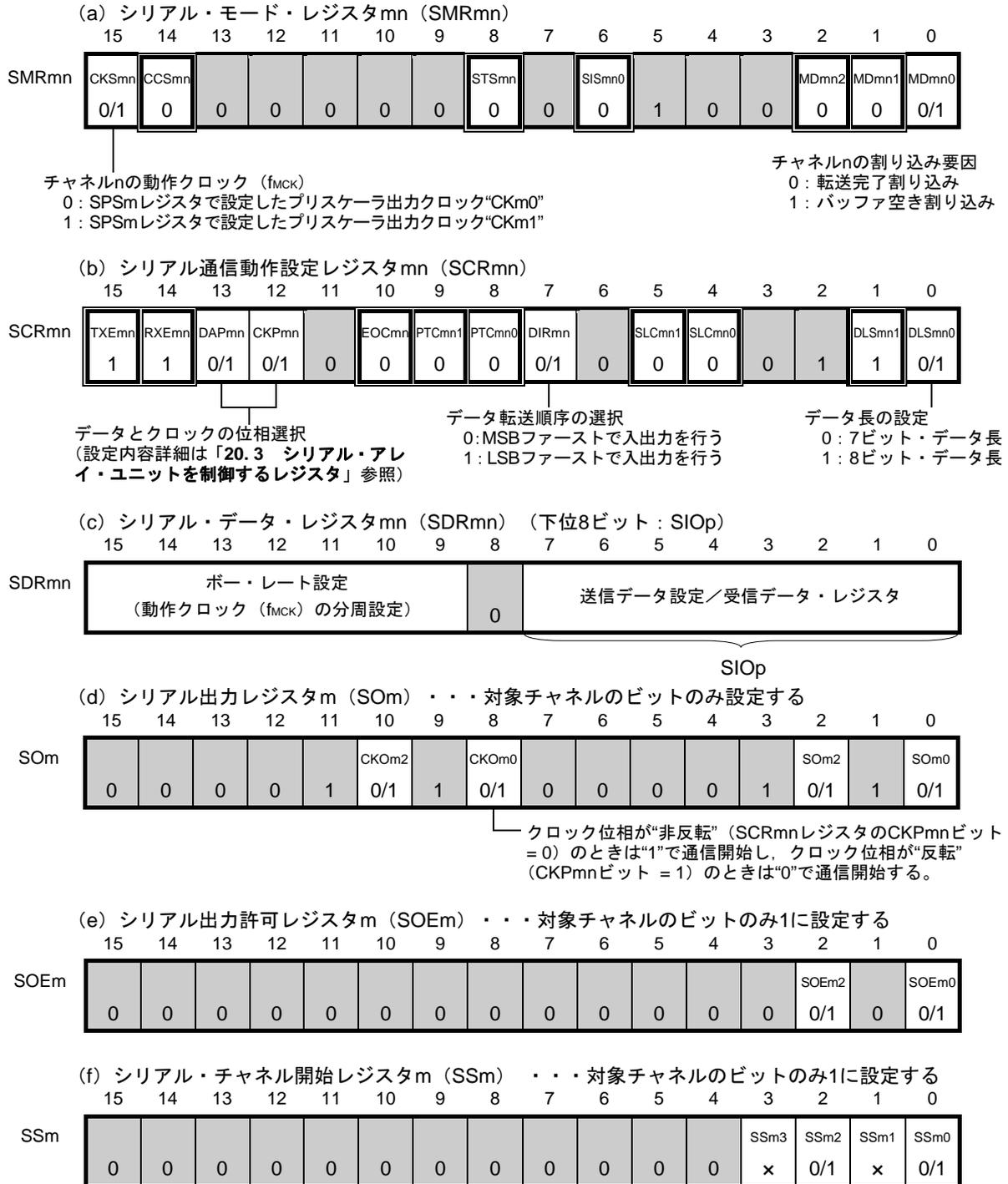
簡易SPI	CSI00	CSI10	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル2
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK30, SI30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート ^注	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転		
データ方向	MSBファーストまたはLSBファースト		

注 この条件を満たし、かつ電気的特性の周辺機能特性（**第43章 電気的特性参照**）を満たす範囲内で使用してください。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 00, 02, 12

(1) レジスタ設定

図20-43 簡易SPI (CSI00, CSI10, CSI30) のマスタ送受信時のレジスタ設定内容例



- 備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) p: CSI番号 (p = 00, 10, 30) mn = 00, 02, 12
2. □: 簡易SPI (CSI) マスタ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図20-44 マスタ送受信の初期設定手順

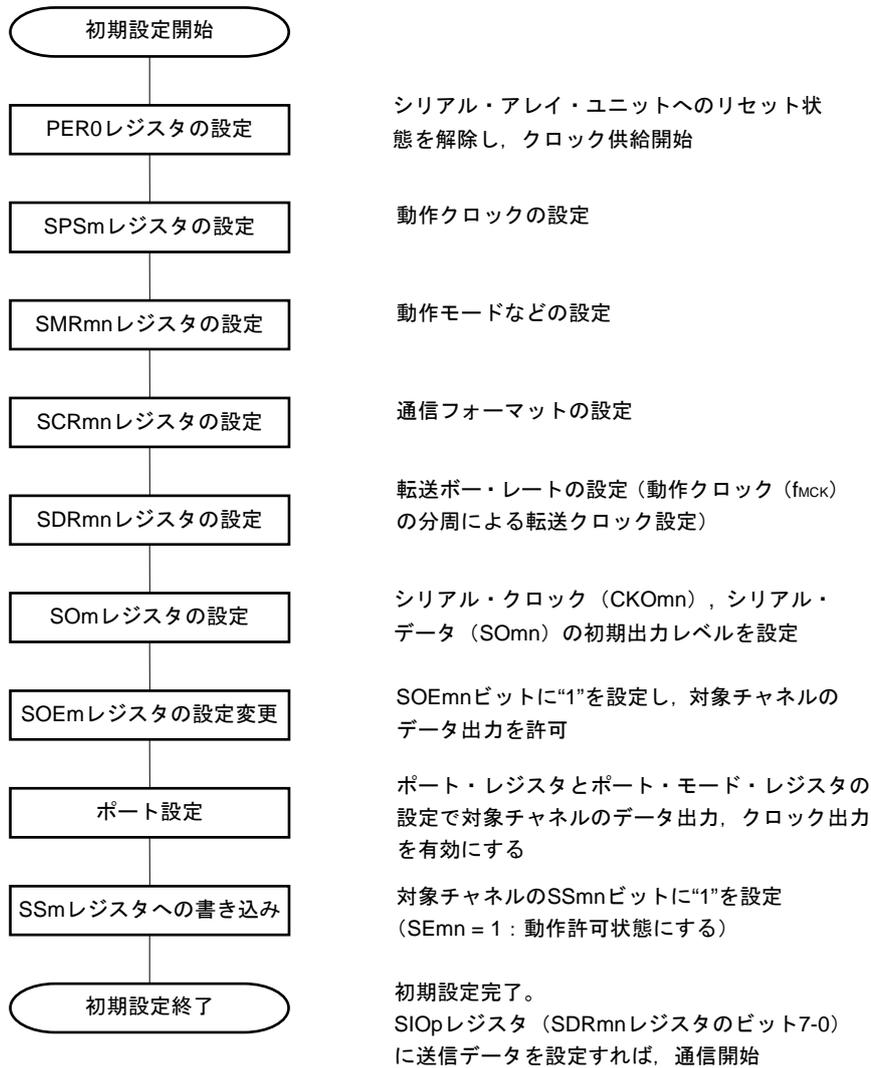


図20-45 マスタ送受信の中断手順

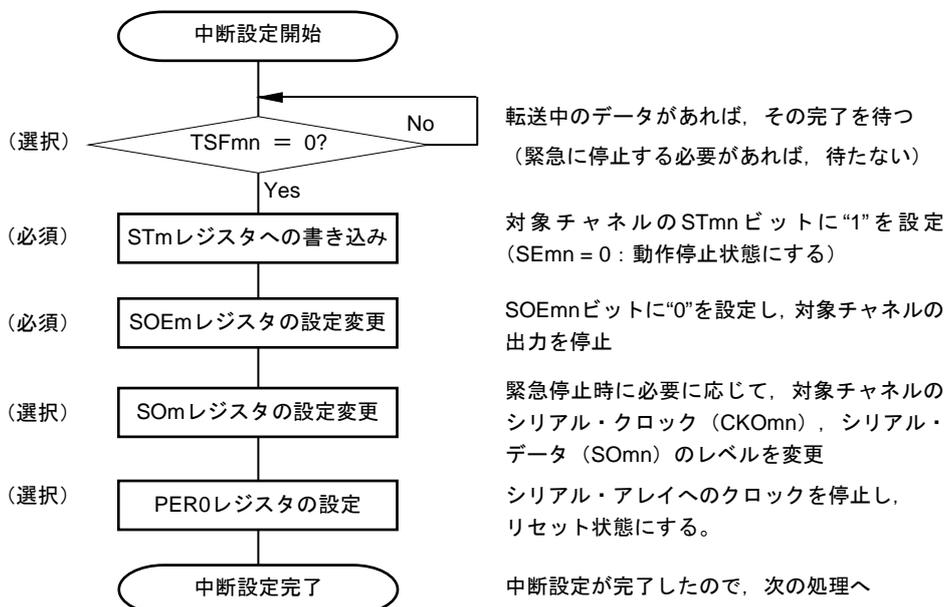
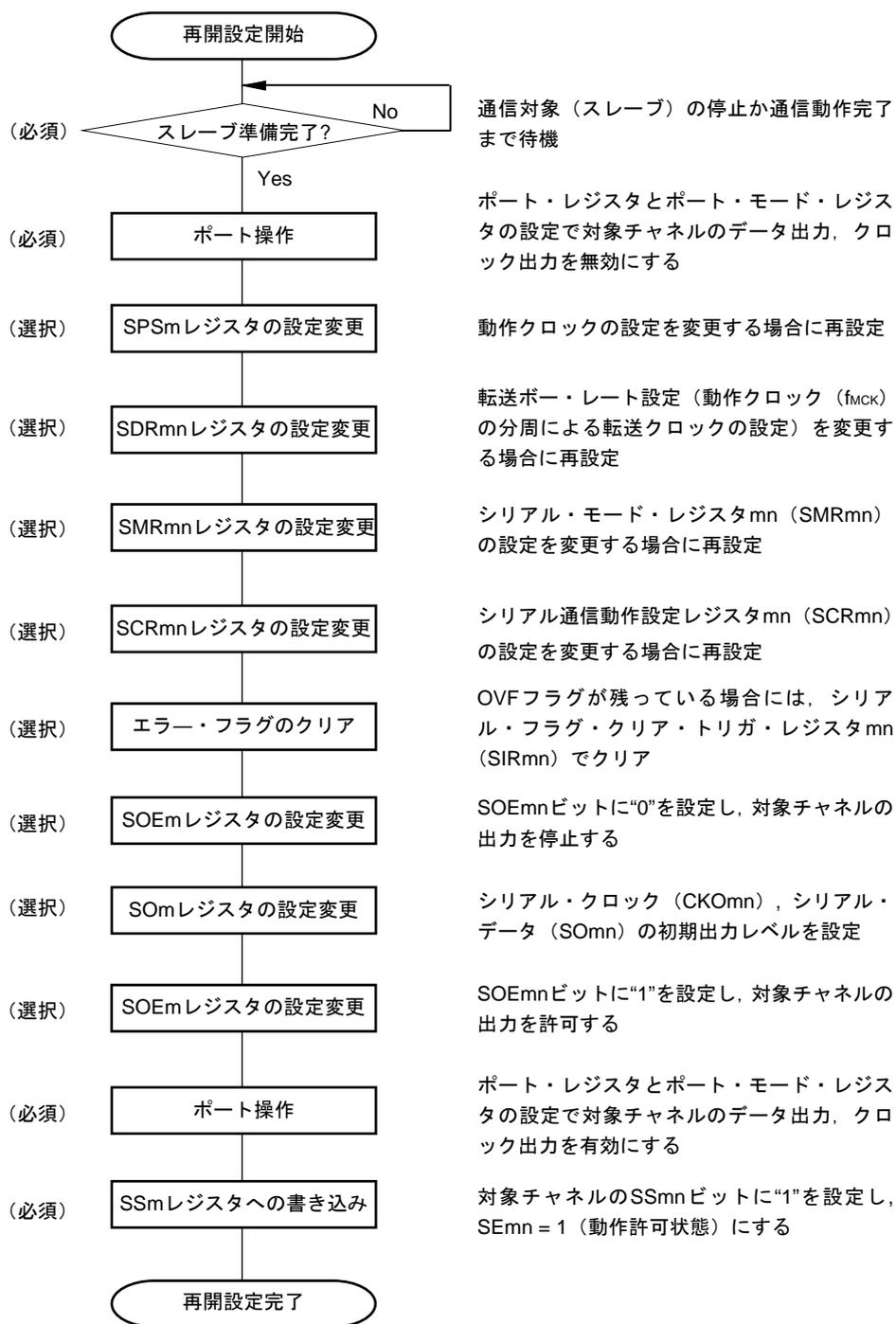
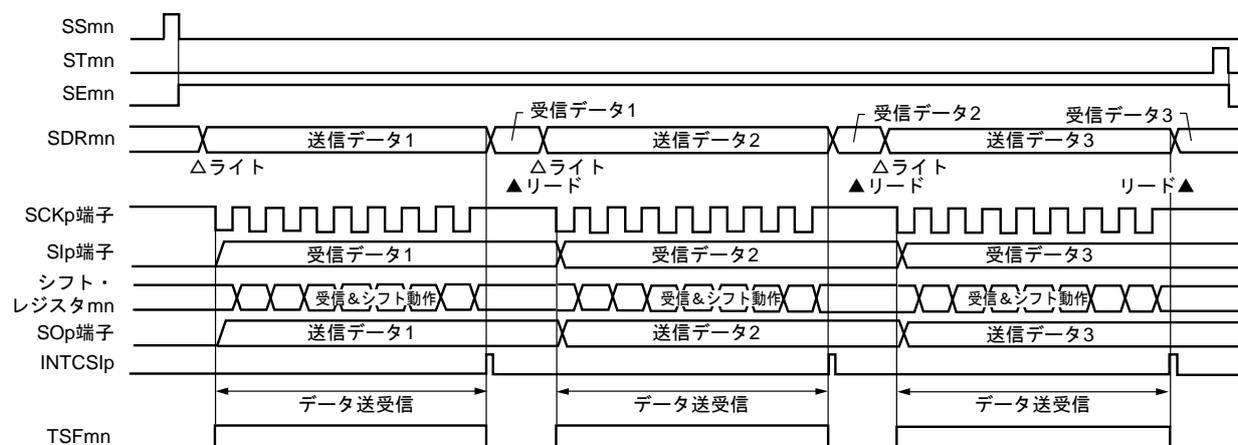


図20-46 マスタ送受信の再開設定手順



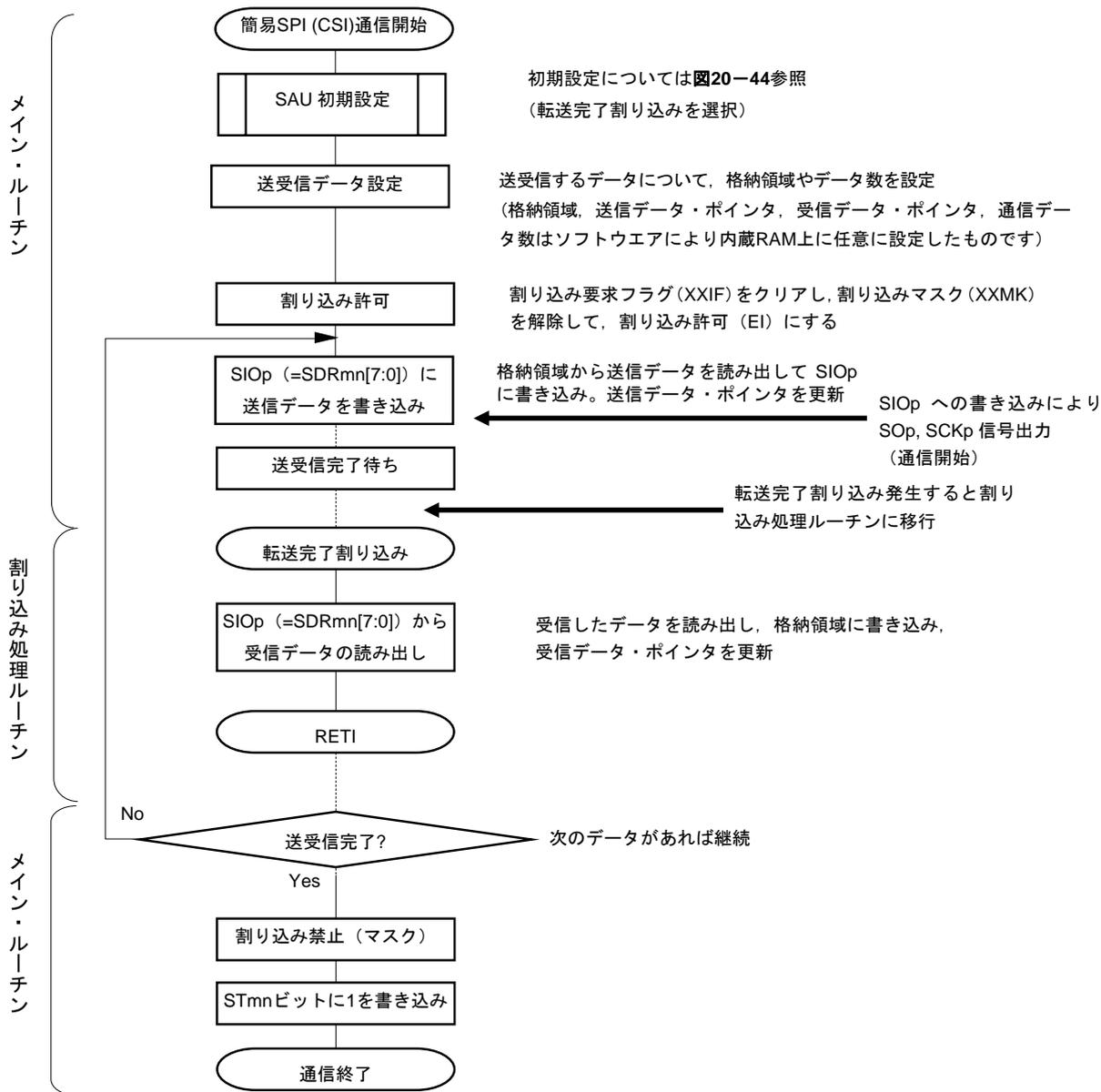
(3) 処理フロー (シングル送受信モード時)

図20-47 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



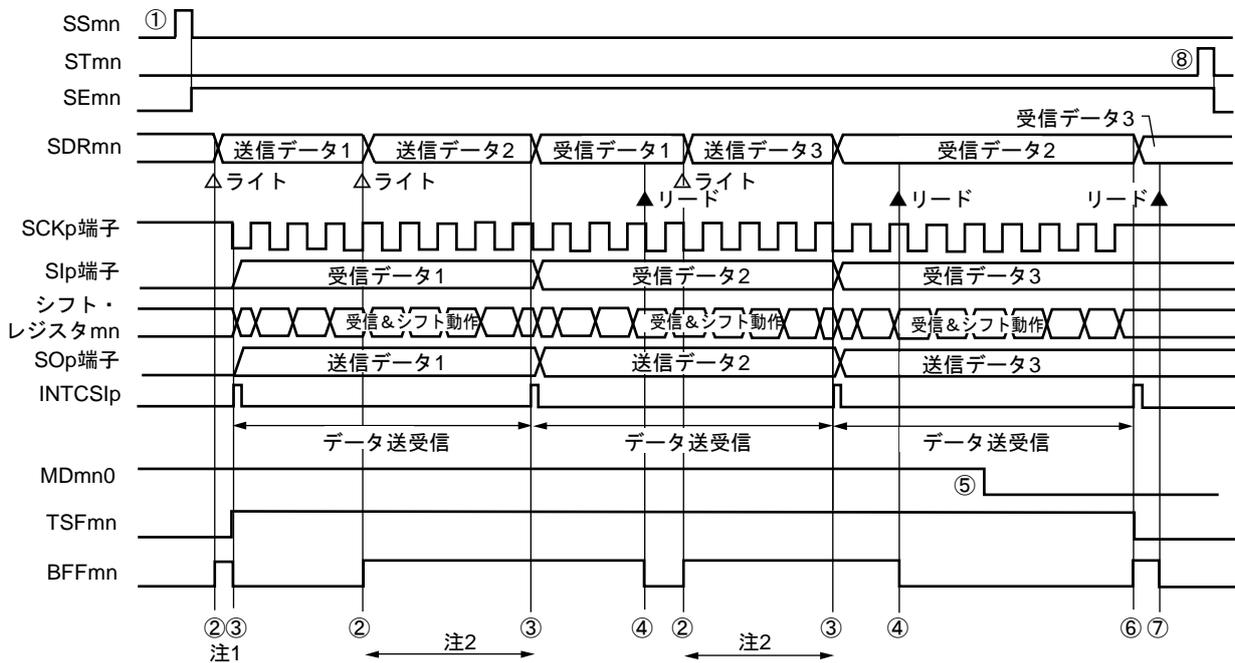
備考 m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0, 2) p: CSI番号 (p = 00, 10, 30) mn = 00, 02, 12

図20-48 マスタ送受信（シングル送受信モード時）のフロー・チャート



(4) 処理フロー（連続送受信モード時）

図20-49 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



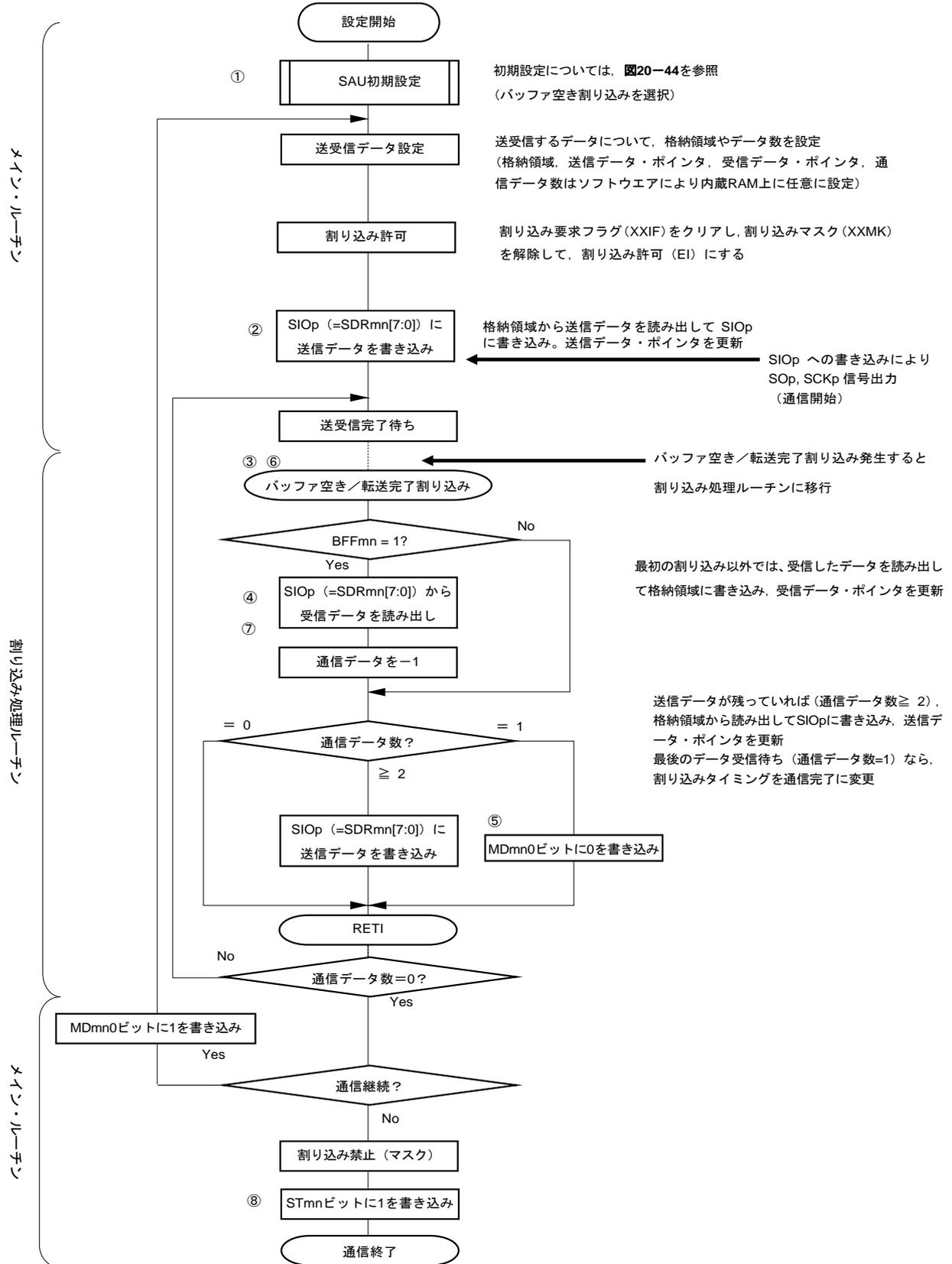
- 注1. シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
- 2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①~⑧は、図20-50 マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

- 2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 30) mn = 00, 02, 12

図20-50 マスタ送受信（連続送受信モード時）のフロー・チャート



備考 図中の①~⑧は、図20-49 マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

20.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI10	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル2
使用端子	SCK00, SO00	SCK10, SO10	SCK30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{mck}/6$ [Hz] ^{注1, 2}		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

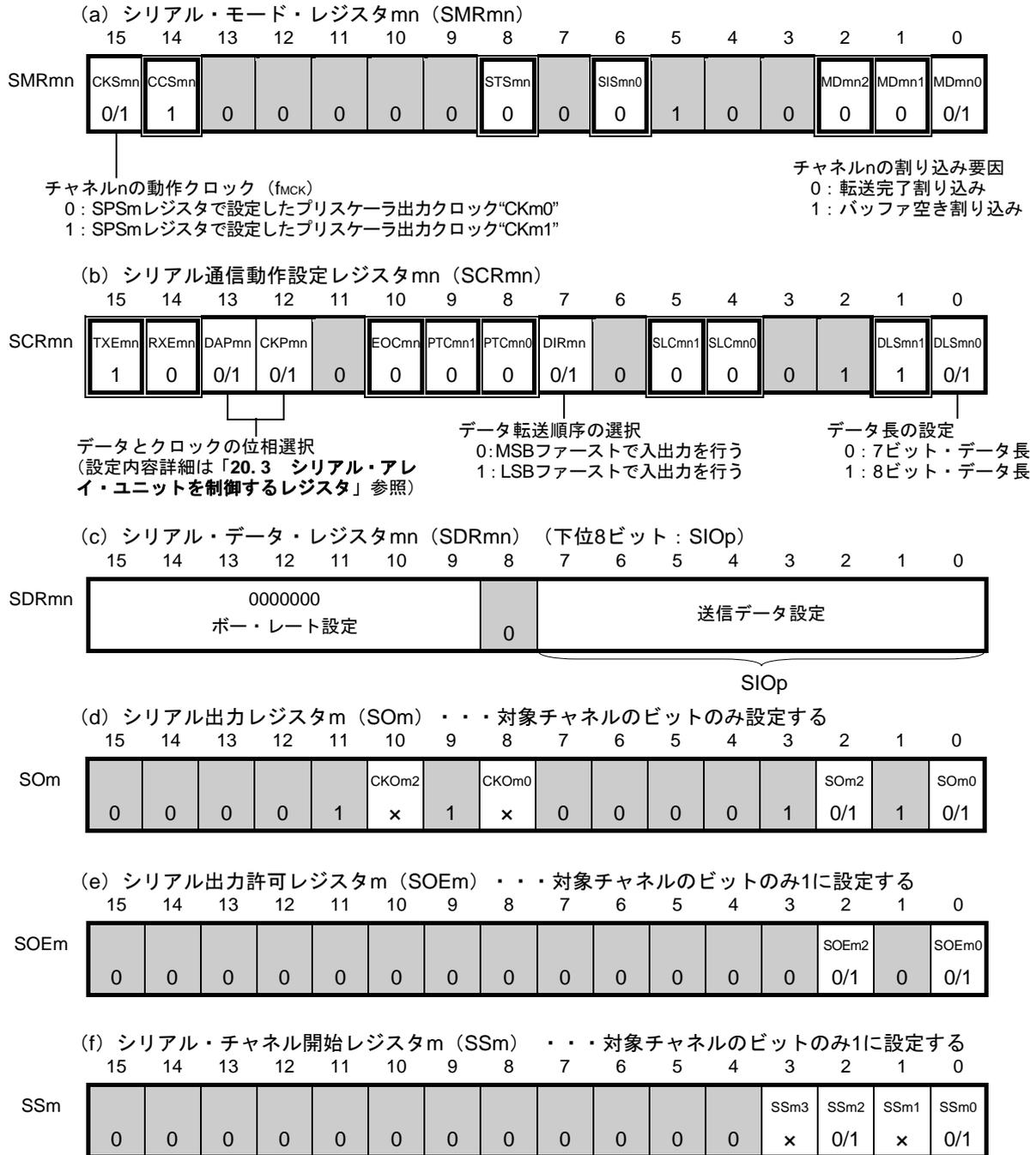
- 注1.** SCK00, SCK10, SCK30端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{mck}/6$ [Hz]となります。
- 2.** この条件を満たし、かつ電気的特性の周辺機能特性（**第43章 電気的特性参照**）を満たす範囲内で使用してください。

備考1. f_{mck} ：対象チャンネルの動作クロック周波数

- 2.** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） mn = 00, 02, 12

(1) レジスタ設定

図20-51 簡易SPI (CSI00, CSI10, CSI30) のスレーブ送信時のレジスタ設定内容例



- 備考1. m: ユニット番号 (m=0, 1) n: チャンネル番号 (n=0, 2) p: CSI番号 (p=00, 10, 30) mn=00, 02, 12
2. □: 簡易SPI (CSI)スレーブ送信モードでは設定固定 □: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図20-52 スレーブ送信の初期設定手順

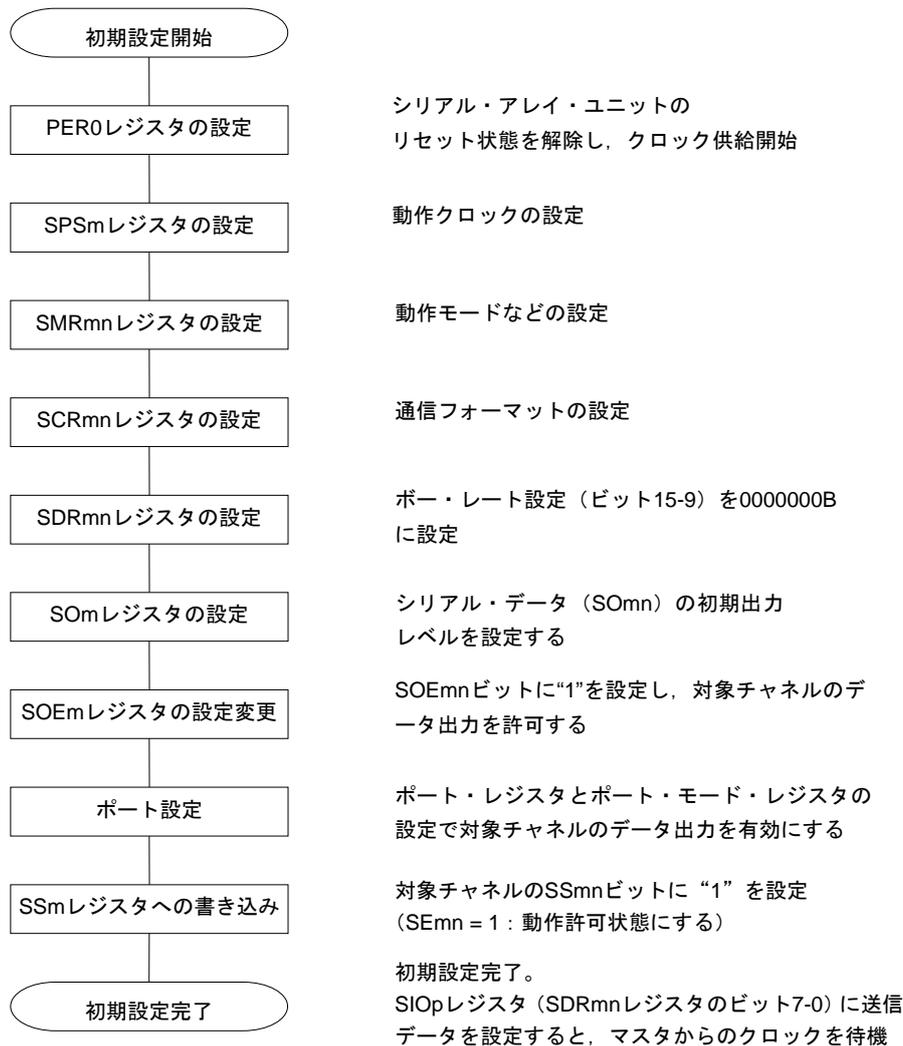


図20-53 スレーブ送信の中断手順

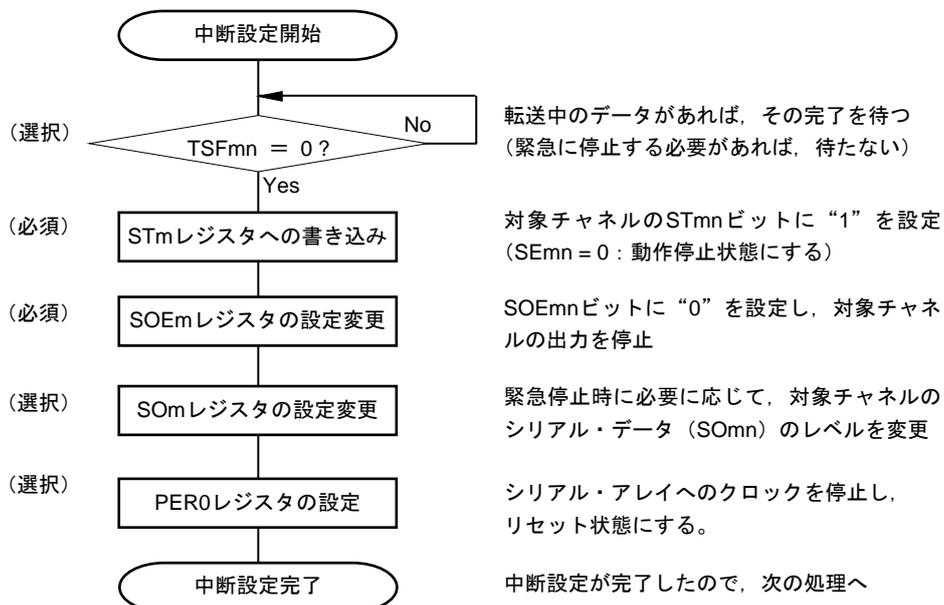
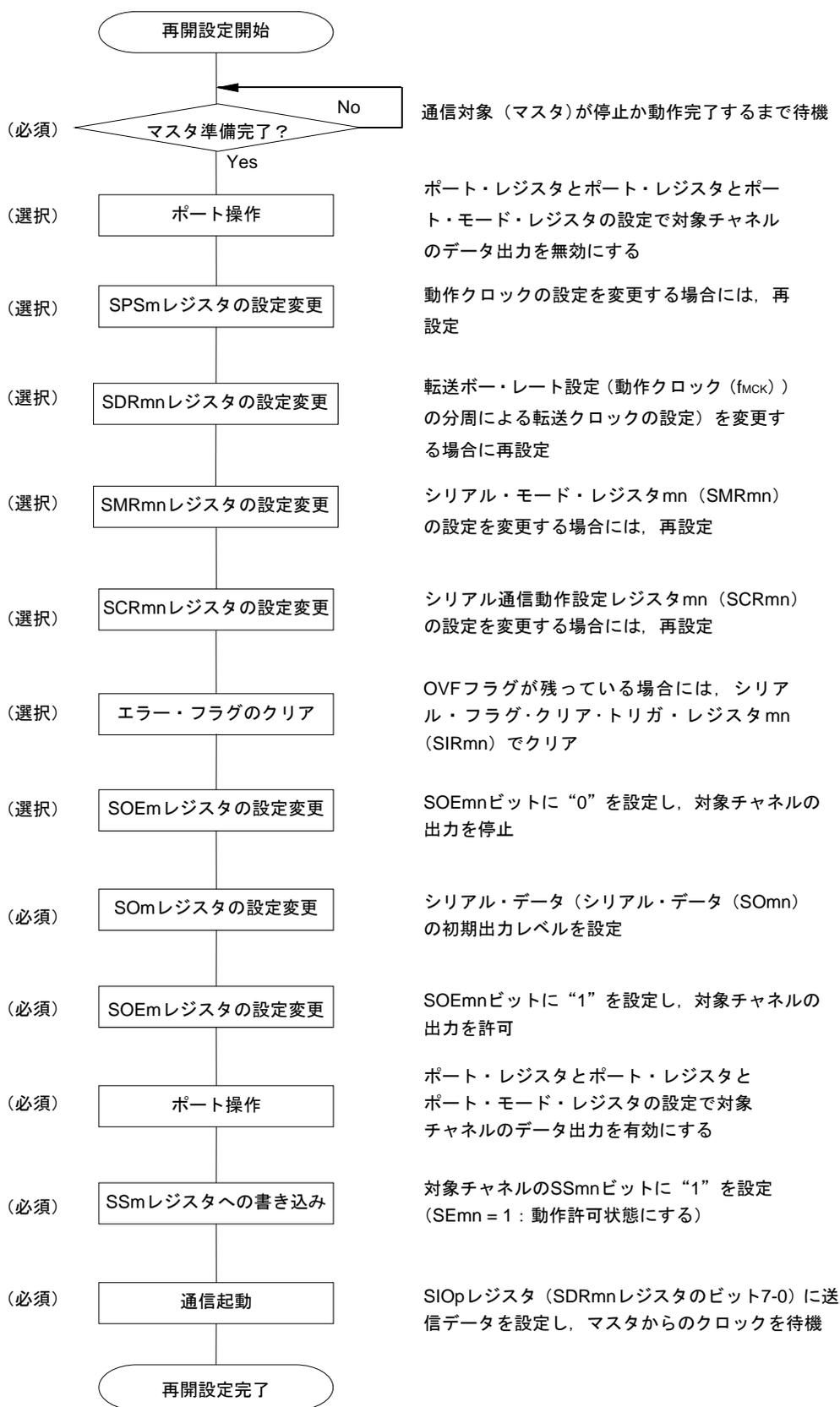


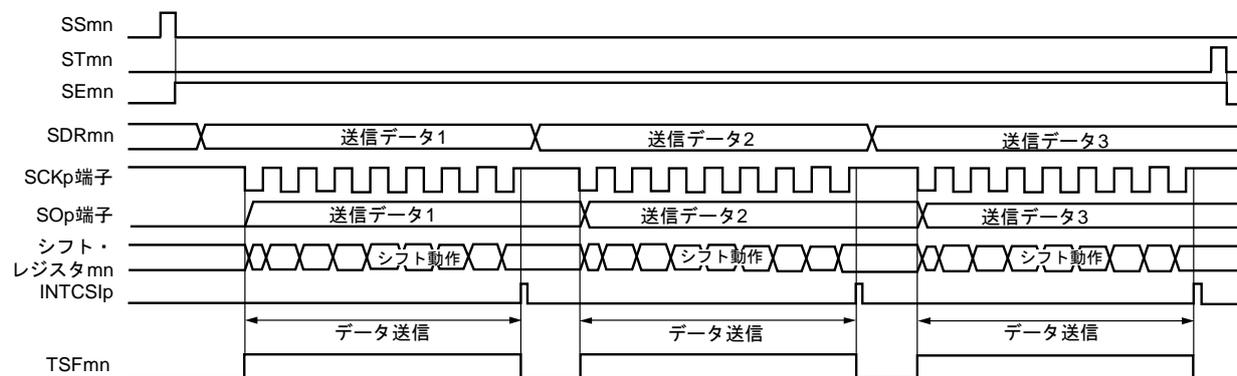
図20-54 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

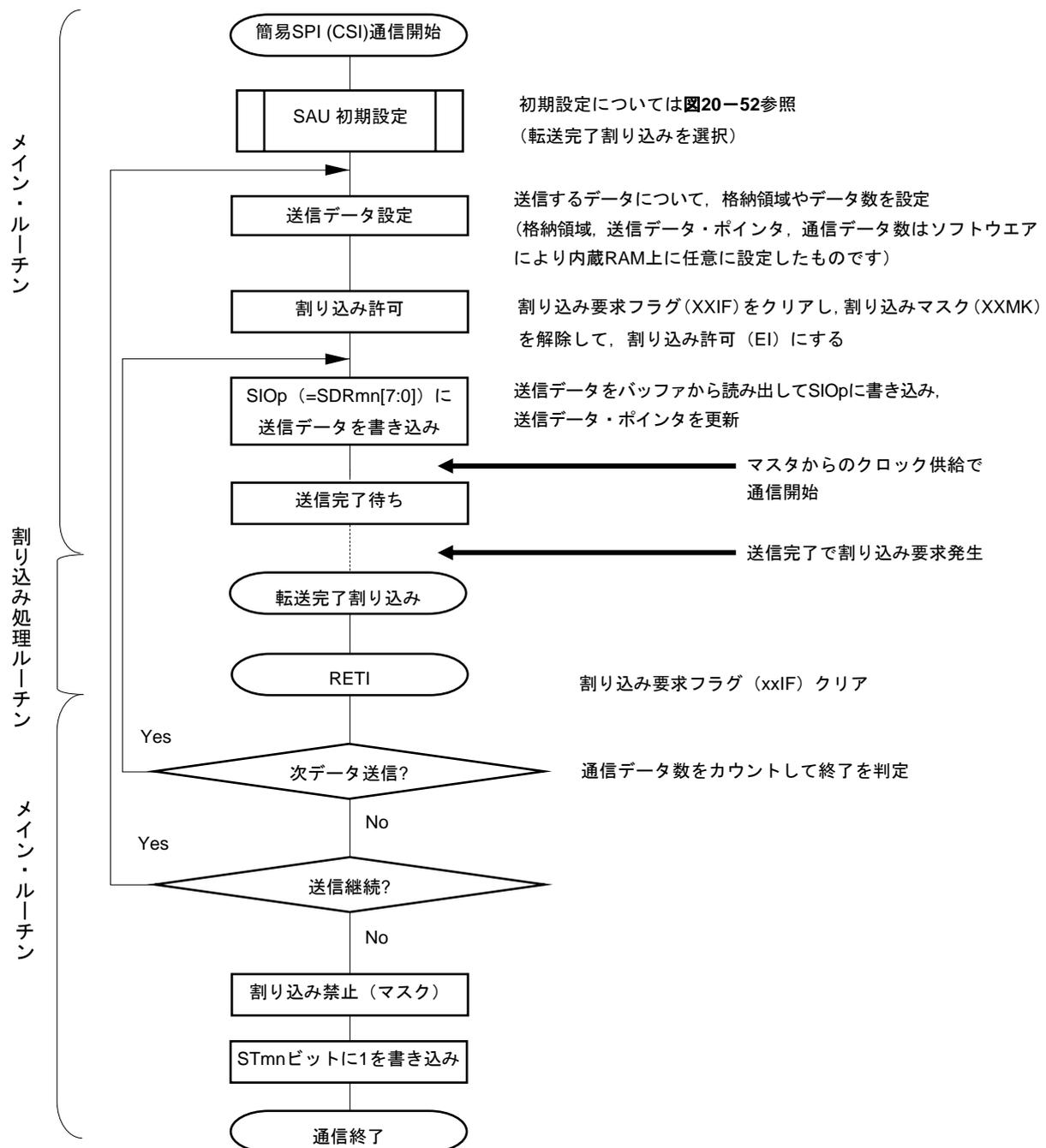
(3) 処理フロー (シングル送信モード時)

図20-55 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



備考 m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0, 2) p: CSI番号 (p = 00, 10, 30) mn = 00, 02, 12

図20-56 スレーブ送信（シングル送信モード時）のフロー・チャート



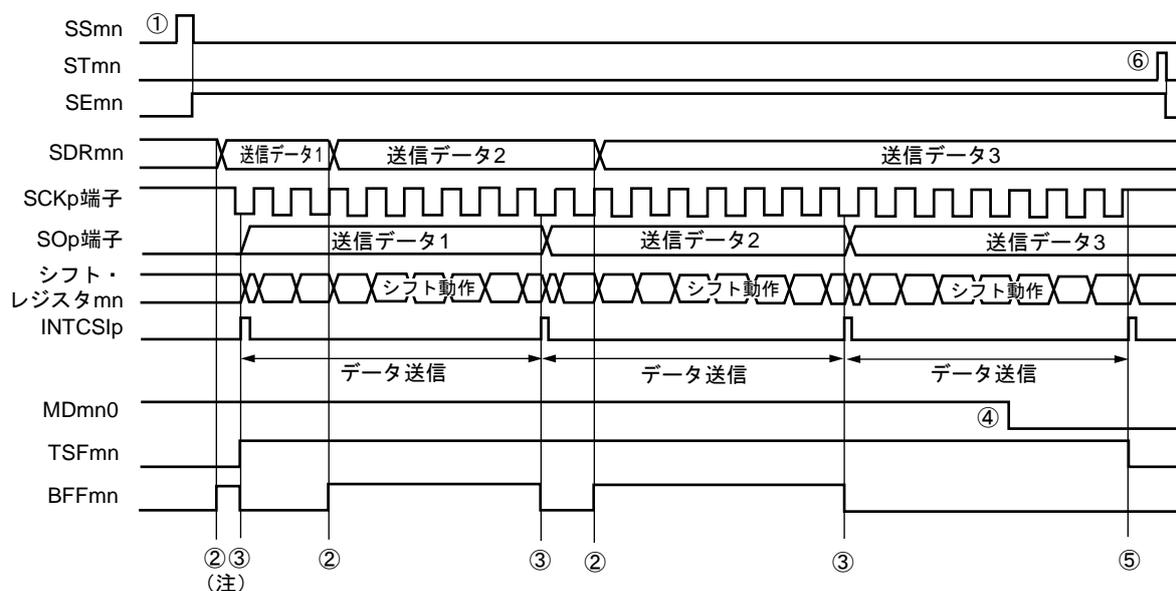
メイン・ルーチン

割り込み処理ルーチン

メイン・ルーチン

(4) 処理フロー（連続送信モード時）

図20-57 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

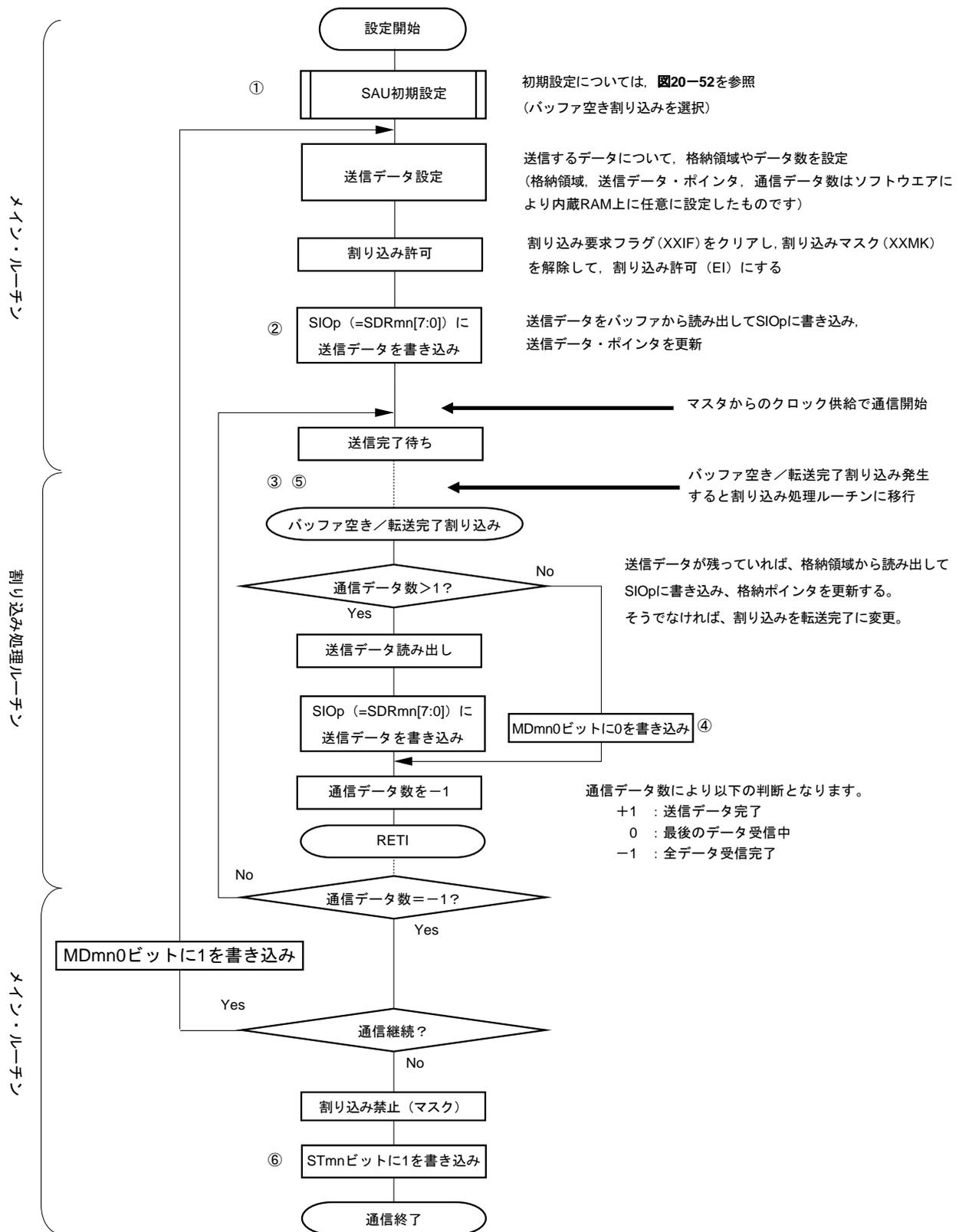


注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 30) mn = 00, 02, 12

図20-58 スレーブ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、**図20-57 スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥**に対応しています。

20.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI10	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル2
使用端子	SCK00, SI00	SCK10, SI10	SCK30, SI30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

注1. SCK00, SCK10, SCK30端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

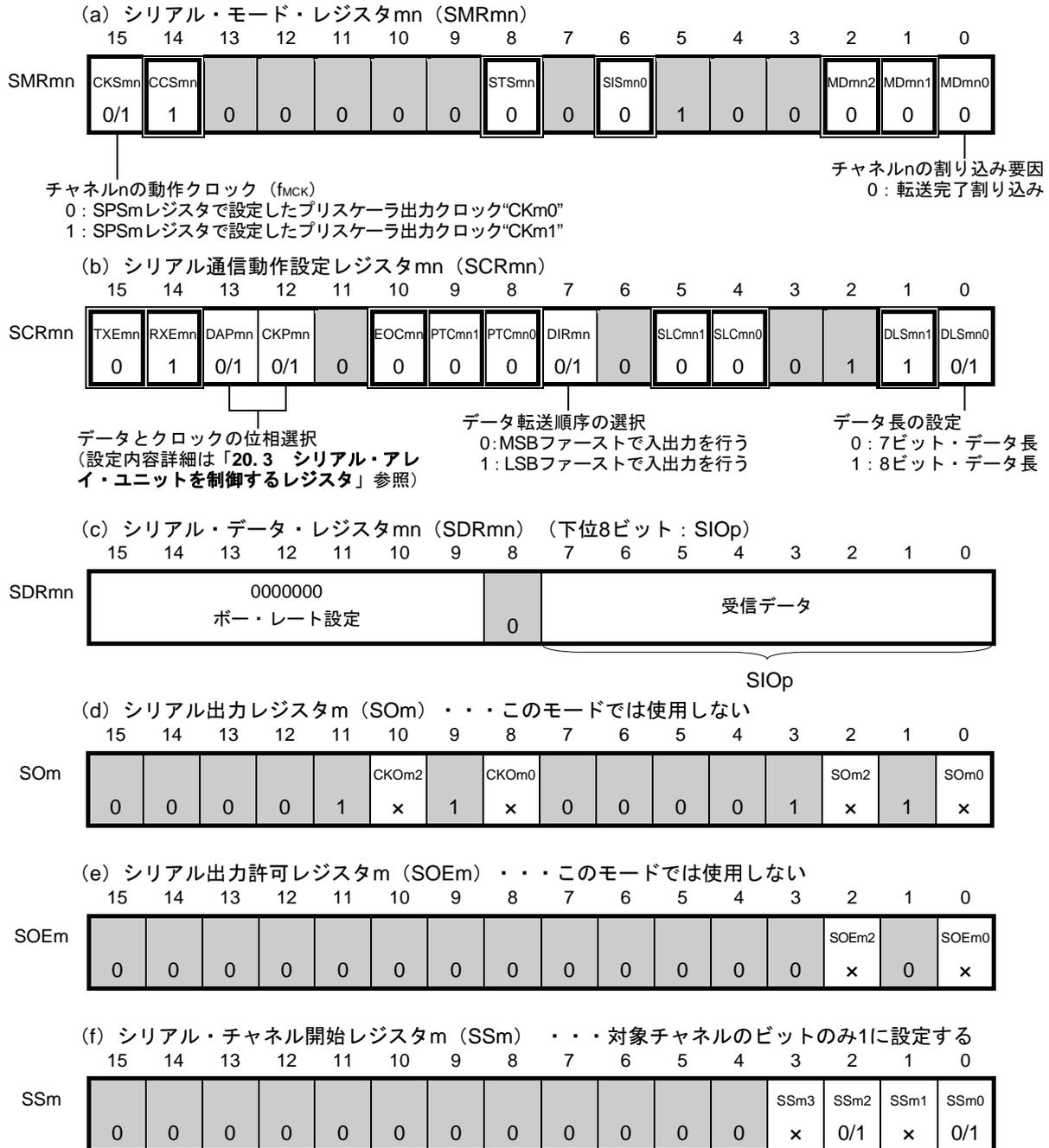
2. この条件を満たし、かつ電氣的特性の周辺機能特性（**第43章 電氣的特性参照**）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） mn = 00, 02, 12

(1) レジスタ設定

図20-59 簡易SPI (CSI00, CSI10, CSI30) のスレーブ受信時のレジスタ設定内容例



- 備考1. m: ユニット番号 (m=0, 1) n: チャンネル番号 (n=0, 2) p: CSI番号 (p=00, 10, 30) mn=00, 02, 12
2. : 簡易SPI(CSI)スレーブ受信モード : 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図20-60 スレーブ受信の初期設定手順

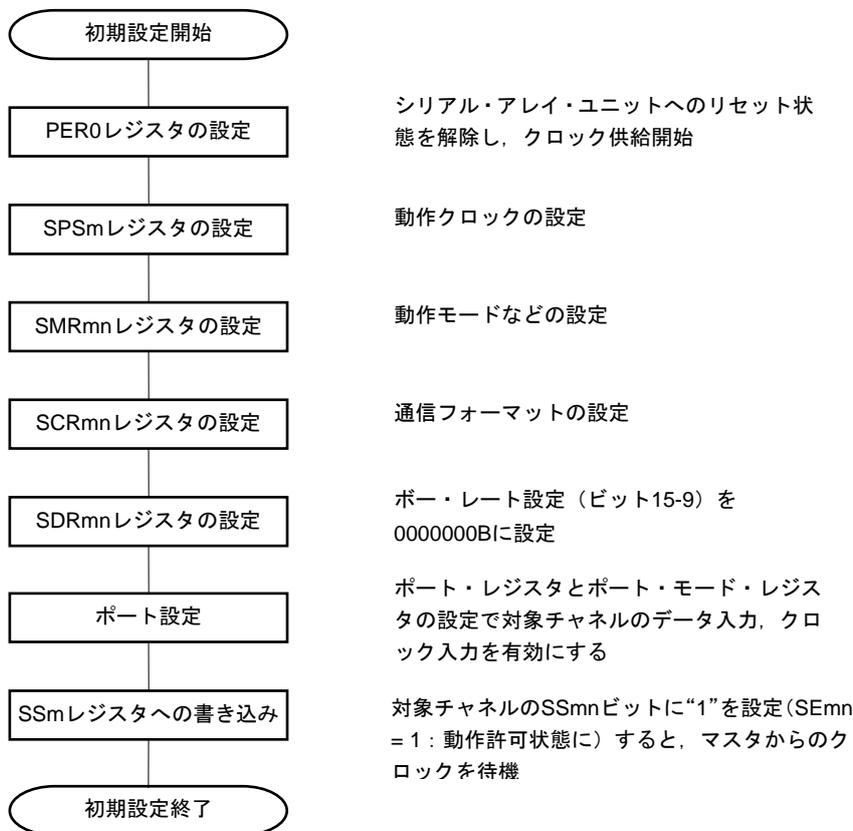


図20-61 スレーブ受信の中断手順

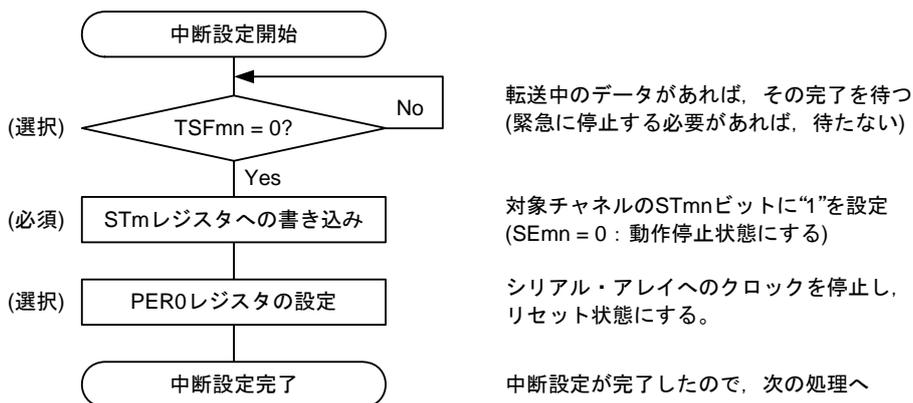
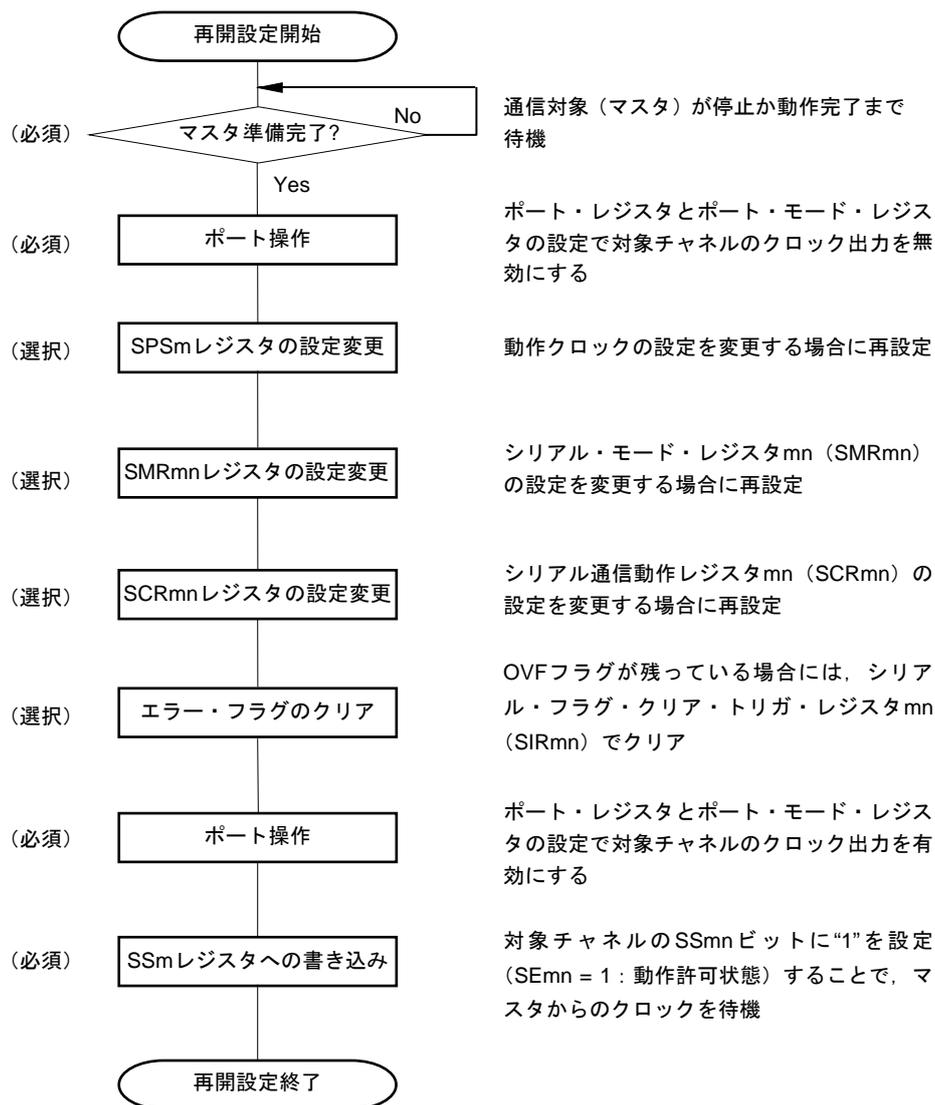


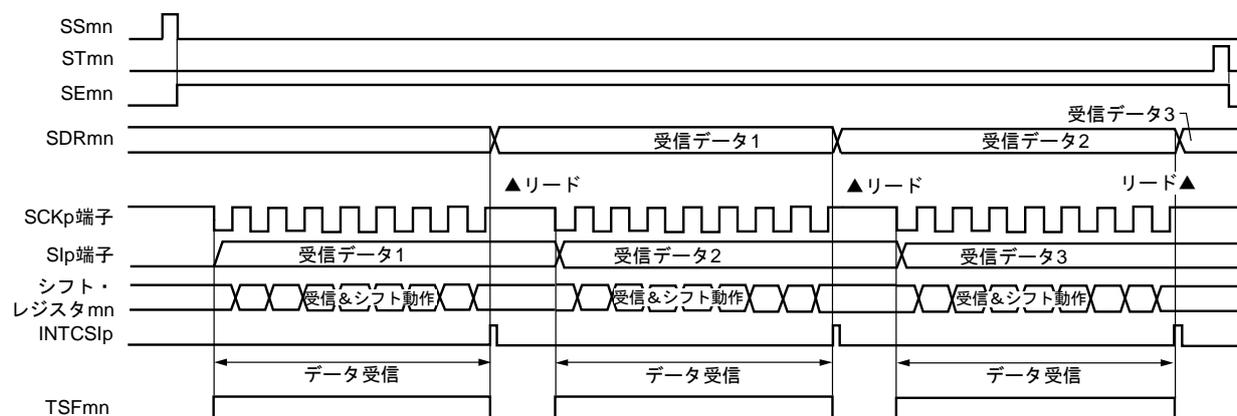
図20-62 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

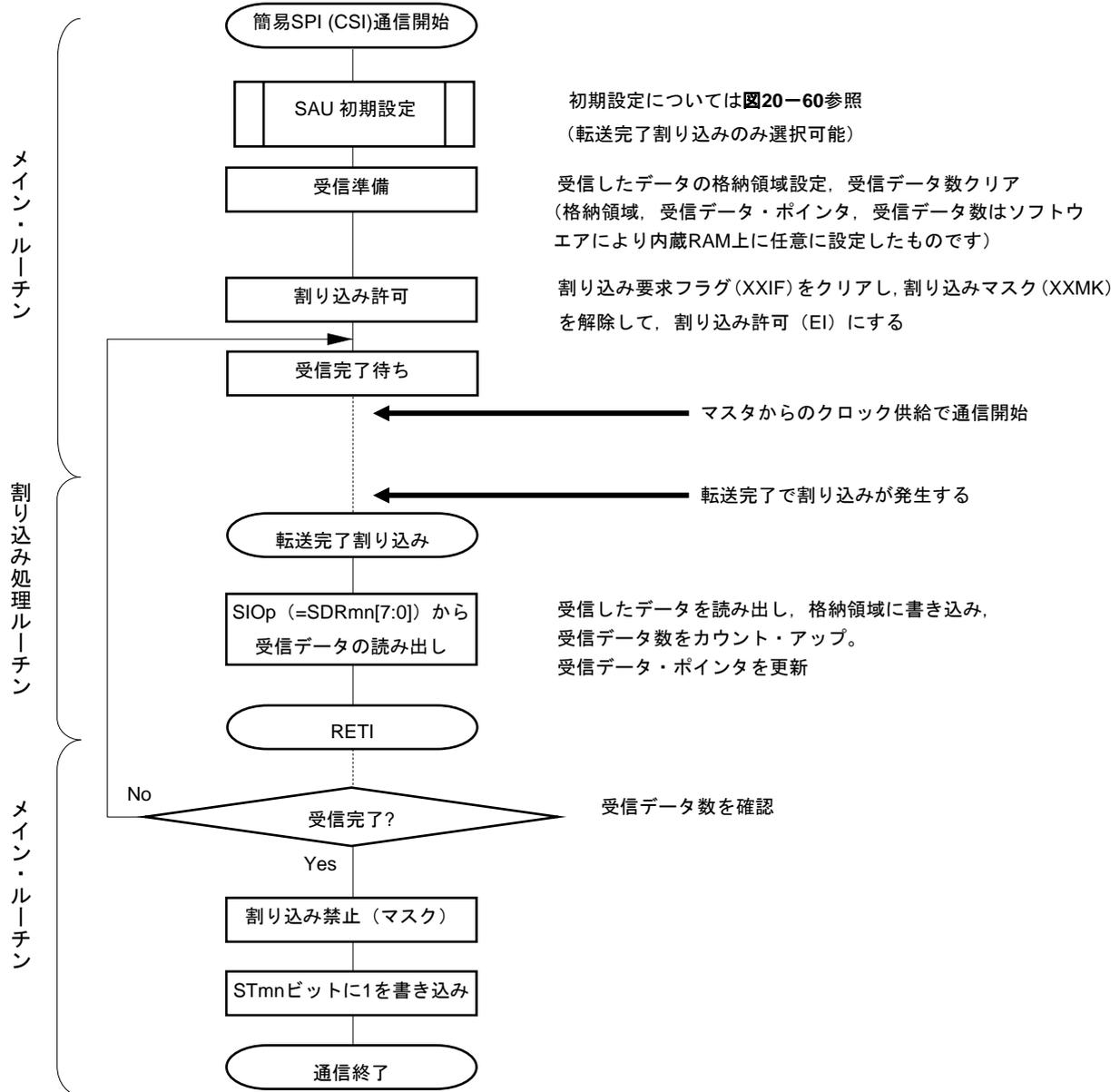
(3) 処理フロー (シングル受信モード時)

図20-63 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



備考 m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0, 2) p: CSI番号 (p = 00, 10, 30) mn = 00, 02, 12

図20-64 スレーブ受信（シングル受信モード時）のフロー・チャート



20.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI10	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル2
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK30, SI30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI30
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{mck}/6$ [Hz] ^{注1, 2}		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

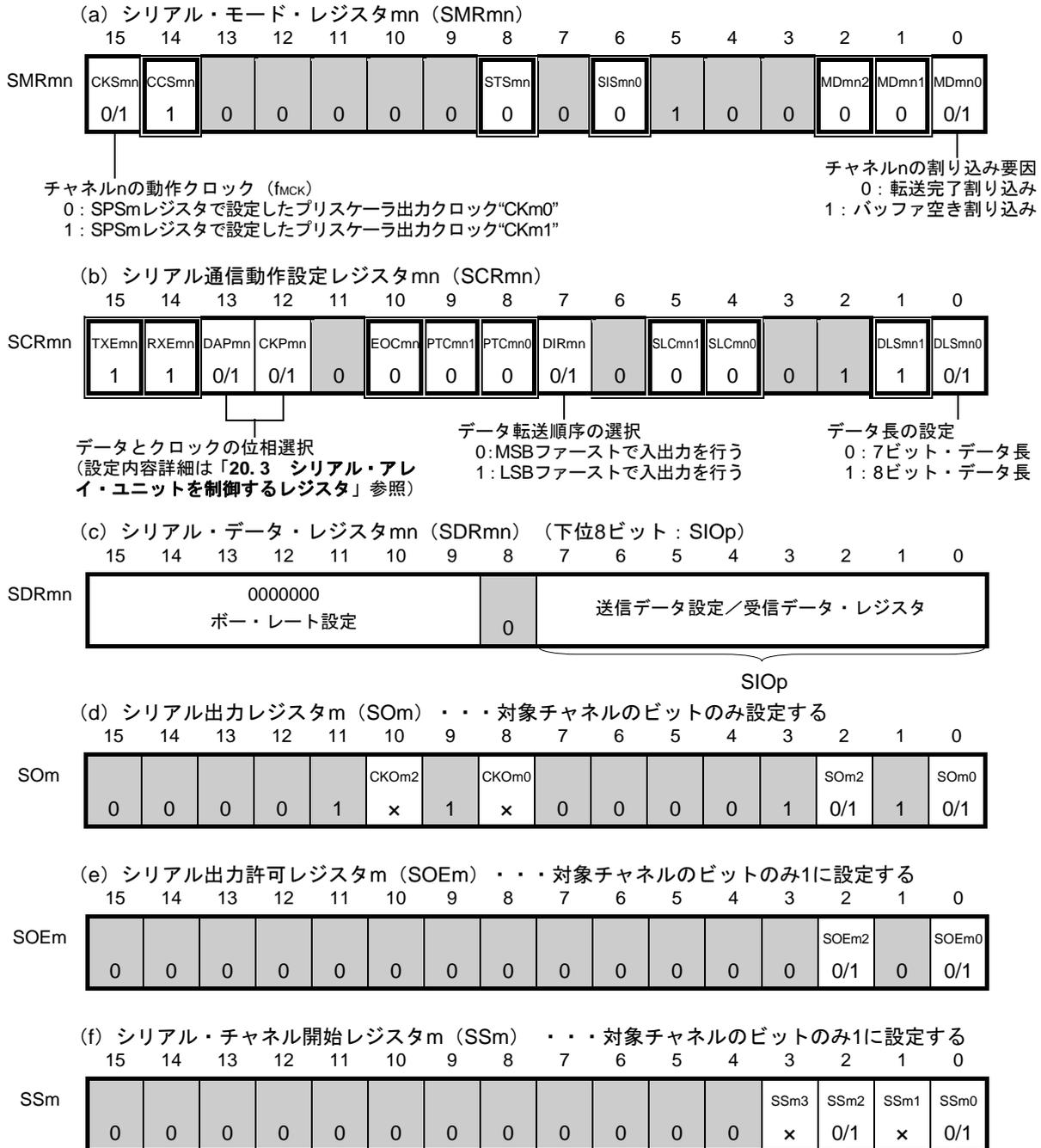
- 注1.** SCK00, SCK10, SCK30端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{mck}/6$ [Hz]となります。
- 2.** この条件を満たし、かつ電気的特性の周辺機能特性（**第43章 電気的特性参照**）を満たす範囲内で使用してください。

備考1. f_{mck} ：対象チャンネルの動作クロック周波数

- 2.** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） mn = 00, 02, 12

(1) レジスタ設定

図20-65 簡易SPI (CSI00, CSI10, CSI30) のスレーブ送受信時のレジスタ設定内容例

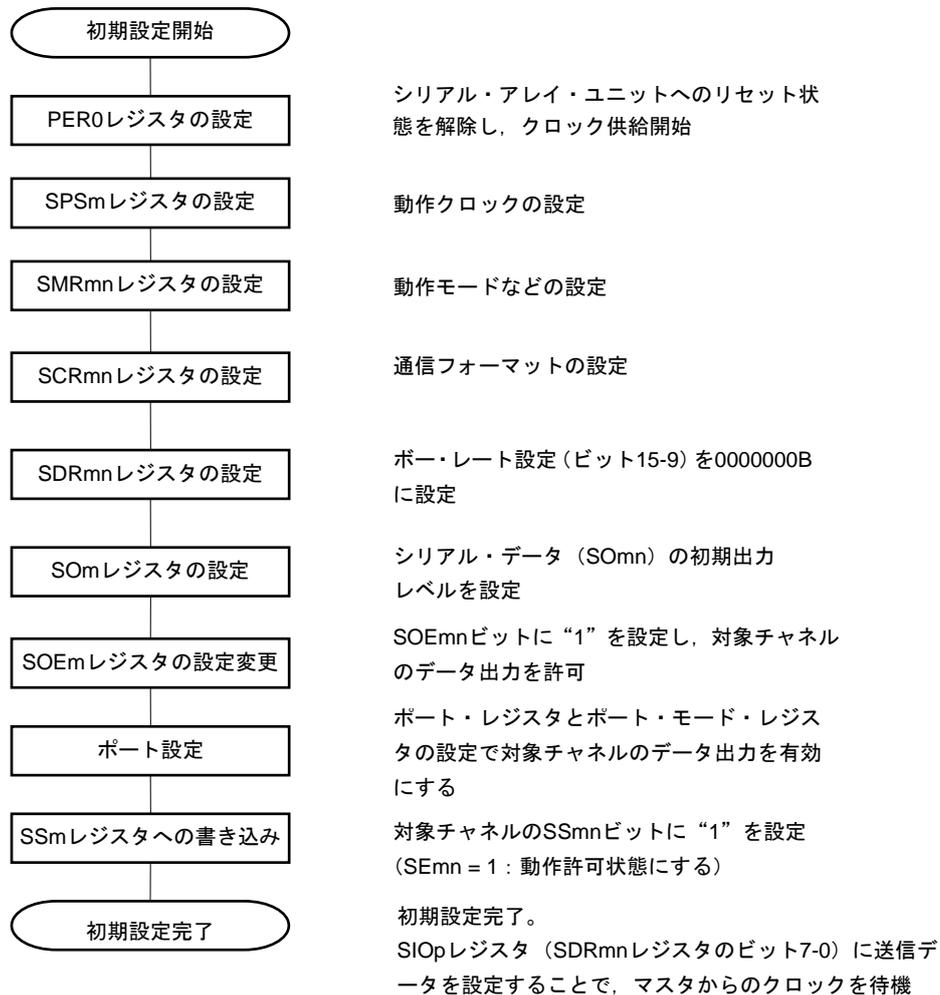


注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

- 備考1. m: ユニット番号 (m=0, 1) n: チャンネル番号 (n=0, 2) p: CSI番号 (p=00, 10, 30) mn=00, 02, 12
2. : 簡易SPI (CSI)スレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図20-66 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図20-67 スレーブ送受信の中断手順

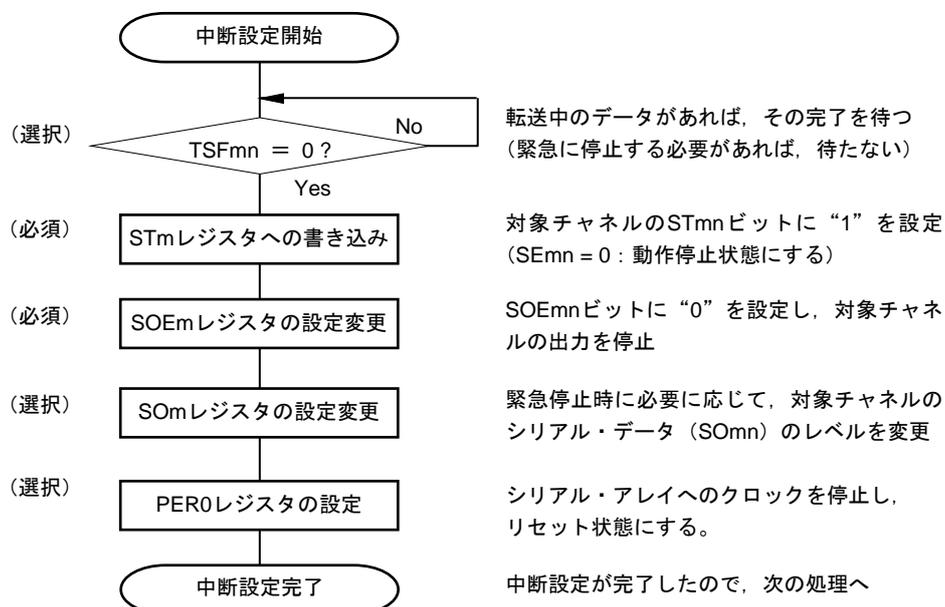
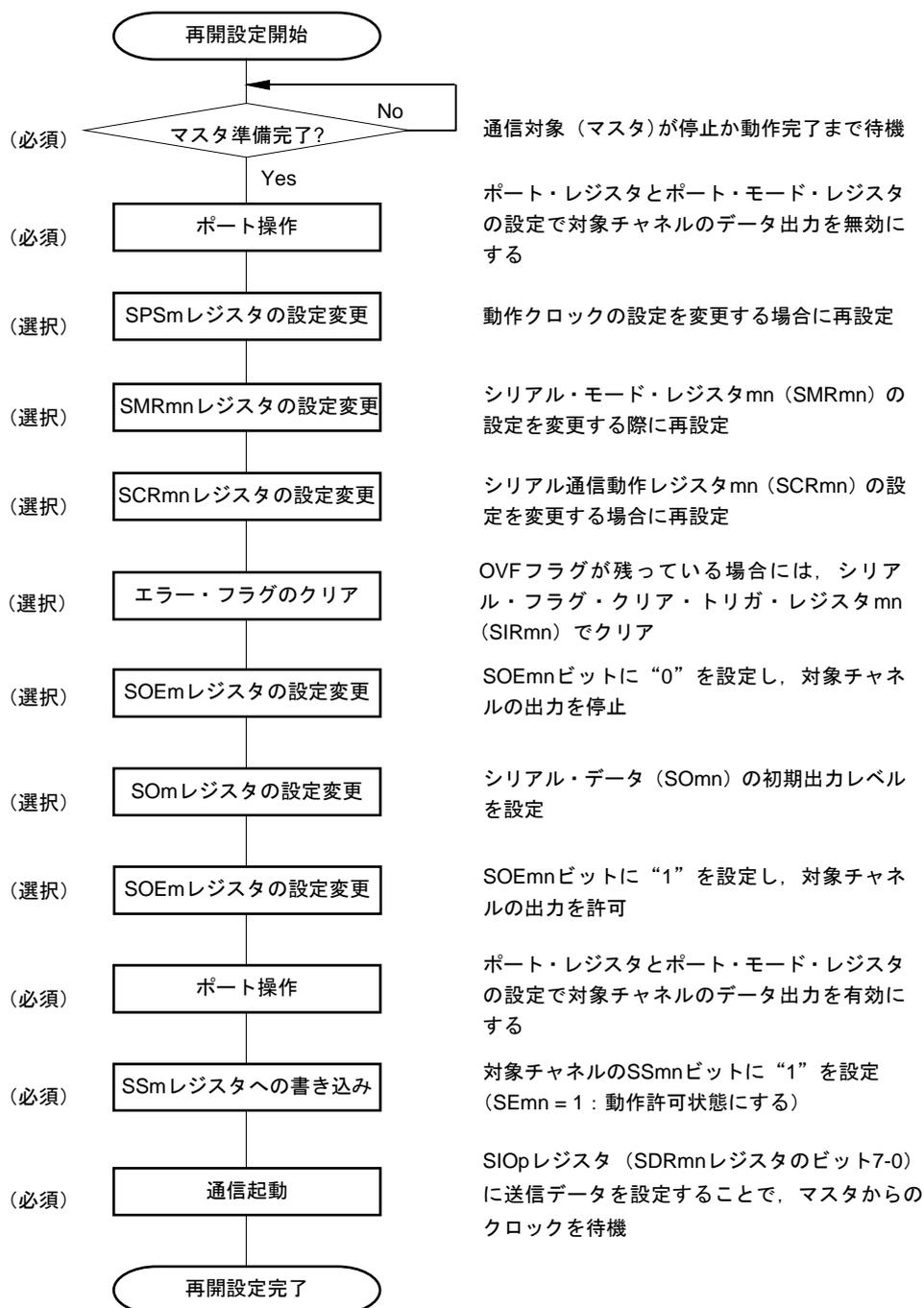


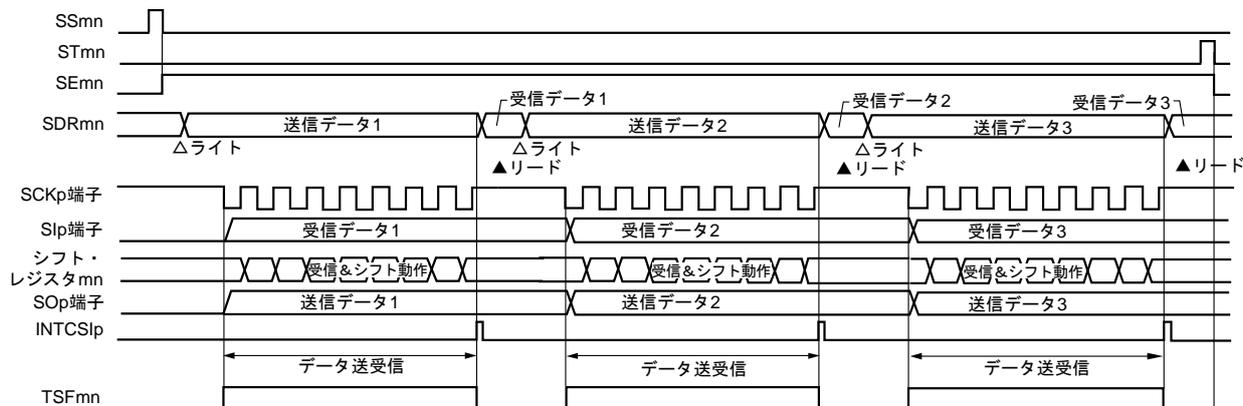
図20-68 スレーブ送受信の再開設定手順



- 注意 1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。
2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

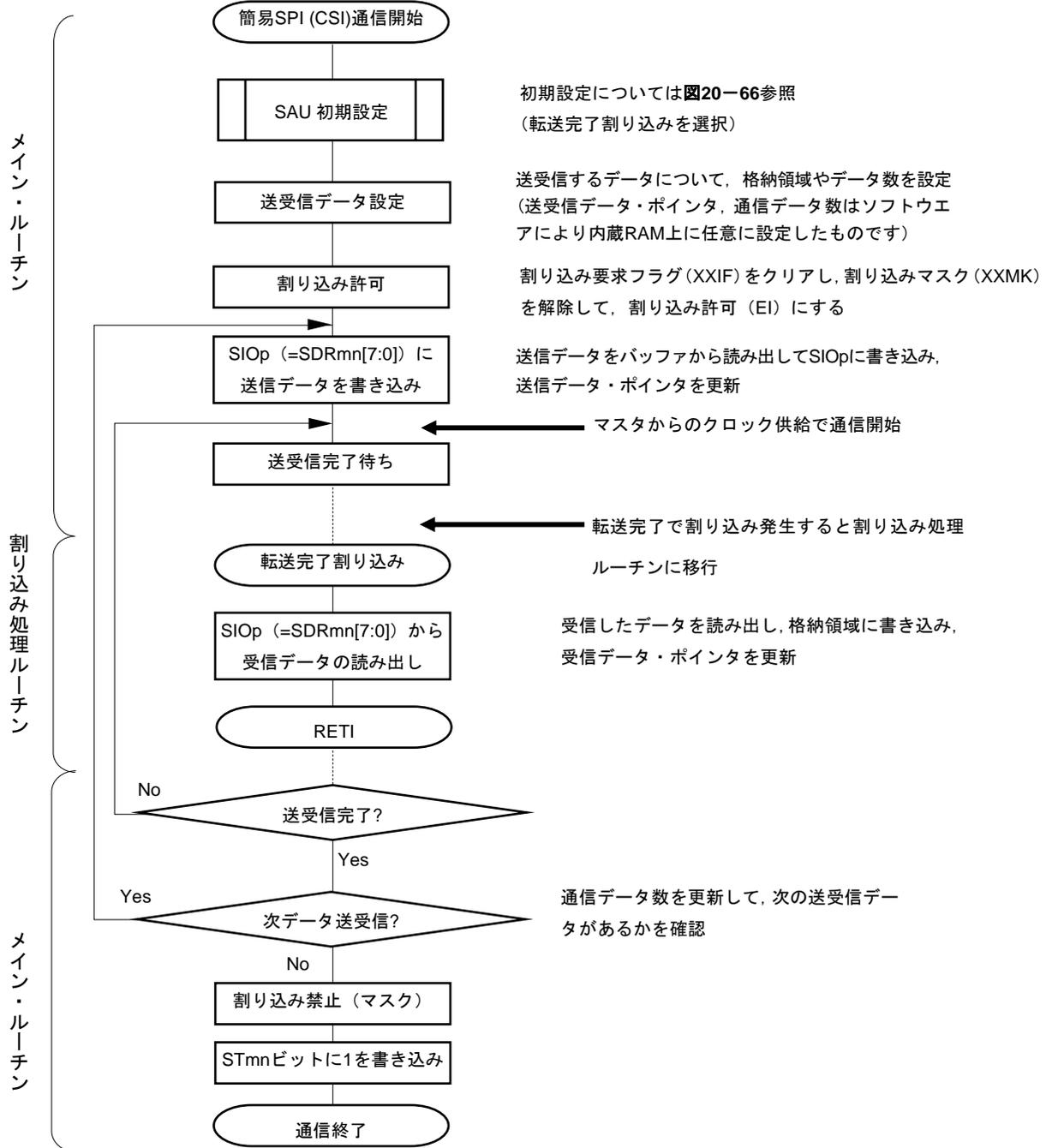
(3) 処理フロー (シングル送受信モード時)

図20-69 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



備考 m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0, 2) p: CSI番号 (p = 00, 10, 30) mn = 00, 02, 12

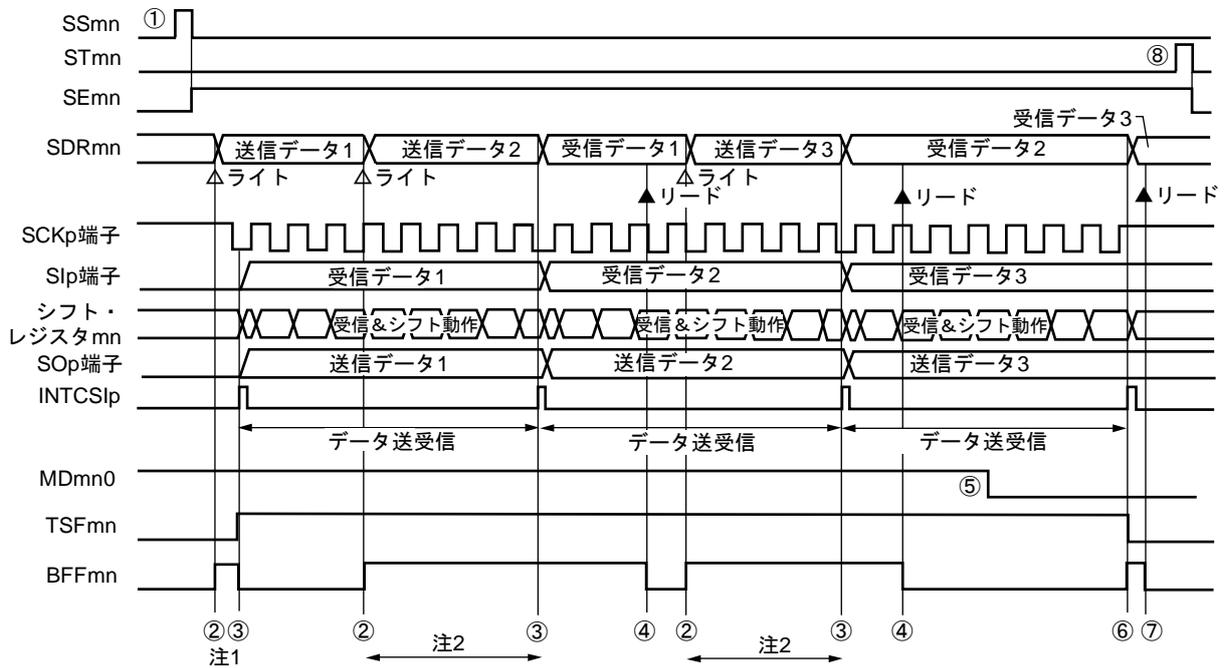
図20-70 スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図20-71 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



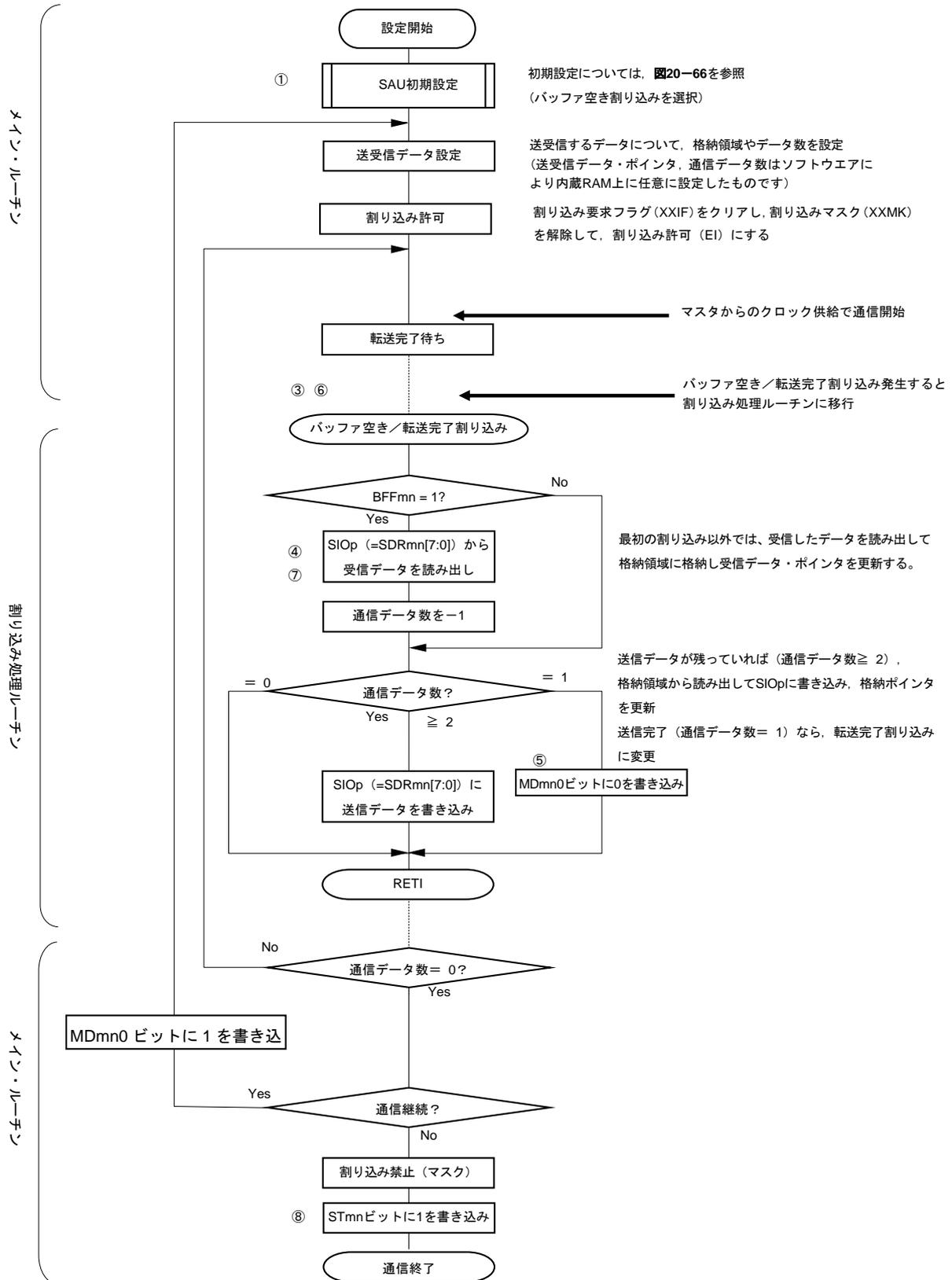
- 注1.** シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
- 2.** この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①~⑧は、図20-72 スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

- 2.** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 30) mn = 00, 02, 12

図20-72 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①~⑧は、**図20-71** スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

20.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI (CSI)の受信動作をさせるモードです。通常STOPモード時に簡易SPI (CSI)は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI (CSI)の受信動作を行うことができます。

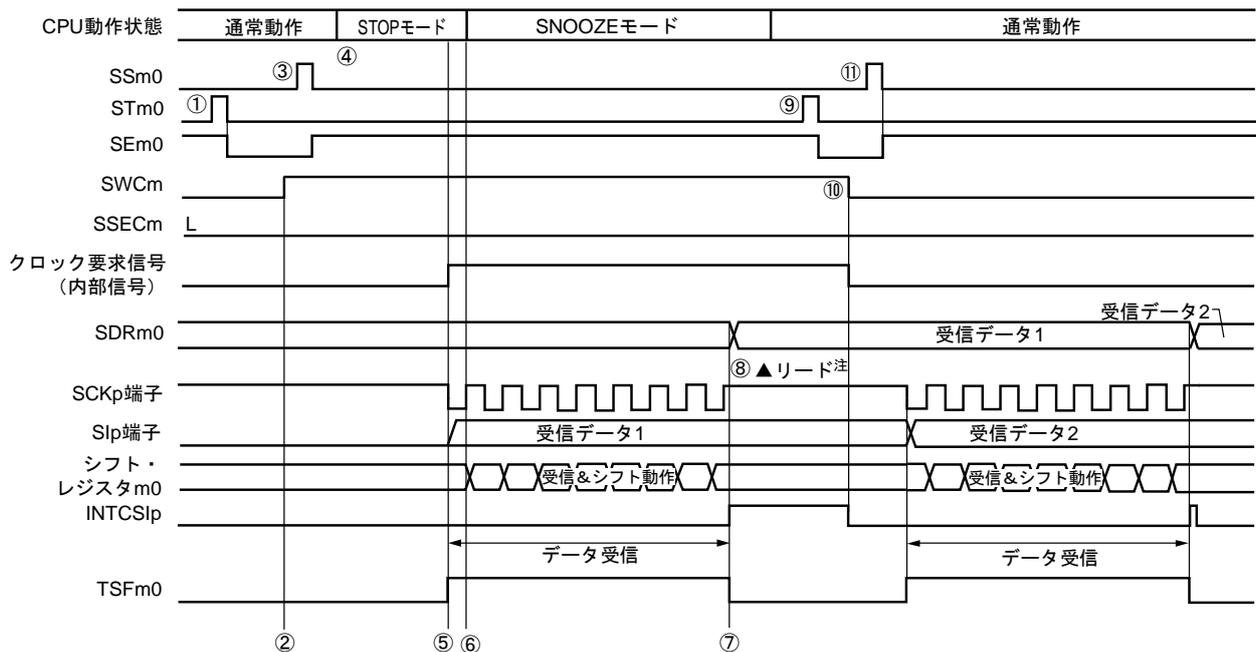
簡易SPI (CSI)をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図20-74、図20-76 SNOOZEモード動作時のフローチャートを参照)

- ・ STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm0ビットをセット (1) します。
- ・ STOPモードに移行後、SCKp端子の有効エッジを検出すると SNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

- 注意1.** SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロック (f_{IH}) または、中速オンチップ・オシレータ・クロック (f_{IM}) を選択している場合のみ設定可能です。
- 2.** SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作 (1回起動)

図20-73 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1 : DAPm0 = 0, CKPm0 = 0)

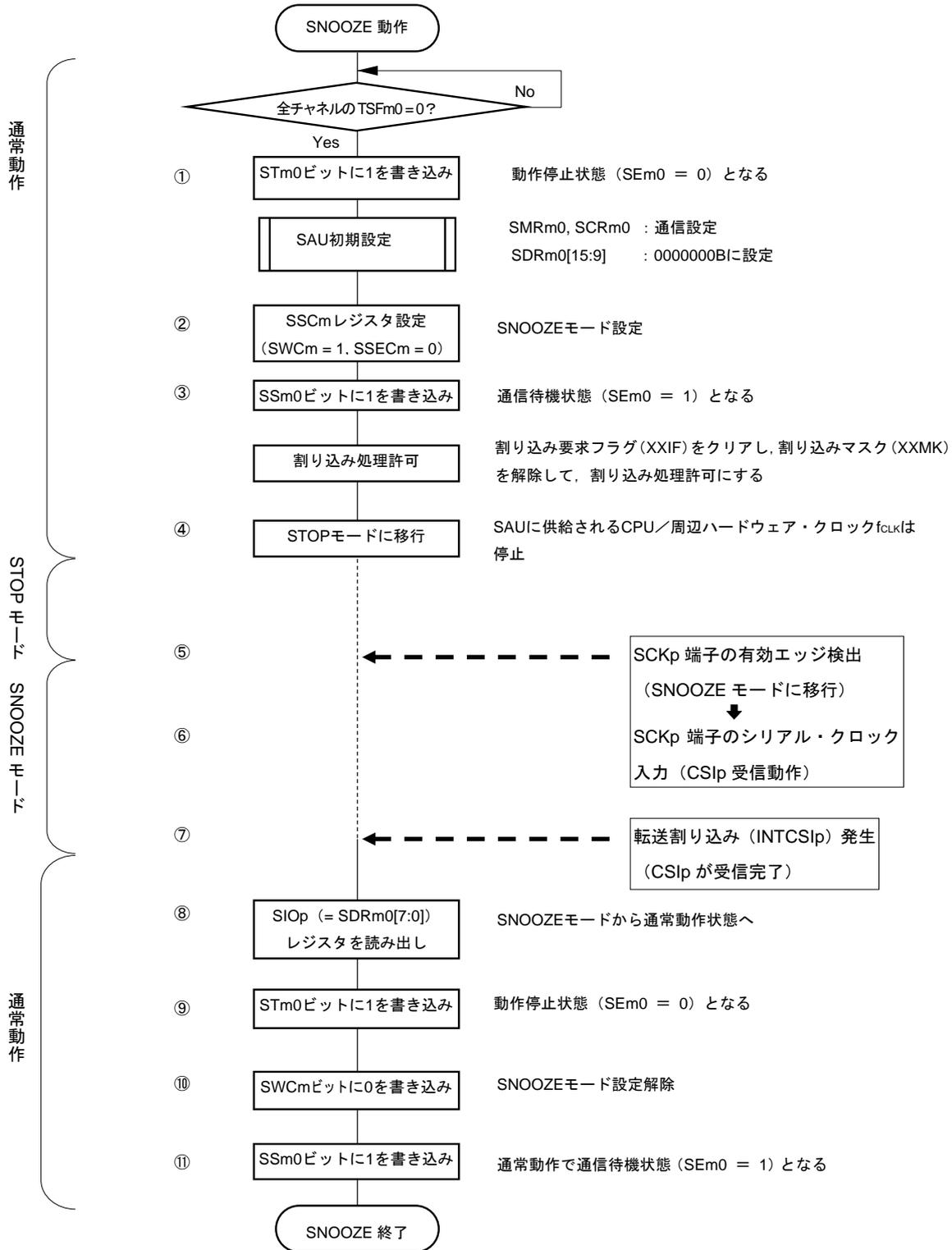


注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

- 注意1.** SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。
また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。
- 2.** SWCm = 1のときは、BFFm1, OVFm1フラグは動作しません。

- 備考1.** 図中の①~⑩は、図20-74 SNOOZEモード動作 (1回起動) 時のフロー・チャートの①~⑩に対応しています。
- 2.** m = 0; p = 00

図20-74 SNOOZEモード動作（1回起動）時のフロー・チャート

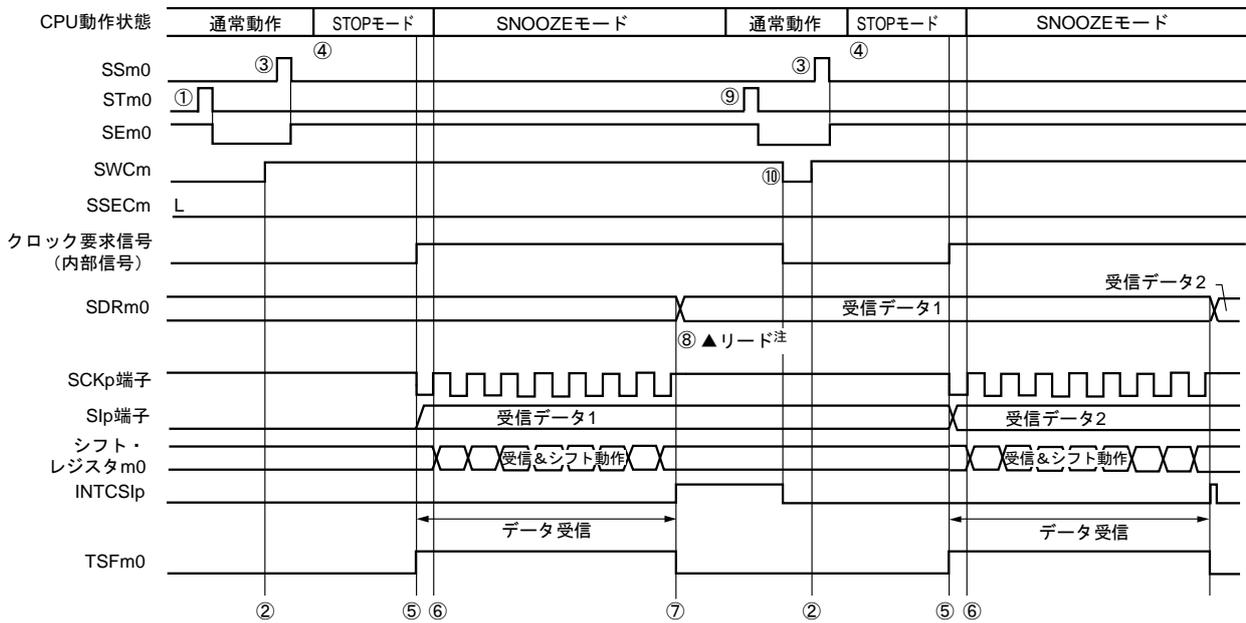


備考1. 図中の①~⑪は、図20-73 SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。

2. m = 0; p = 00

(2) SNOOZEモード動作 (連続起動)

図20-75 SNOOZEモード動作 (連続起動) 時のタイミング・チャート (タイプ1: DAPm0 = 0, CKPm0 = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。

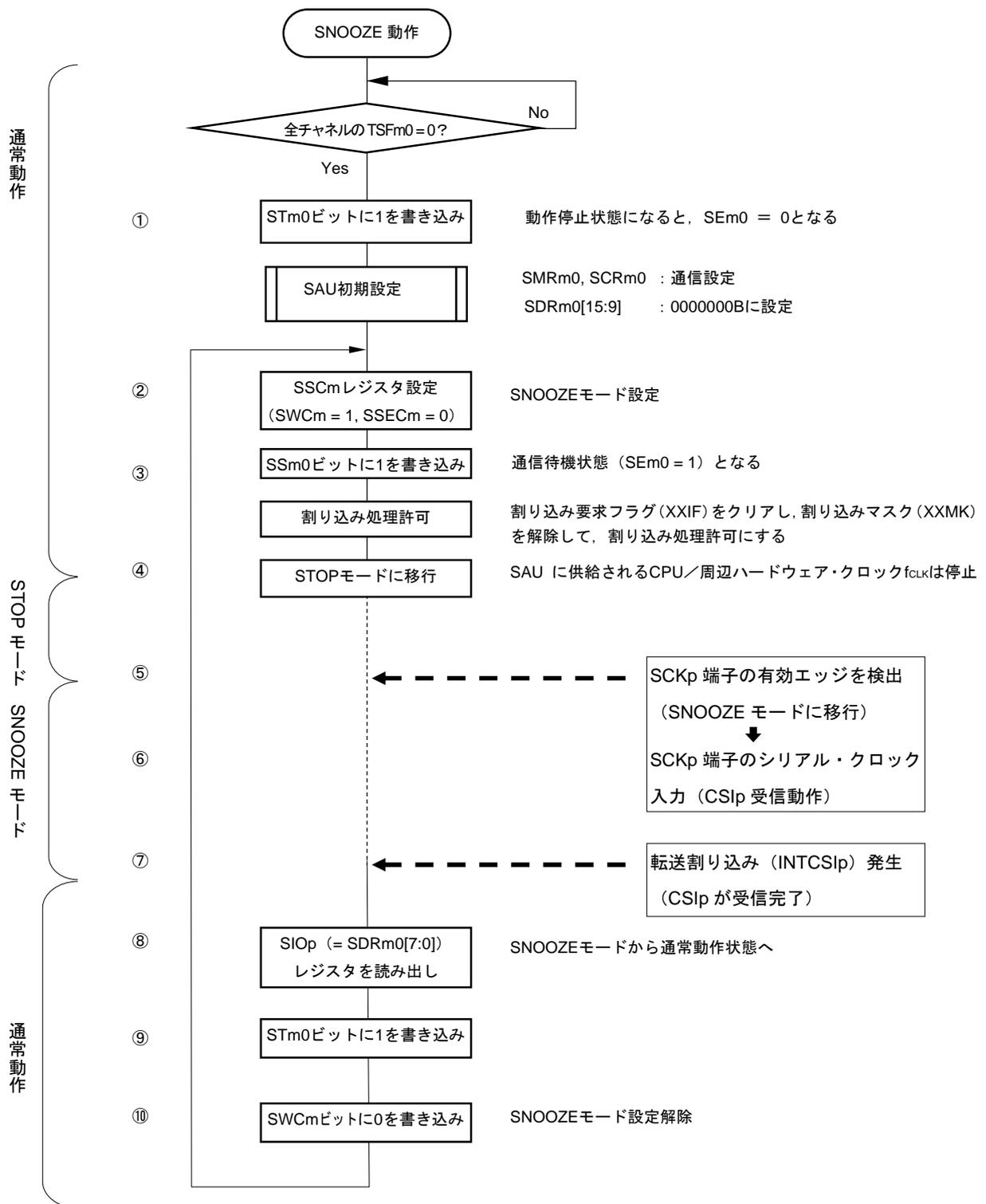
また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

2. SWCm = 1のときは、BFFm1, OVf1m1フラグは動作しません。

備考1. 図中の①~⑩は、図20-76 SNOOZEモード動作 (連続起動) 時のフロー・チャートの①~⑩に対応しています。

2. m = 0; p = 00

図20-76 SNOOZEモード動作（連続起動）時のフロー・チャート



備考1. 図中の①~⑩は、図20-75 SNOOZEモード動作（連続起動）時のタイミング・チャートの①~⑩に対応しています。

2. m = 0; p = 00

20.5.8 転送クロック周波数の算出

簡易SPI (CSI00, CSI10, CSI30) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{〔転送クロック周波数〕} = \{ \text{対象チャンネルの動作クロック (f}_{\text{MCK}} \text{) 周波数} \} \div (\text{SDRmn}[15:9]+1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{〔転送クロック周波数〕} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \}^{\text{注}} \text{ [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{\text{MCK}}/6$ となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタmn (SDRmn) のビット15-9の値 (0000000B-1111111B) なので、0-127になります。

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表20-2 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{CLK}) ^注		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 24 MHz 動作時	
0		X	X	X	X	0	0	0	0	f _{CLK}	24 MHz
		X	X	X	X	0	0	0	1	f _{CLK} /2	12 MHz
		X	X	X	X	0	0	1	0	f _{CLK} /2 ²	6 MHz
		X	X	X	X	0	0	1	1	f _{CLK} /2 ³	3 MHz
		X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.5 MHz
		X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	750 kHz
		X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	375 kHz
		X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	187.5 kHz
		X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	93.8 kHz
		X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	46.9 kHz
		X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	23.4 kHz
		X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	11.7 kHz
		X	X	X	X	1	1	0	0	f _{CLK} /2 ¹²	5.86 kHz
		X	X	X	X	1	1	0	1	f _{CLK} /2 ¹³	2.93 kHz
		X	X	X	X	1	1	1	0	f _{CLK} /2 ¹⁴	1.46 kHz
	X	X	X	X	1	1	1	1	f _{CLK} /2 ¹⁵	732 Hz	
1		0	0	0	0	X	X	X	X	f _{CLK}	24 MHz
		0	0	0	1	X	X	X	X	f _{CLK} /2	12 MHz
		0	0	1	0	X	X	X	X	f _{CLK} /2 ²	6 MHz
		0	0	1	1	X	X	X	X	f _{CLK} /2 ³	3 MHz
		0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.5 MHz
		0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	750 kHz
		0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	375 kHz
		0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	187.5 kHz
		1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	93.8 kHz
		1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	46.9 kHz
		1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	23.4 kHz
		1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	11.7 kHz
		1	1	0	0	X	X	X	X	f _{CLK} /2 ¹²	5.86 kHz
		1	1	0	1	X	X	X	X	f _{CLK} /2 ¹³	2.93 kHz
		1	1	1	0	X	X	X	X	f _{CLK} /2 ¹⁴	1.46 kHz
	1	1	1	1	X	X	X	X	f _{CLK} /2 ¹⁵	732 Hz	
上記以外										設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 12

20.5.9 簡易SPI (CSI00, CSI10, CSI30) 通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI10, CSI30) 通信時にエラーが発生した場合の処理手順を図20-77に示します。

図20-77 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが “0” となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に “1” をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 12

20.6 UART (UART0-UART4) 通信の動作

シリアル／データ送信 (TxD) とシリアル／データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。また、UART0とタイマ・アレイ・ユニット0 (チャンネル7) と外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

[データ送受信]

- ・ 7, 8, 9ビットのデータ長^注
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定 (レベルを、反転するかどうかの選択)
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- ・ 転送完了割り込み／バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART0受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している、UART0のみ設定可能です。

UART0 (ユニット0のチャンネル0, 1) は、LIN-busに対応しています。

[LIN-bus機能]

- ・ ウェイクアップ信号検出
- ・ ブレーク・フィールド (BF) 検出
- ・ シンク・フィールド測定, ボー・レート算出

} 外部割り込み (INTP0),
タイマ・アレイ・ユニット0 (チャンネル7)
を使用

注 9ビット・データ長は、UART0のみ対応しています。

UART0では、SAU0のチャンネル0, 1を使用します。
 UART1では、SAU0のチャンネル2, 3を使用します。
 UART2では、SAU1のチャンネル0, 1を使用します。
 UART3では、SAU1のチャンネル2, 3を使用します。
 UART4では、SAU2のチャンネル0, 1を使用します。

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	—	UART2 (IrDA対応)	—
	1	—		—
	2	CSI30 ^注	UART3 ^注	IIC30 ^注
	3	—		—
2	0	—	UART4 ^注	—
	1	—		—

注 100ピン製品のみ。

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をUART1やIIC10で使用することはできます。

注意 UARTとして使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- ・ UART送信 (20.6.1項を参照)
- ・ UART受信 (20.6.2項を参照)
- ・ LIN送信 (UART0のみ) (20.7.1項を参照)
- ・ LIN受信 (UART0のみ) (20.7.2項を参照)

20.6.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2	UART3	UART4
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2	SAU2のチャンネル0
使用端子	TxD0	TxD1	TxD2	TxD3	TxD4
割り込み	INTST0	INTST1	INTST2	INTST3	INTST4
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能				
エラー検出フラグ	なし				
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}				
転送レート	Max. $f_{MCK}/6$ [bps]（SDRmn[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^{注2}				
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）				
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加				
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加				
データ方向	MSBファーストまたはLSBファースト				

注1. 9ビット・データ長は、UART0のみ対応しています。

- この条件を満たし、かつ電氣的特性の周辺機能特性（第43章 電氣的特性参照）を満たす範囲内で使用してください。

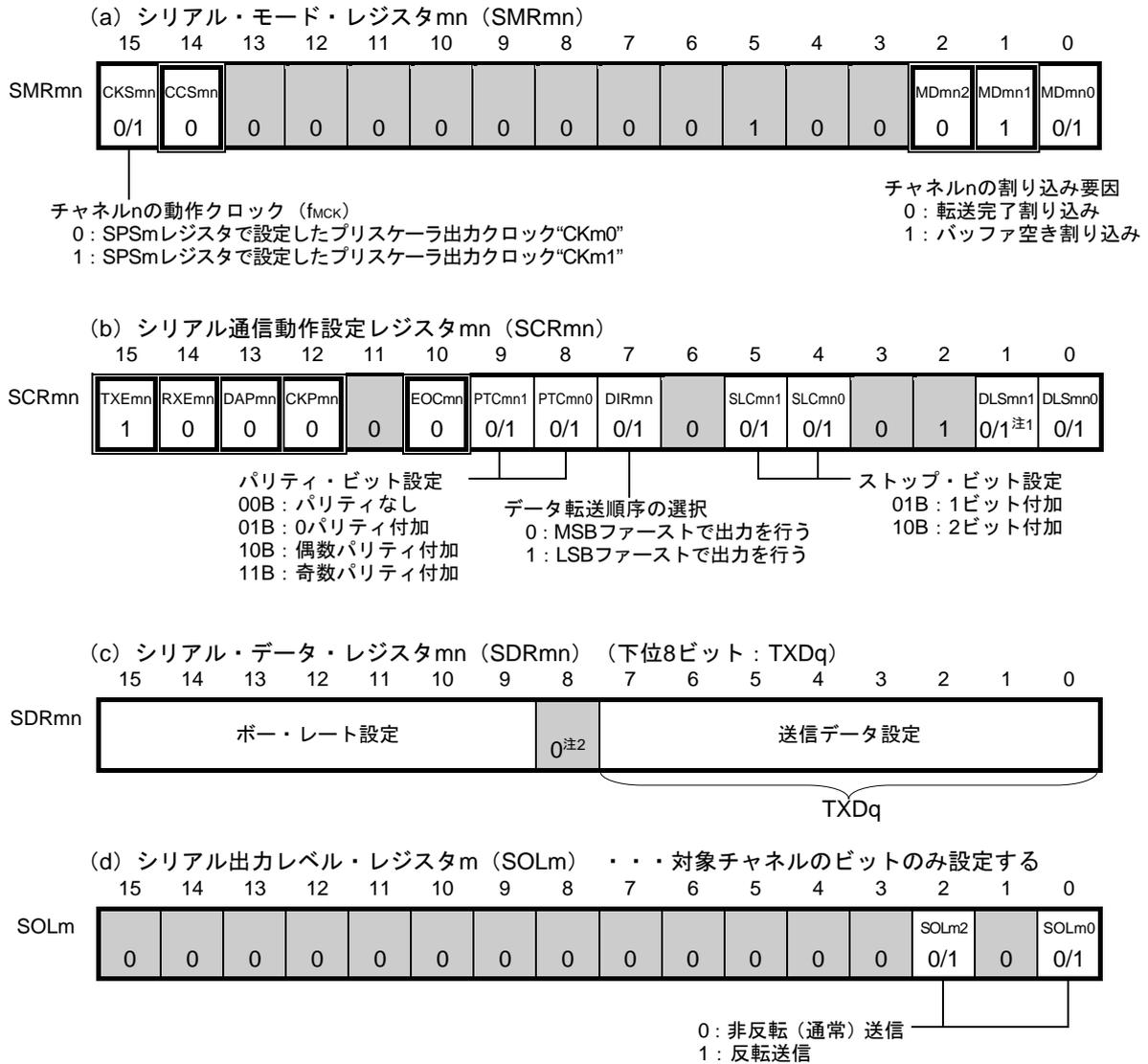
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

- m ：ユニット番号（ $m = 0-2$ ） n ：チャンネル番号（ $n = 0, 2$ ） $mn = 00, 02, 10, 12, 20$

(1) レジスタ設定

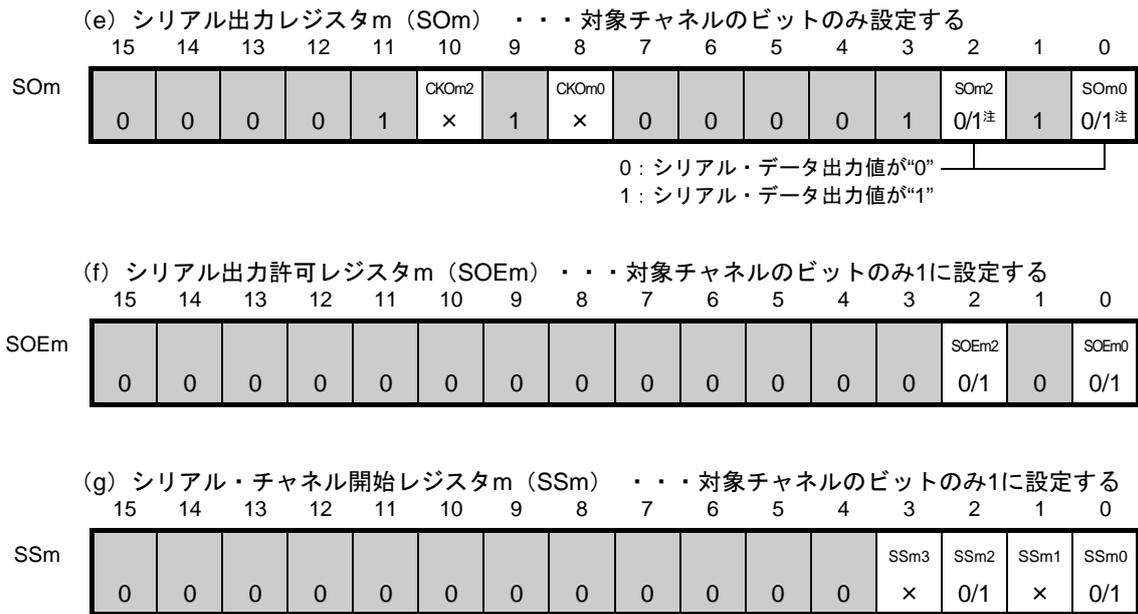
図20-78 UART (UART0-UART4) のUART送信時のレジスタ設定内容例 (1/2)



- 注 1. SCR00, SCR01レジスタのみ。その他は1固定になります。
2. 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは、UART0のみです。

- 備考1. m: ユニット番号 (m = 0-2) n: チャンネル番号 (n = 0, 2) q: UART番号 (q = 0-4)
 mn = 00, 02, 10, 12, 20
2. □: UART送信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

図20-78 UART (UART0-UART4) のUART送信時のレジスタ設定内容例 (2/2)



注 該当するチャネルのSOLmnビットに0を設定している場合は“1”に、SOLmnビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m: ユニット番号 (m = 0-2) n: チャネル番号 (n = 0, 3) q: UART番号 (q = 0-4)

mn = 00, 02, 10, 12, 20

2. : 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図20-79 UART送信の初期設定手順

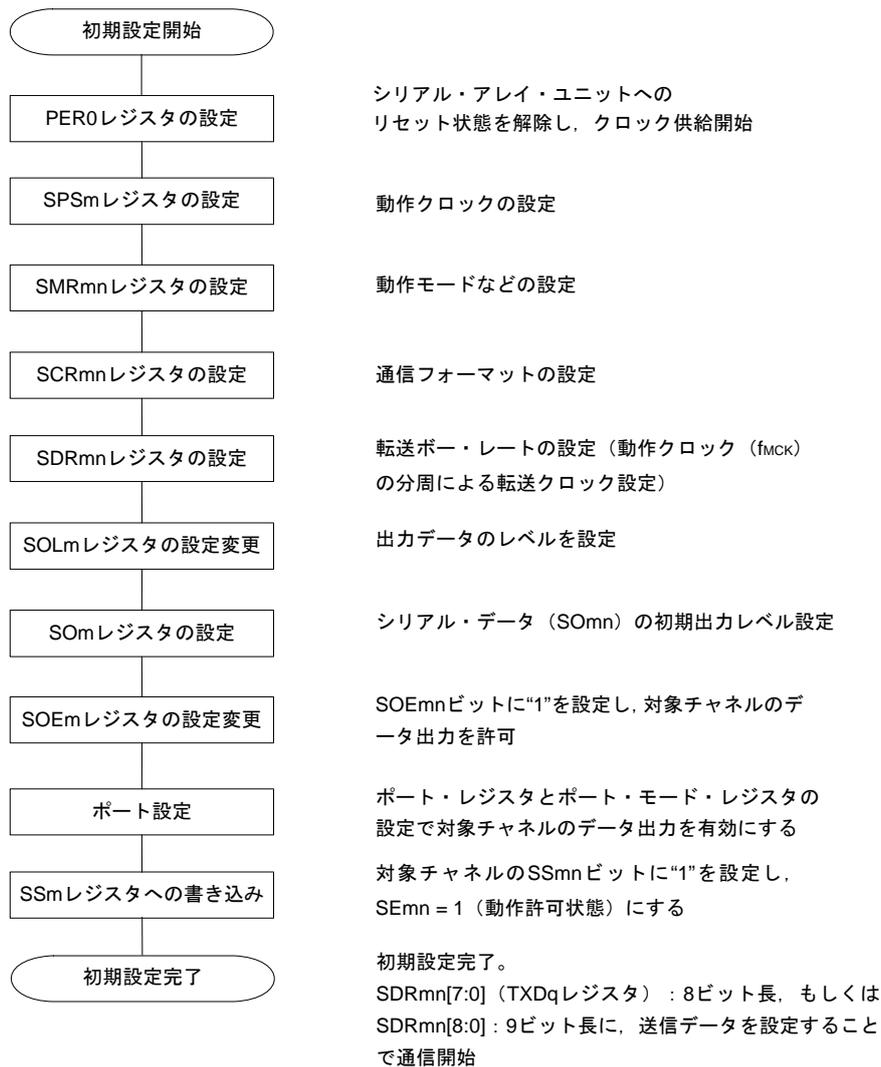


図20-80 UART送信の中断手順

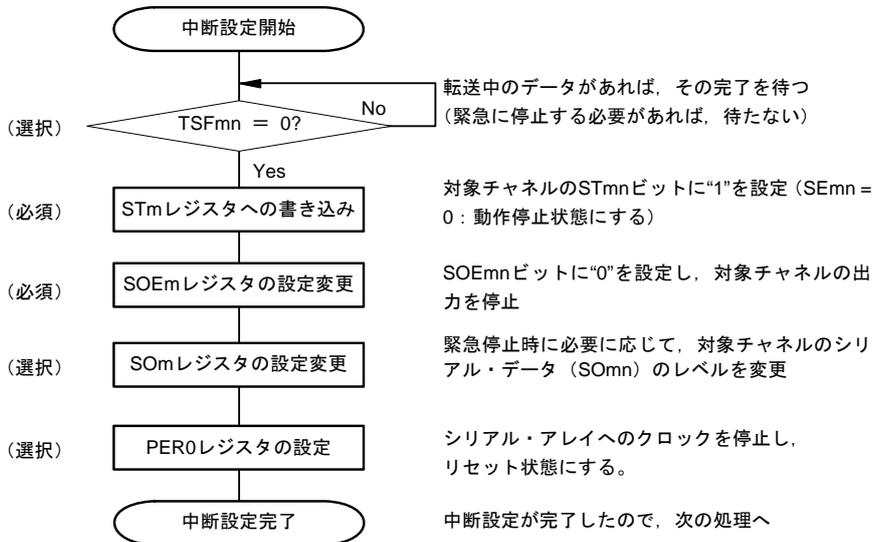
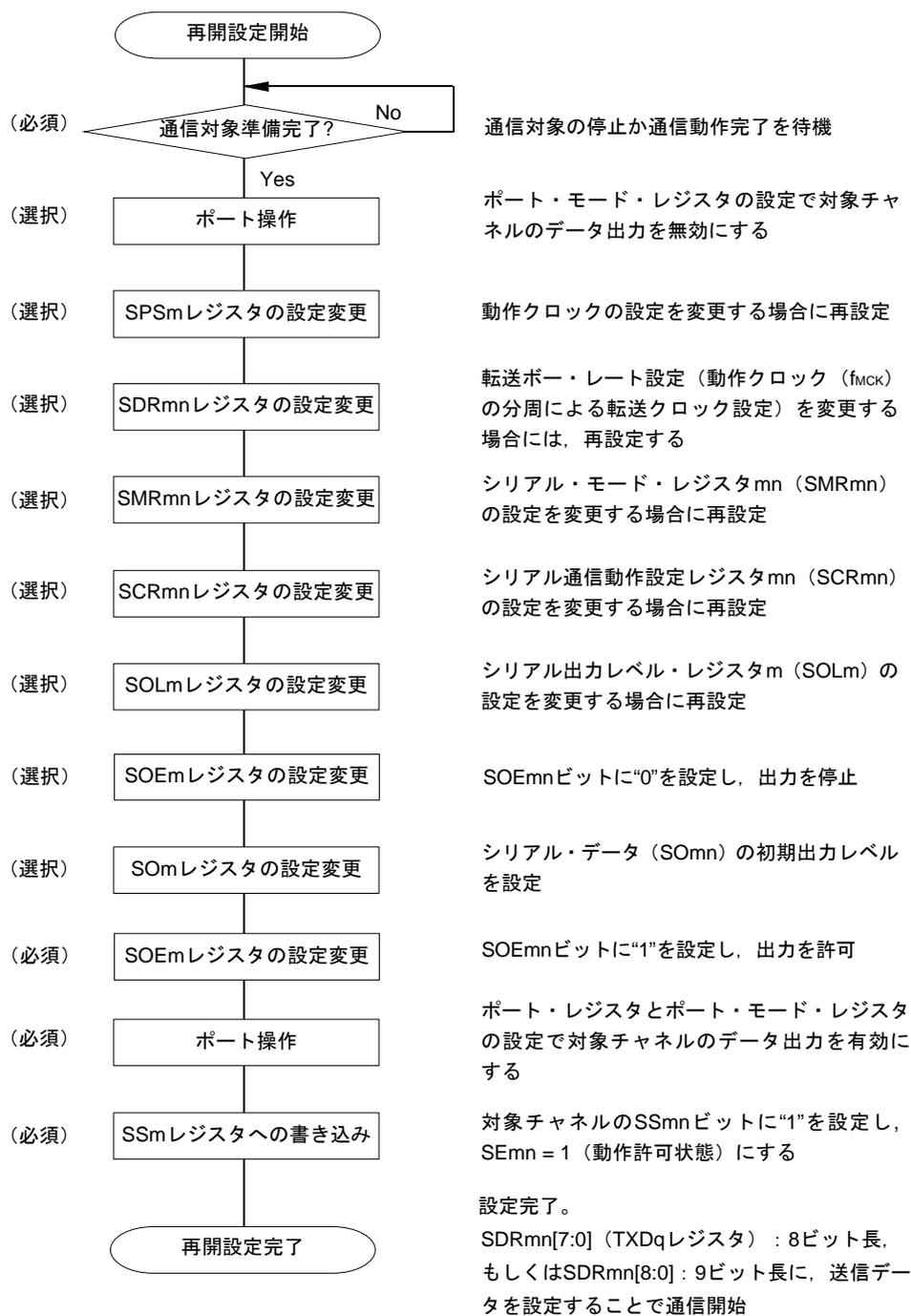


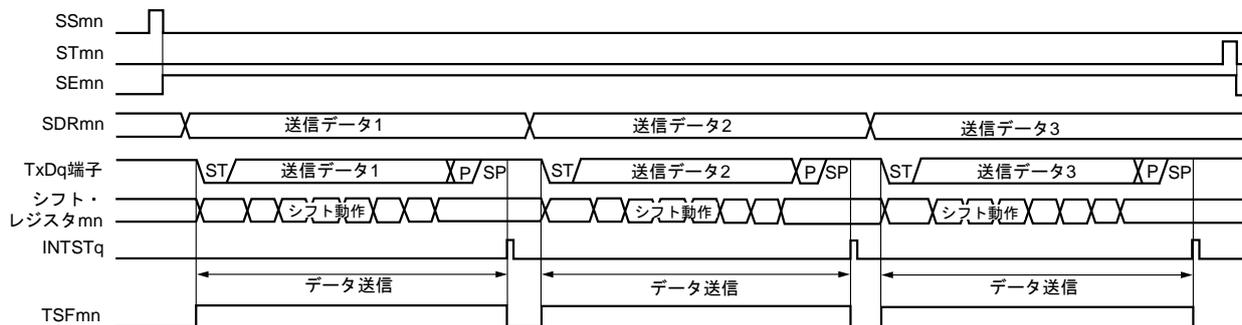
図20-81 UART送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

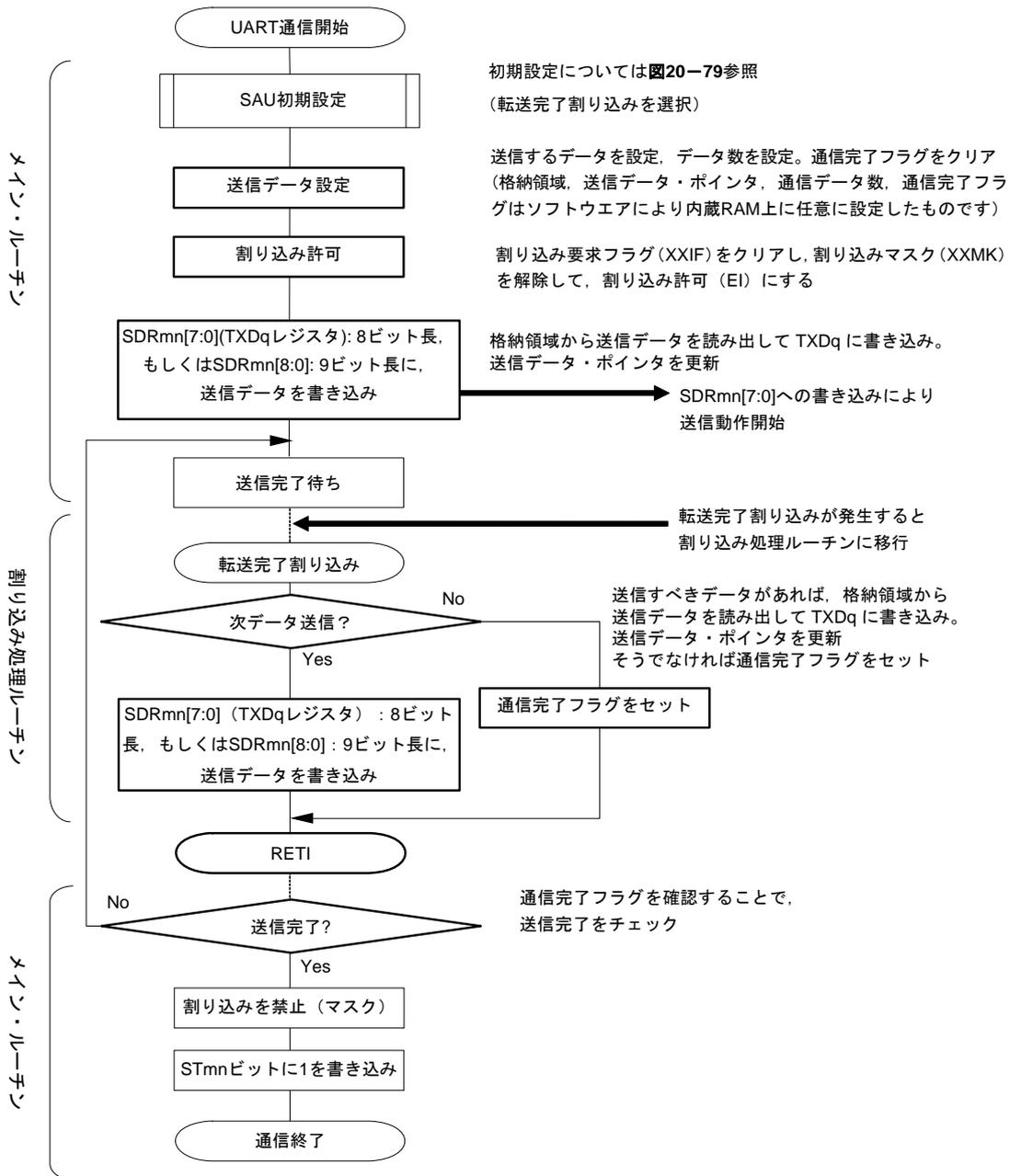
(3) 処理フロー (シングル送信モード時)

図20-82 UART送信 (シングル送信モード時) のタイミング・チャート



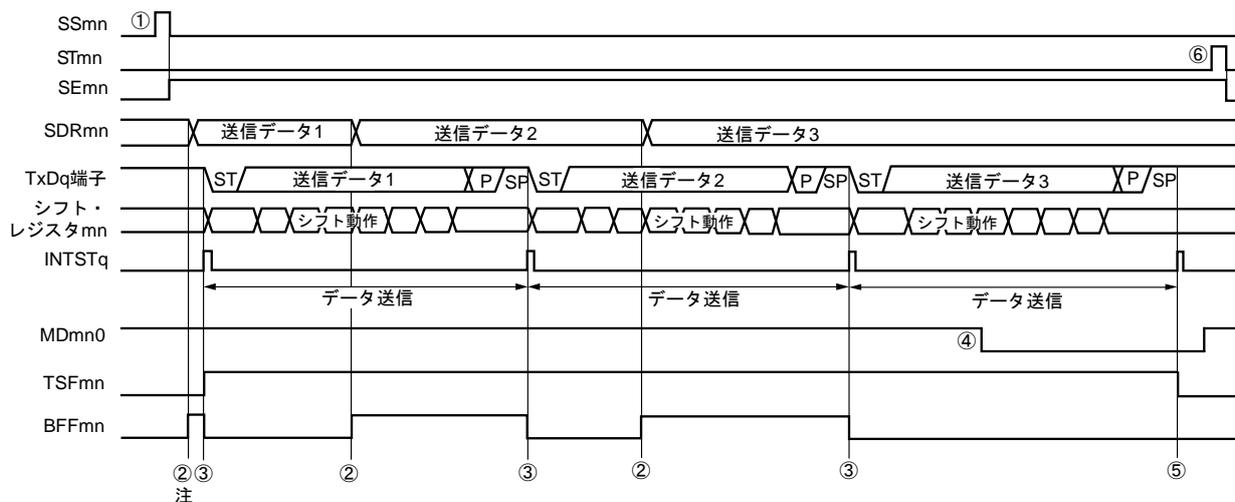
備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0-4)
 mn = 00, 02, 10, 12, 20

図20-83 UART送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図20-84 UART送信（連続送信モード時）のタイミング・チャート



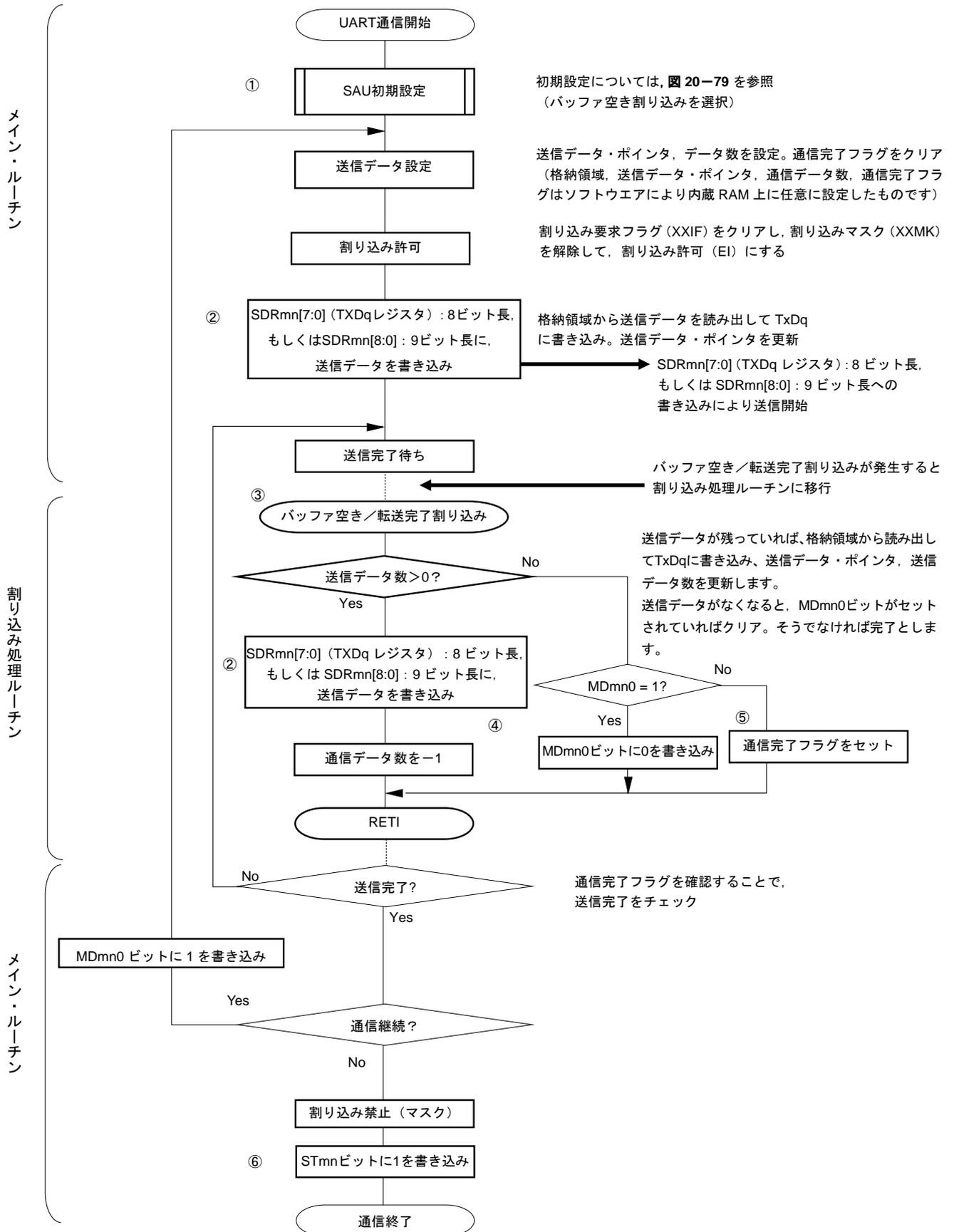
注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0-4)
mn = 00, 02, 10, 12, 20

図20-85 UART送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図20-84 UART送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

20.6.2 UART受信

UART受信は、他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UART3	UART4
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1	SAU1のチャンネル3	SAU2のチャンネル1
使用端子	RxD0	RxD1	RxD2	RxD3	RxD4
割り込み	INTSR0	INTSR1	INTSR2	INTSR3	INTSR4
	転送完了割り込みのみ (バッファ空き割り込みは設定禁止)				
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRE3	INTSRE4
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ (FEFmn) ・ パリティ・エラー検出フラグ (PEFmn) ・ オーバラン・エラー検出フラグ (OVFmn) ・ オーバラン・エラー検出フラグ (OVFmn) 				
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}				
転送レート	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^{注2}				
データ位相	非反転出力 (デフォルト: ハイ・レベル) 反転出力 (デフォルト: ロウ・レベル)				
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし (パリティ・チェックなし) ・ パリティ判定なし (0パリティ) ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック ・ 奇数パリティ・チェック 				
ストップ・ビット	1ビット付加				
データ方向	MSBファーストまたはLSBファースト				

注1. 9ビット・データ長は、UART0のみ対応しています。

2. この条件を満たし、かつ電氣的特性の周辺機能特性 (第43章 電氣的特性参照) を満たす範囲内で使用してください。

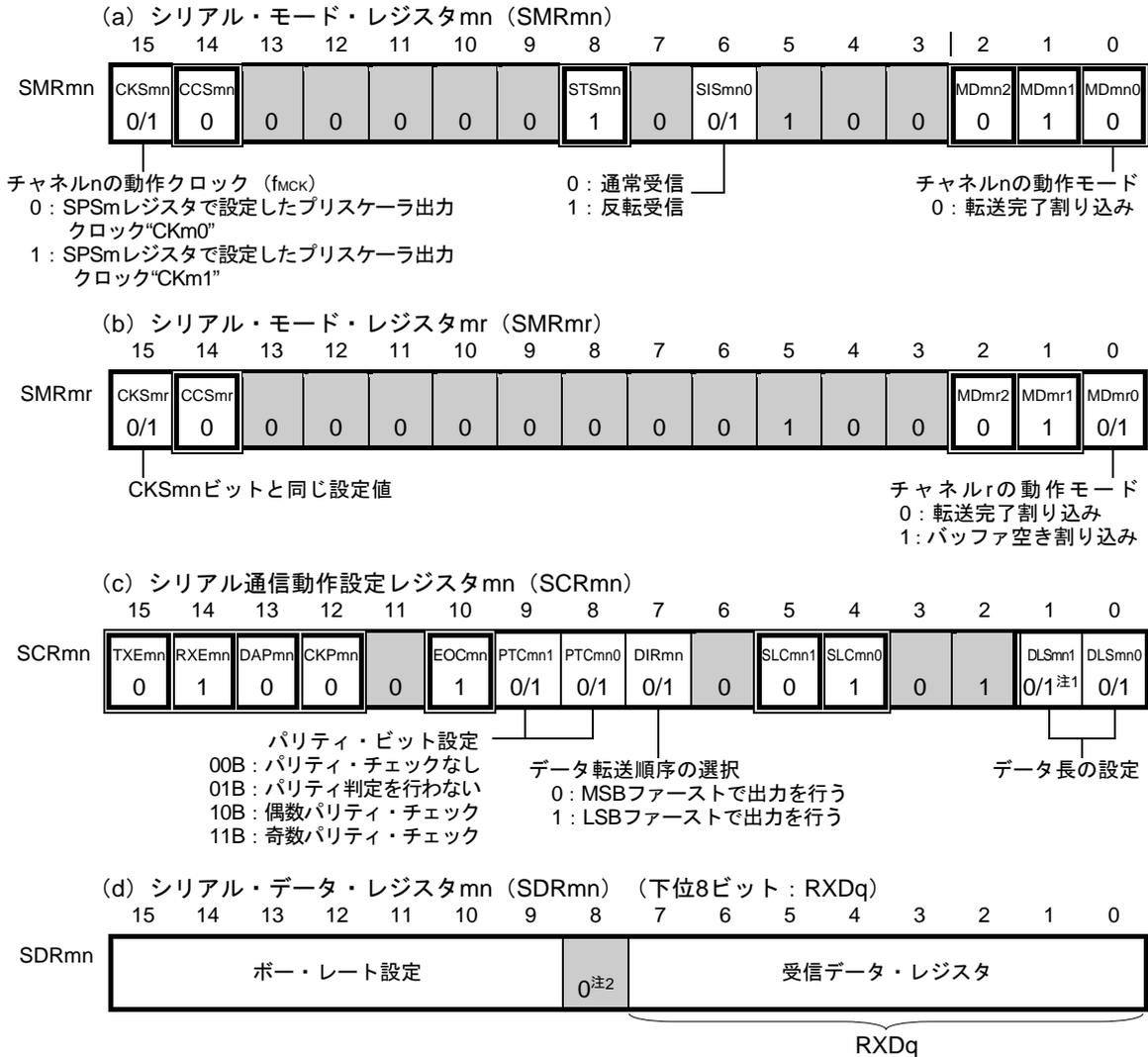
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

2. m : ユニット番号 ($m = 0-2$) n : チャンネル番号 ($n = 1, 3$) $mn = 01, 03, 11, 13, 21$

(1) レジスタ設定

図20-86 UART (UART0-UART4) のUART受信時のレジスタ設定内容例 (1/2)



注1. SCR00, SCR01レジスタのみ。その他は1固定になります。

2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは、UART0のみです。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m: ユニット番号 (m = 0-2) n: チャンネル番号 (n = 1, 3) mn = 01, 03, 11, 13, 21

r: チャンネル番号 (r = n-1) q: UART番号 (q = 0-4)

2. □: UART受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図20-86 UART (UART0-UART4) のUART受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタm (SOm) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 ×	1	CKOm0 ×	0	0	0	0	1	SOm2 ×	1	SOm0 ×

(f) シリアル出力許可レジスタm (SOEm) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 ×	0	SOEm0 ×

(g) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 1, 3) mn = 01, 03, 11, 13

r : チャンネル番号 (r = n-1) q : UART番号 (q = 0-4)

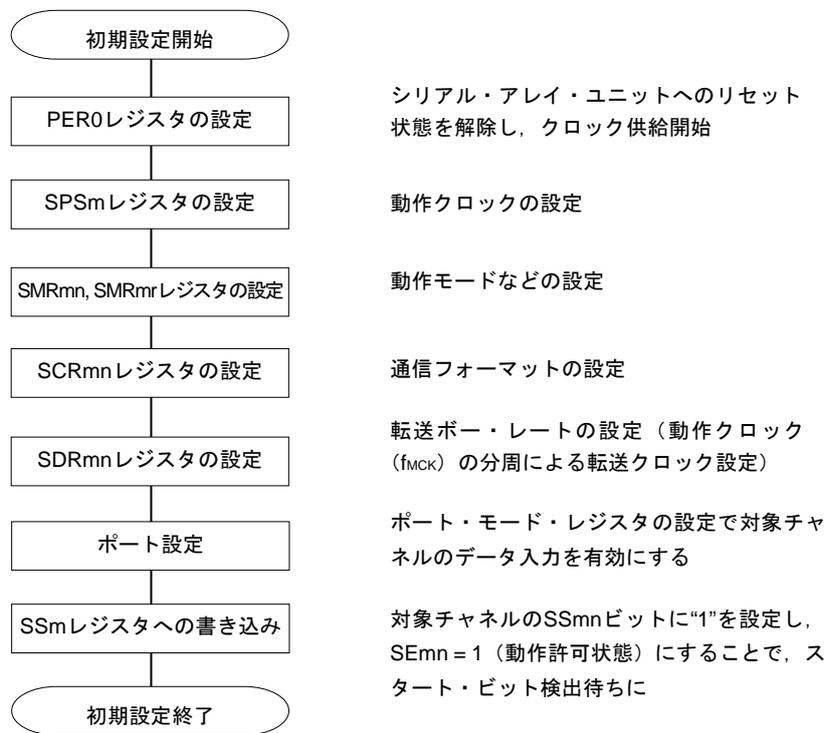
2. : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図20-87 UART受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、f_{MCK}の4クロック以上間隔を空けてからSSmn = 1を設定してください。

図20-88 UART受信の中断手順

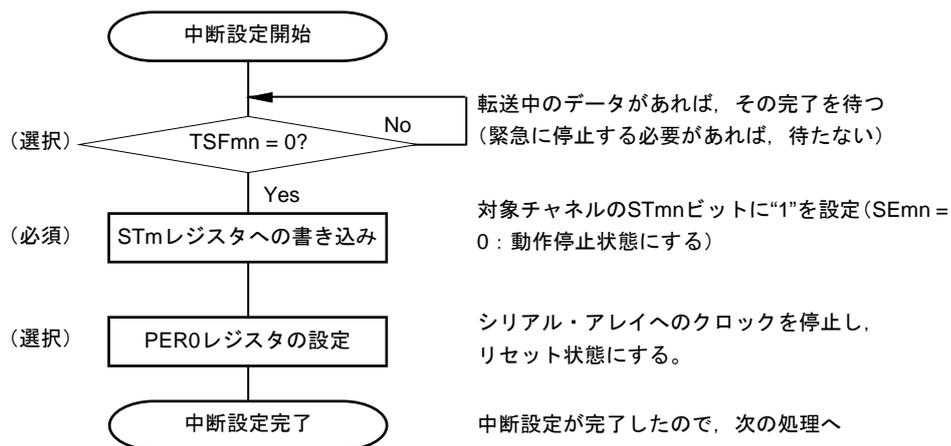
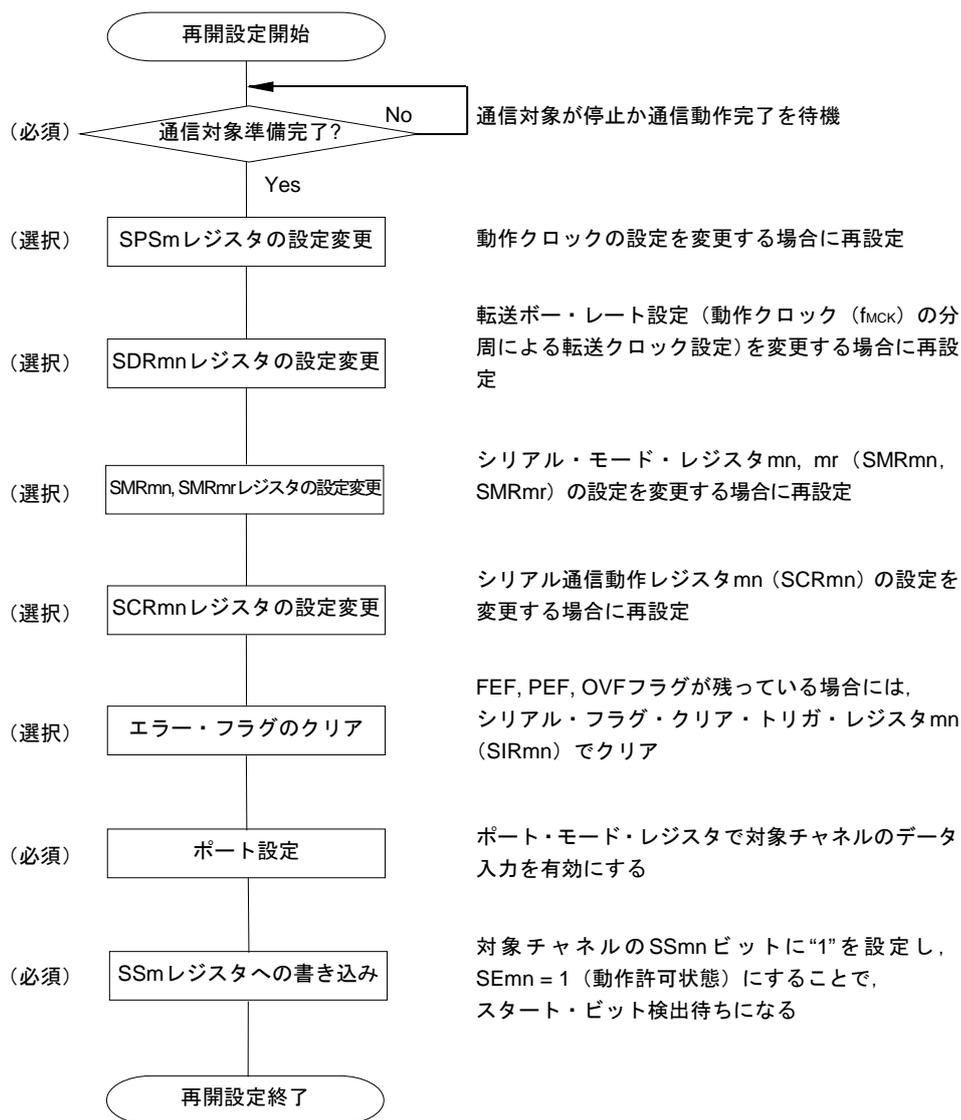


図20-89 UART受信の再開設定手順

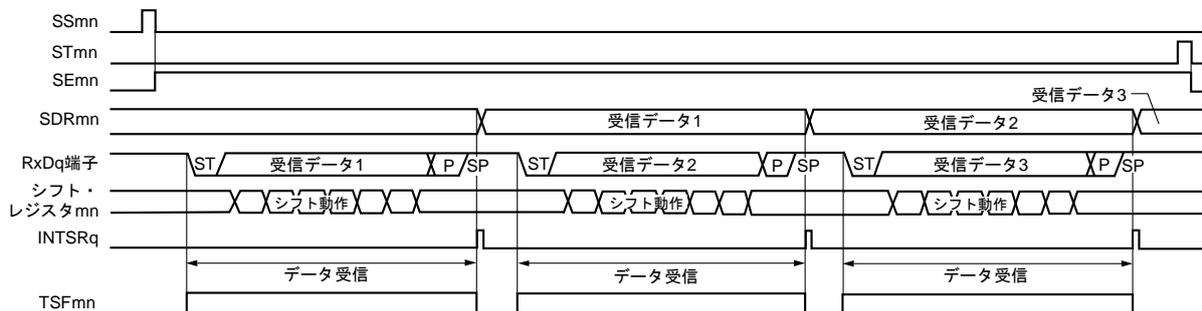


注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

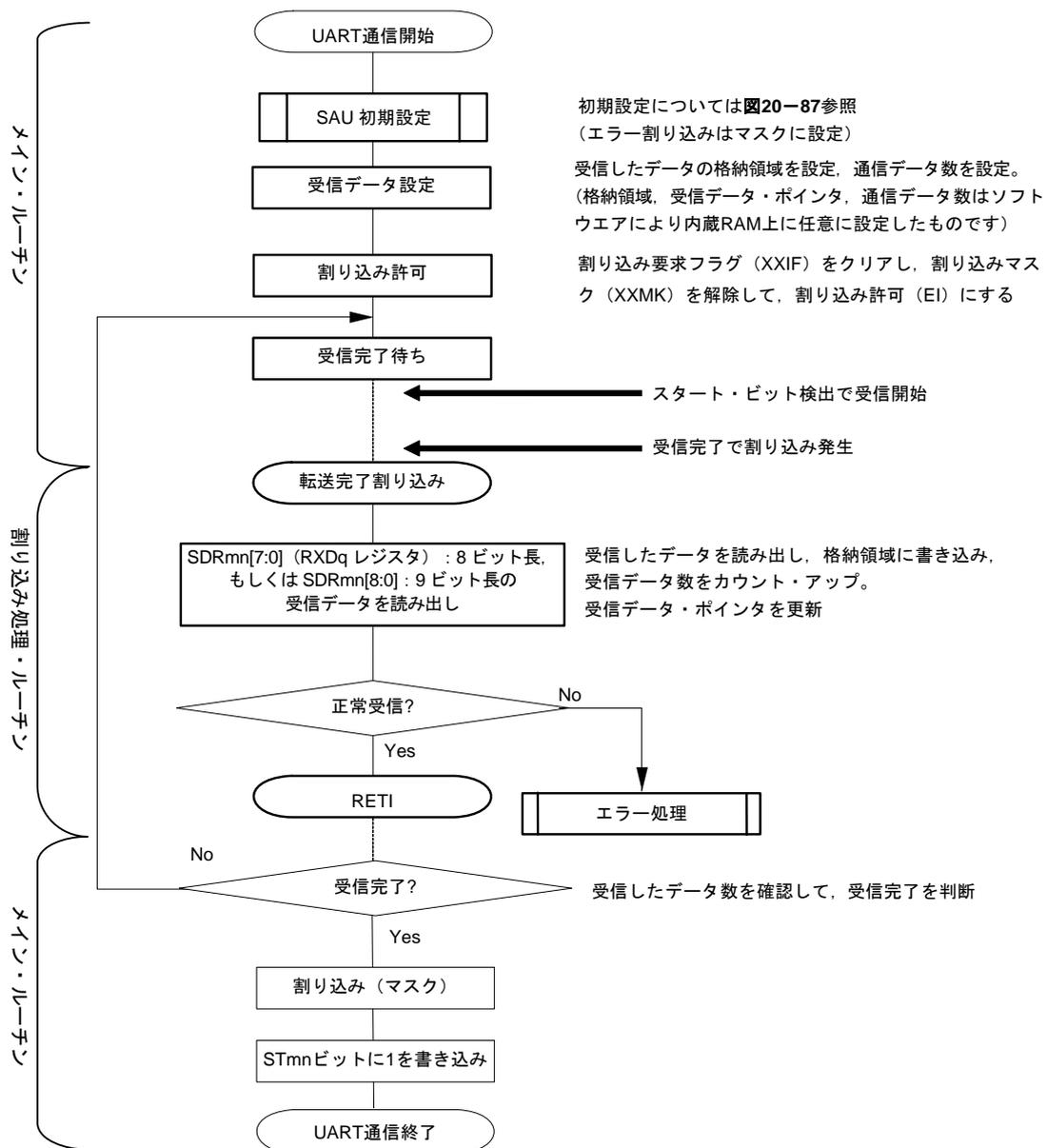
(3) 処理フロー

図20-90 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11, 13
 r : チャネル番号 (r = n-1) q : UART番号 (q = 0-4)

図20-91 UART受信のフロー・チャート



20.6.3 SNOOZEモード機能

STOPモード時にRx/Dq端子入力の検出によりUARTの受信動作をさせるモードです。通常STOP時にUARTは通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUARTの受信動作を行うことができます。SNOOZEモードは、UART0のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図20-94, 図20-96 SNOOZEモード動作時のフローチャートを参照)

- ・ SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表20-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- ・ EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSRE0) の発生許可/停止を設定することができます。
- ・ STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットをセット (1) します。
- ・ STOPモードに移行後、Rx/Dq のスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. UARTqをSNOOZEモードで使用するときの最大転送レートは4800 bpsです。
3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
 - ・ SWCm=1に設定後、STOPモードに移行する前に受信開始した場合
 - ・ 他のSNOOZEモード中に受信開始した場合
 - ・ STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合
4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn, FEFmn, OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (Rx/Dq) を読み出してください。
5. Rx/Dq端子の有効エッジ検出によりSNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) mn = 00, 01 q : UART番号 (q = 0)

表20-3 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・ オシレータ (f_{IH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f_{MCK})	SDRmn [15:9]	最大許容値	最小許容値
32 MHz \pm 1.0% ^注	$f_{CLK}/2^5$	105	2.27%	-1.53%
24 MHz \pm 1.0% ^注	$f_{CLK}/2^5$	79	1.60%	-2.18%
16 MHz \pm 1.0% ^注	$f_{CLK}/2^4$	105	2.27%	-1.53%
12 MHz \pm 1.0% ^注	$f_{CLK}/2^4$	79	1.60%	-2.19%
8 MHz \pm 1.0% ^注	$f_{CLK}/2^3$	105	2.27%	-1.53%
6 MHz \pm 1.0% ^注	$f_{CLK}/2^3$	79	1.60%	-2.19%
4 MHz \pm 1.0% ^注	$f_{CLK}/2^2$	105	2.27%	-1.53%
3 MHz \pm 1.0% ^注	$f_{CLK}/2^2$	79	1.60%	-2.19%
2 MHz \pm 1.0% ^注	$f_{CLK}/2$	105	2.27%	-1.54%
1 MHz \pm 1.0% ^注	f_{CLK}	105	2.27%	-1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が \pm 1.5%の場合は、次のように許容範囲が狭くなります。

・ $f_{IH}\pm$ 1.5%の場合は、上表の最大許容値に $-$ 0.5%、最小許容値に $+$ 0.5%してください。

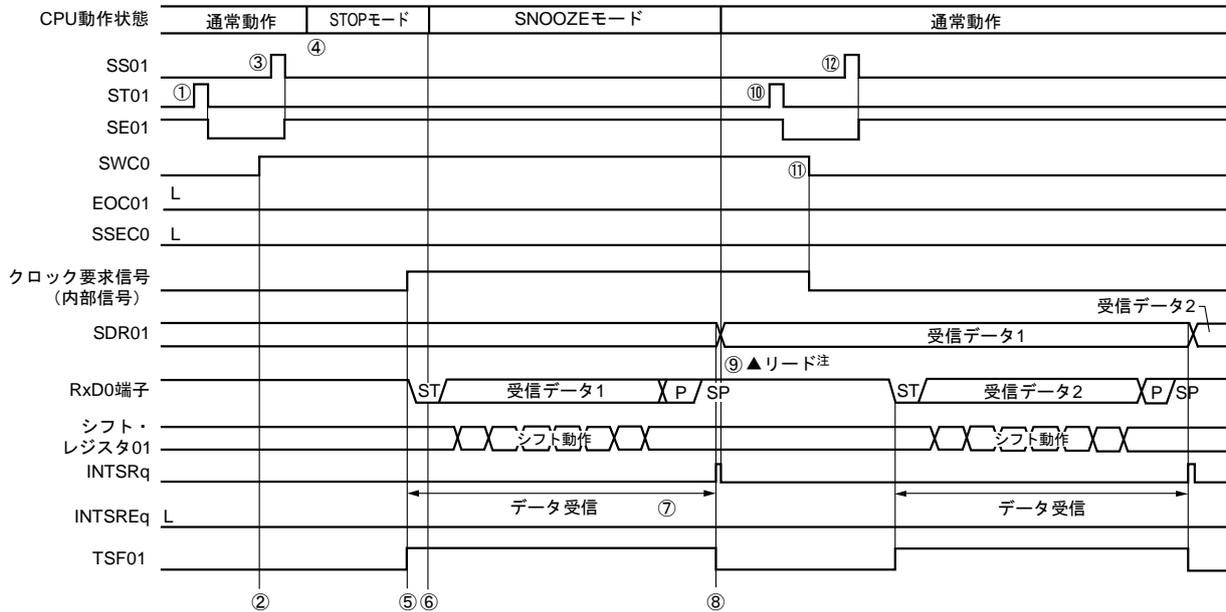
備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0のためSSECmビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSREq) は発生しません。転送完了割り込み (INTSRq) は発生します。

図20-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

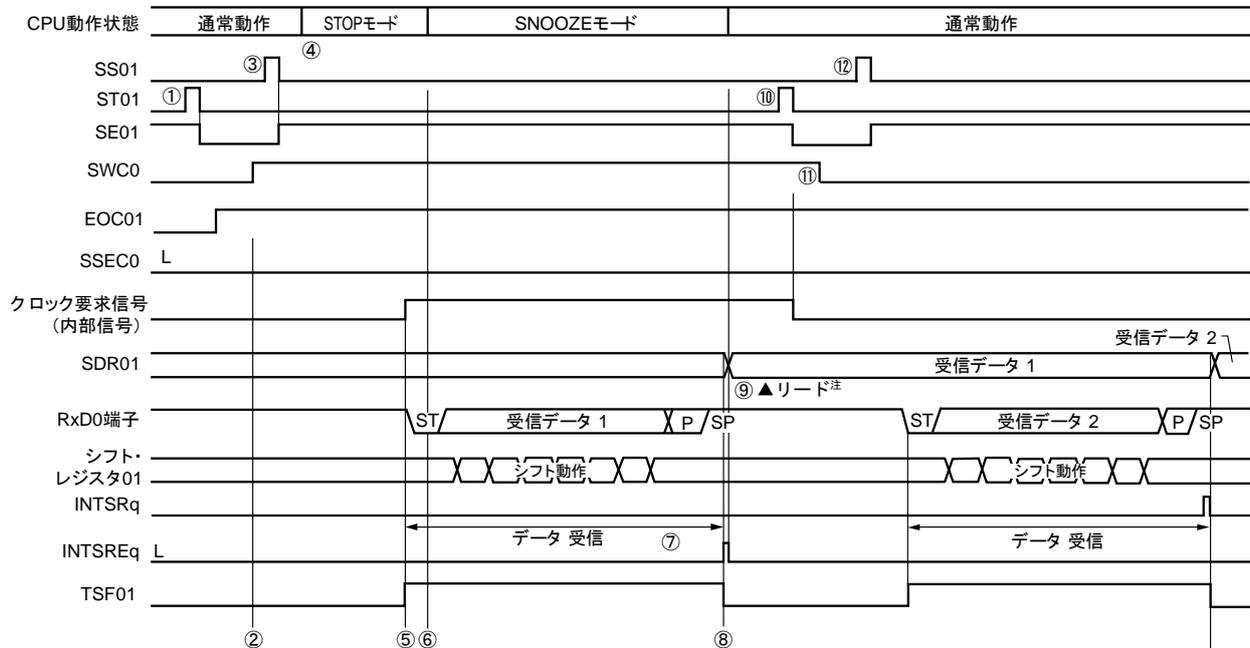
備考1. 図中の①~⑫は、図20-94 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

2. m = 0; q = 0

(2) SNOOZEモード動作 (EOCm1 = 1, SSECm = 0 : エラー割り込み (INTSREq) 発生許可)

EOCm1 = 1, SSECm = 0のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生します。

図20-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

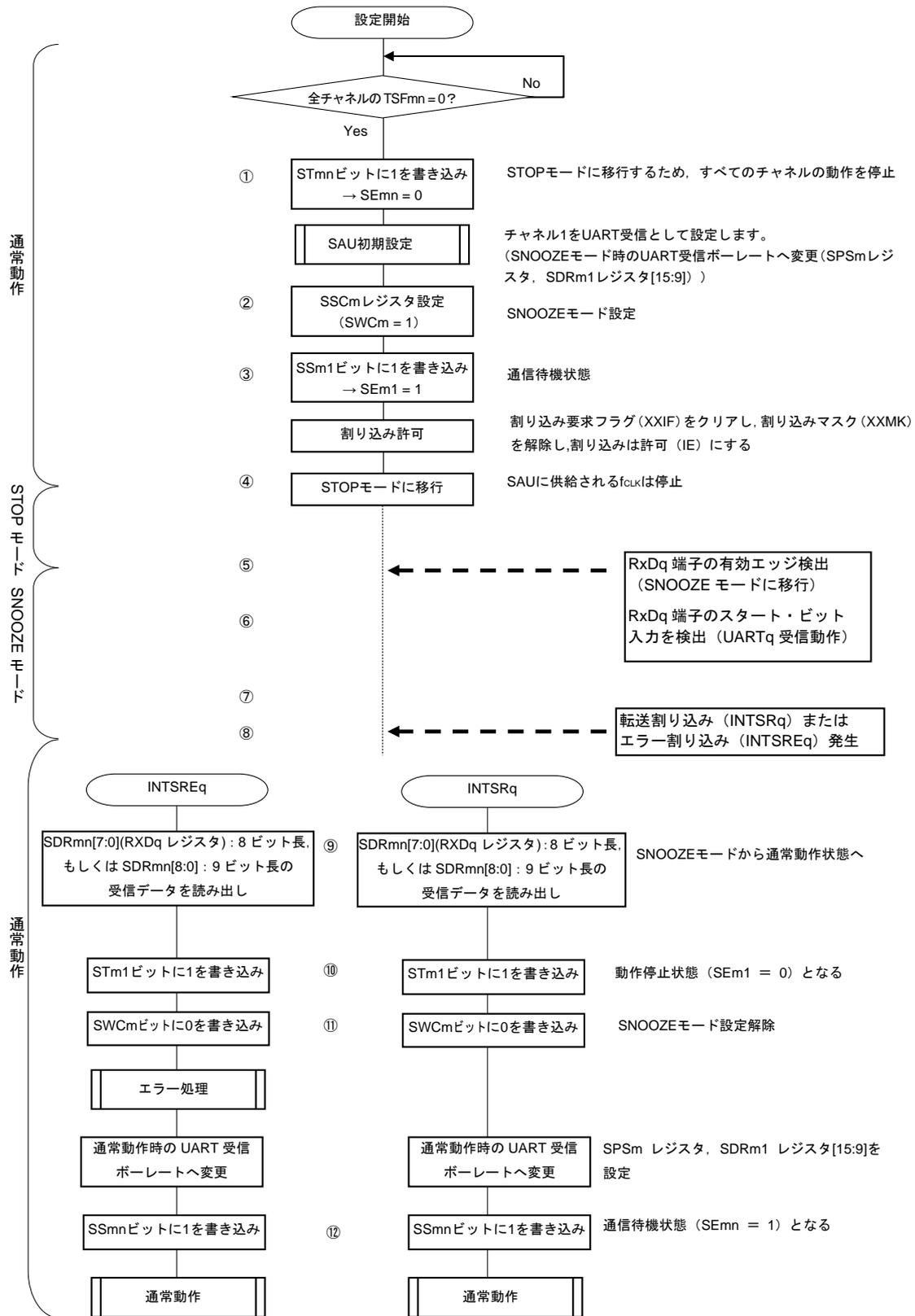
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①~⑫は、図20-94 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

2. m = 0; q = 0

図20-94 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0) 時の
フロー・チャート



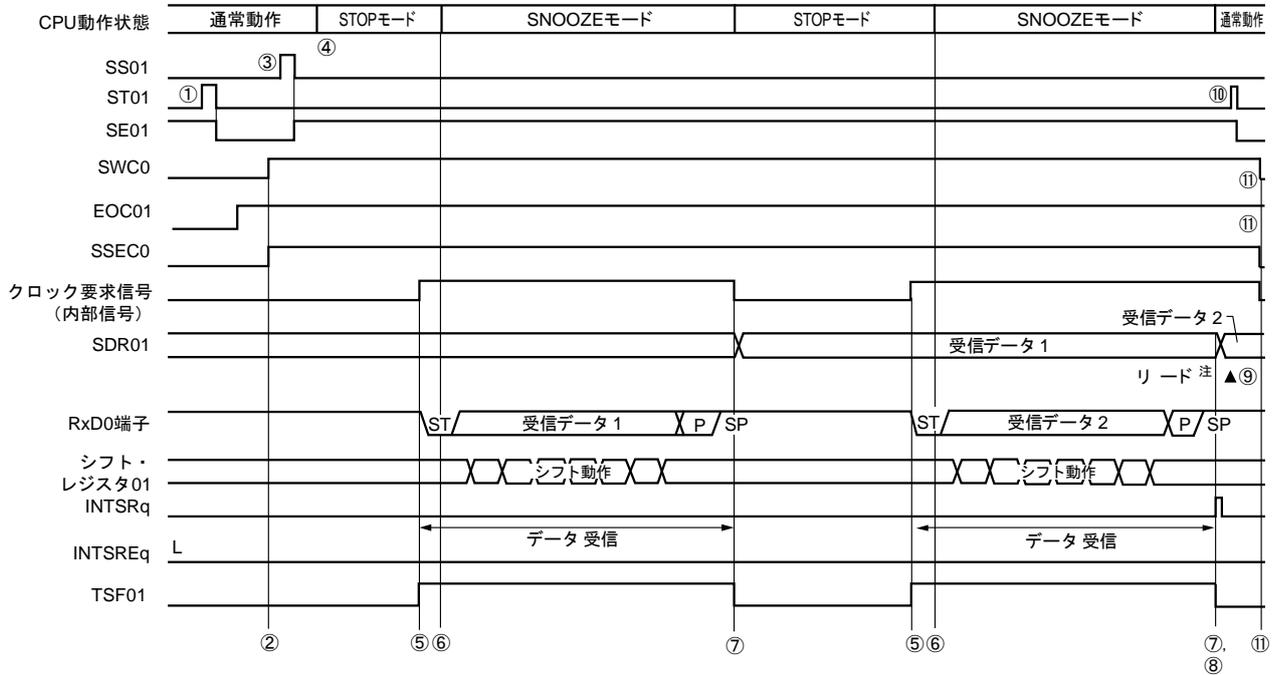
備考1. 図中の①~⑫は、図20-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート、図20-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャートの①~⑫に対応しています。

2. m = 0; q = 0

(3) SNOOZEモード動作 (EOCm1 = 1, SSECm = 1 : エラー割り込み (INTSREq) 発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生しません。

図20-95 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

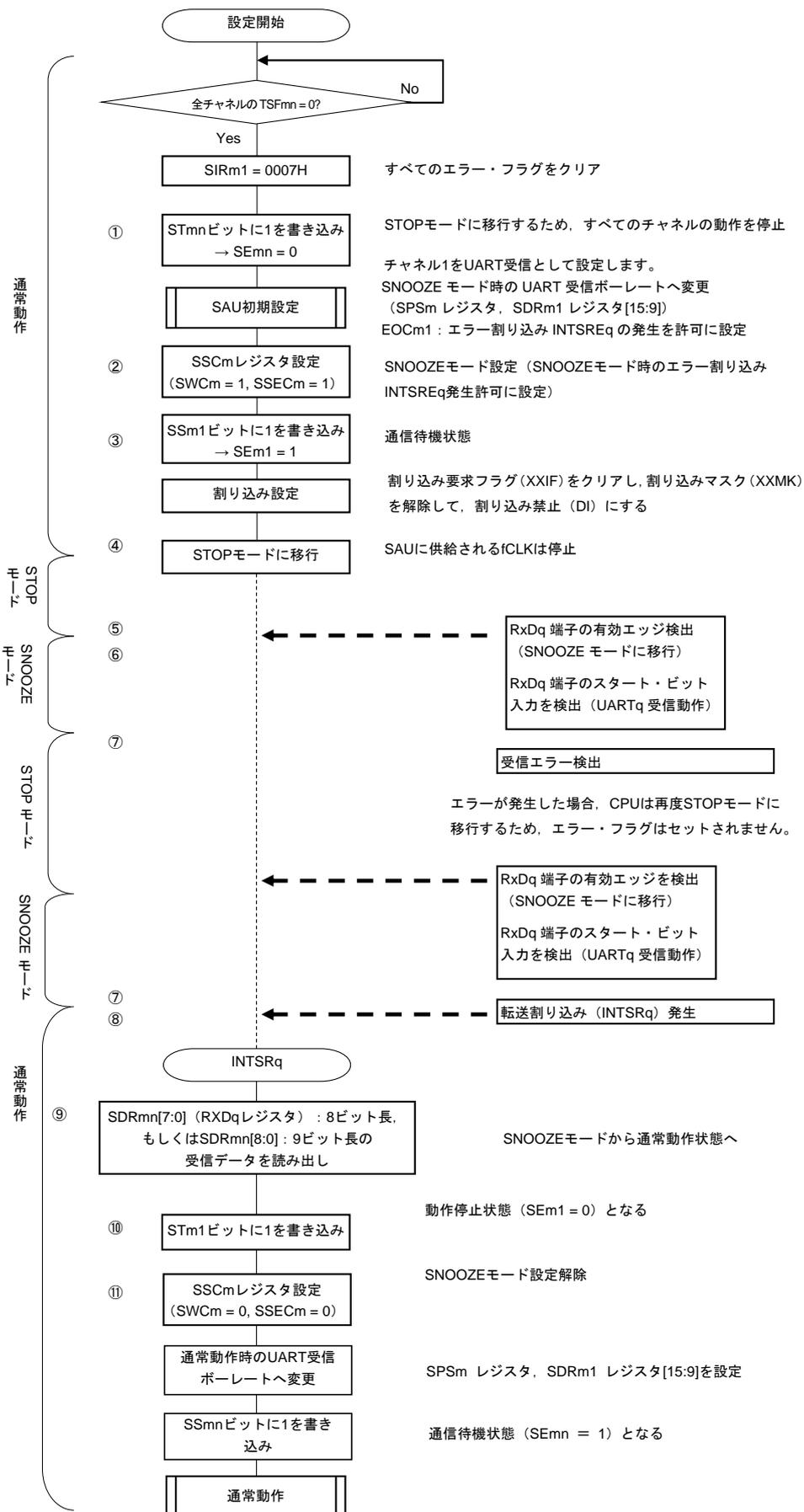
また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出して下さい。

備考1. 図中の①~⑪は、図20-96 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートの①~⑪に対応しています。

2. m = 0; q = 0

図20-96 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート



(注意, 備考は次ページにあります。)

注意 SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときは、SWC0 = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出してください。

備考1. 図中の①~⑪は、図20-95 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①~⑪に対応しています。

2. m = 0; q = 0

20.6.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART4) 通信でのボー・レートは下記の計算式にて算出できます。

$$\text{(ボー・レート)} = \{\text{対象チャンネルの動作クロック (f}_{\text{MCK}}\text{) 周波数}\} \div (\text{SDRmn}[15:9]+1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタmn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値 (0000010B-1111111B) なので、2-127になります。

2. m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmnビット) で決まります。

表20-4 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{CLK}) ^注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	24 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	12 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	6 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	3 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	11.7 kHz
	X	X	X	X	1	1	0	0	f _{CLK} /2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	f _{CLK} /2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	f _{CLK} /2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	f _{CLK} /2 ¹⁵	732 Hz	
1	0	0	0	0	X	X	X	X	f _{CLK}	24 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	12 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	6 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	3 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	23.4 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	11.7 kHz
	1	1	0	0	X	X	X	X	f _{CLK} /2 ¹²	5.86 kHz
	1	1	0	1	X	X	X	X	f _{CLK} /2 ¹³	2.93 kHz
	1	1	1	0	X	X	X	X	f _{CLK} /2 ¹⁴	1.46 kHz
1	1	1	1	X	X	X	X	f _{CLK} /2 ¹⁵	732 Hz	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21

(2) 送信時のボー・レート誤差

UART (UART0-UART4) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$\text{(ボー・レート誤差)} = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 24 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 24 \text{ MHz}$ 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{\text{CLK}}/2^9$	77	300.48 bps	+0.16%
600 bps	$f_{\text{CLK}}/2^8$	77	600.96 bps	+0.16%
1200 bps	$f_{\text{CLK}}/2^7$	77	1201.92 bps	+0.16%
2400 bps	$f_{\text{CLK}}/2^6$	77	2403.85 bps	+0.16%
4800 bps	$f_{\text{CLK}}/2^5$	77	4807.69 bps	+0.16%
9600 bps	$f_{\text{CLK}}/2^4$	77	9615.38 bps	+0.16%
19200 bps	$f_{\text{CLK}}/2^3$	77	19230.8 bps	+0.16%
31250 bps	$f_{\text{CLK}}/2^3$	47	31250.0 bps	±0.0%
38400 bps	$f_{\text{CLK}}/2^2$	77	38461.5 bps	+0.16%
76800 bps	$f_{\text{CLK}}/2$	77	76923.1 bps	+0.16%
153600 bps	fCLK	77	153846 bps	+0.16%
312500 bps	fCLK	37	315789 bps	+1.05%

備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10, 12, 20

(3) 受信時のポー・レート許容範囲

UART (UART0-UART4) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$\text{(受信可能な最大ポー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ポー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値 (20.6.4 (1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11, 13, 21

図20-97 受信時の許容ポー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

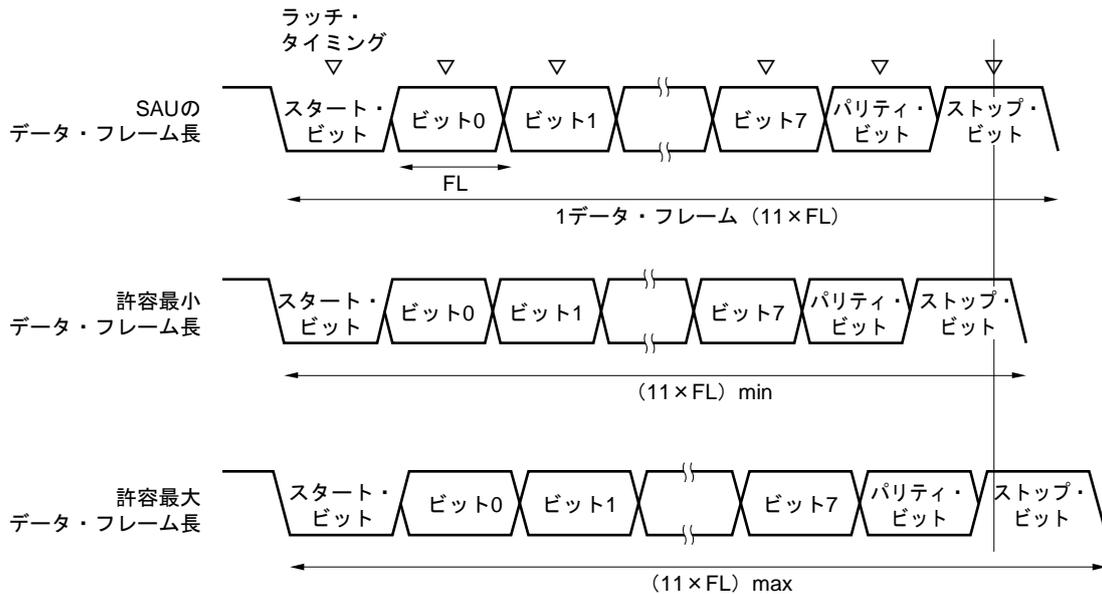


図20-97に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

20.6.5 UART (UART0-UART4) 通信時におけるエラー発生時の処理手順

UART (UART0-UART4) 通信時にエラーが発生した場合の処理手順を図20-98、図20-99に示します。

図20-98 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図20-99 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタm (STm) のSTmnビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEmnビットが“0”となり、チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタm (SSm) のSSmnビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEmnビットが“1”となり、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13, 20, 21

20.7 LIN通信の動作

20.7.1 LIN送信

UART送信のうち、UART0はLIN通信に対応しています。

LIN送信では、ユニット0のチャンネル0を使用します。

UART	UART0	UART1	UART2	UART3	UART4
LIN通信対応	可	不可	不可	不可	不可
対象チャンネル	SAU0のチャンネル0	—	—	—	—
使用端子	TxD0	—	—	—	—
割り込み	INTST0	—	—	—	—
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能				
エラー検出フラグ	なし				
転送データ長	8ビット				
転送レート	Max. $f_{MCK}/6$ [bps] (SDR00[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^注				
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）				
パリティ・ビット	パリティ・ビットなし				
ストップ・ビット	1ビット付加				
データ方向	LSBファースト				

注 この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性参照）を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速（1~20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

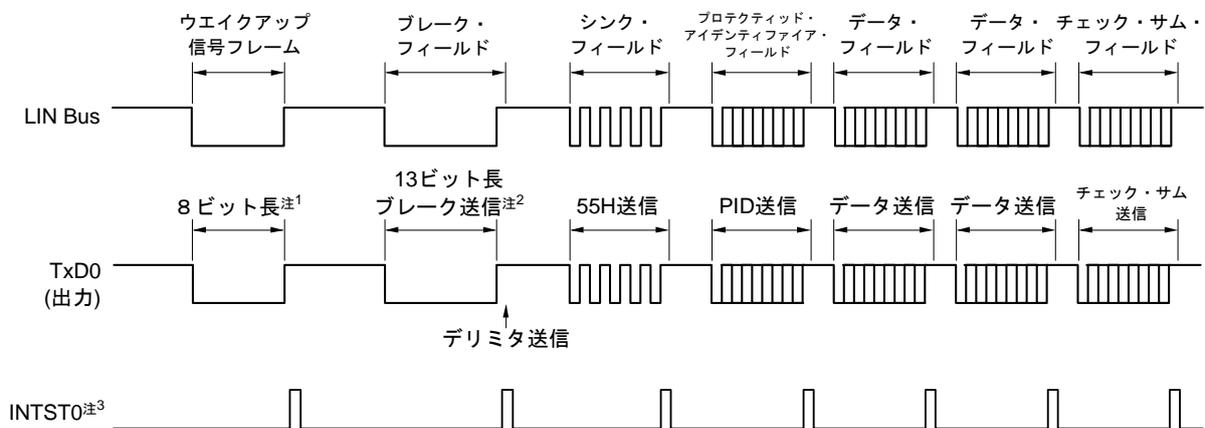
LINのマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が±15%以下であれば、通信可能です。

LINのマスタ送信操作の概略を、図20-100に示します。

図20-100 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにボー・レートを設定し、80Hのデータ送信をすることで対応します。

2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するボー・レートをN [bps]とすると、ブレーク・フィールドで使用するボー・レートは次のようになります。

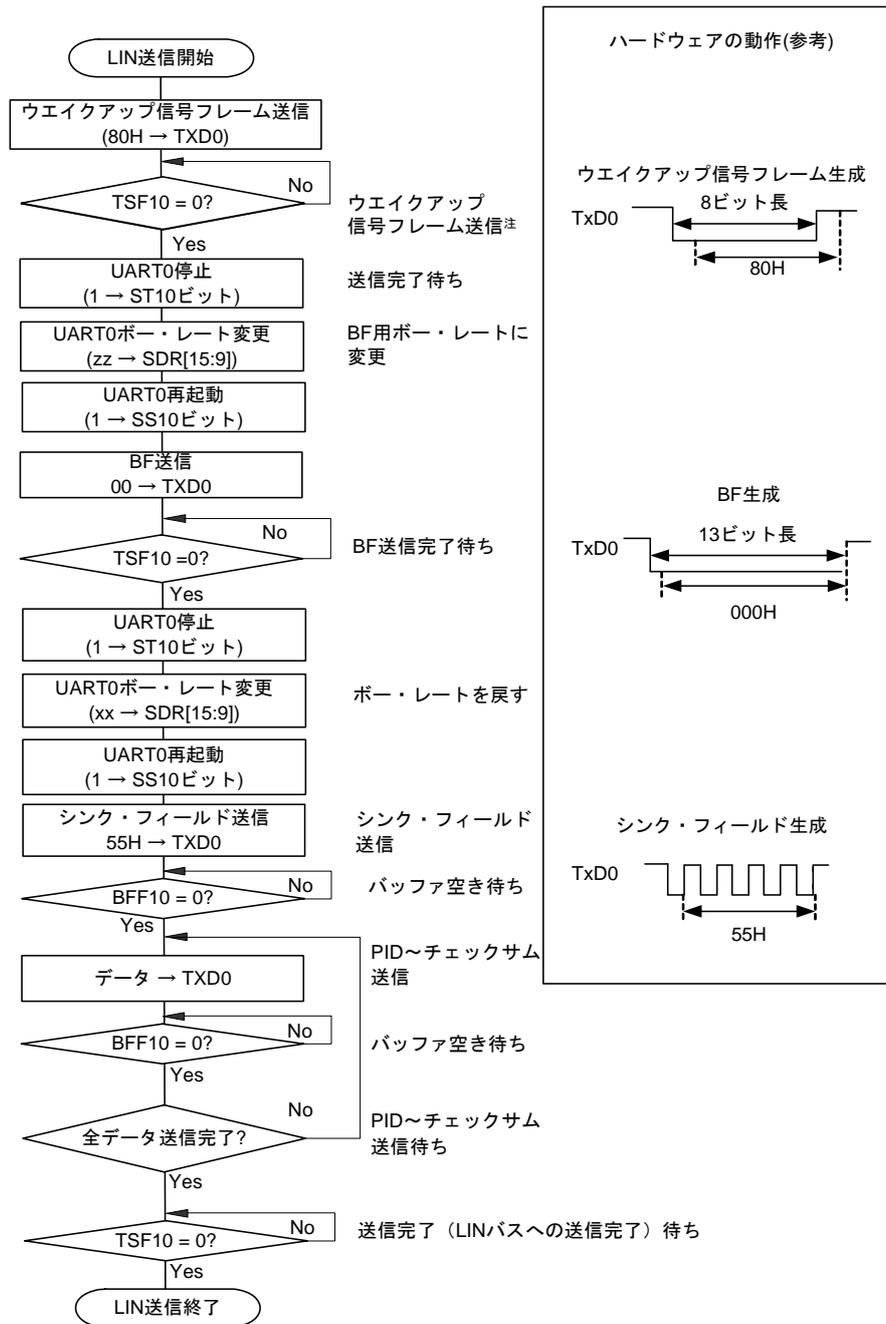
$$\boxed{(\text{ブレーク・フィールド時のボー・レート}) = 9/13 \times N}$$

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図20-101 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

20.7.2 LIN受信

UART受信のうち、UART0はLIN通信に対応しています。

LIN受信では、ユニット0のチャンネル1を使用します。

UART	UART0	UART1	UART2	UART3	UART4
LIN通信対応	可	不可	不可	不可	不可
対象チャンネル	SAU0のチャンネル1	—	—	—	—
使用端子	RxD0	—	—	—	—
割り込み	INTSR0	—	—	—	—
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）				
エラー割り込み	INTSRE0	—	—	—	—
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF01） ・ オーバラン・エラー検出フラグ（OVF01） 				
転送データ長	8ビット				
転送レート	Max. $f_{MCK}/6$ [bps] (SDR01[15:9] = 2以上) , Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^注				
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）				
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）				
ストップ・ビット	1ビット目チェック				
データ方向	LSBファースト				

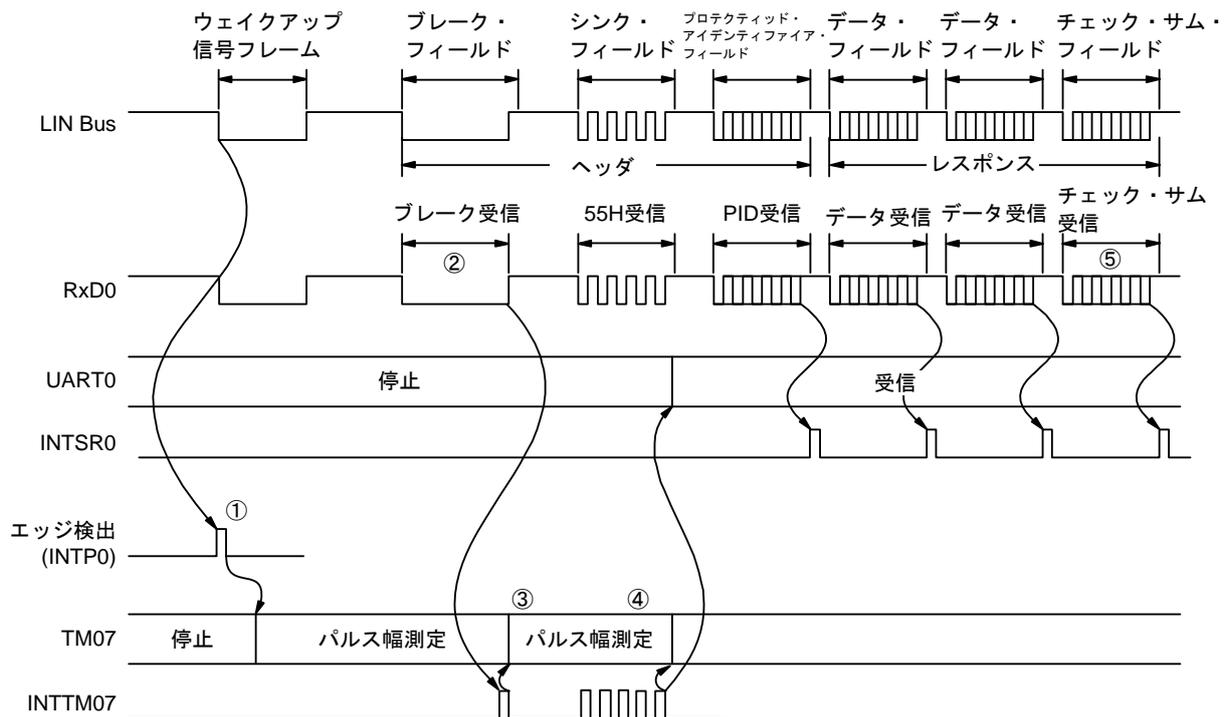
注 この条件を満たし、かつ電氣的特性の周辺機能特性（第43章 電氣的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINの受信操作の概略を、**図20-102**に示します。

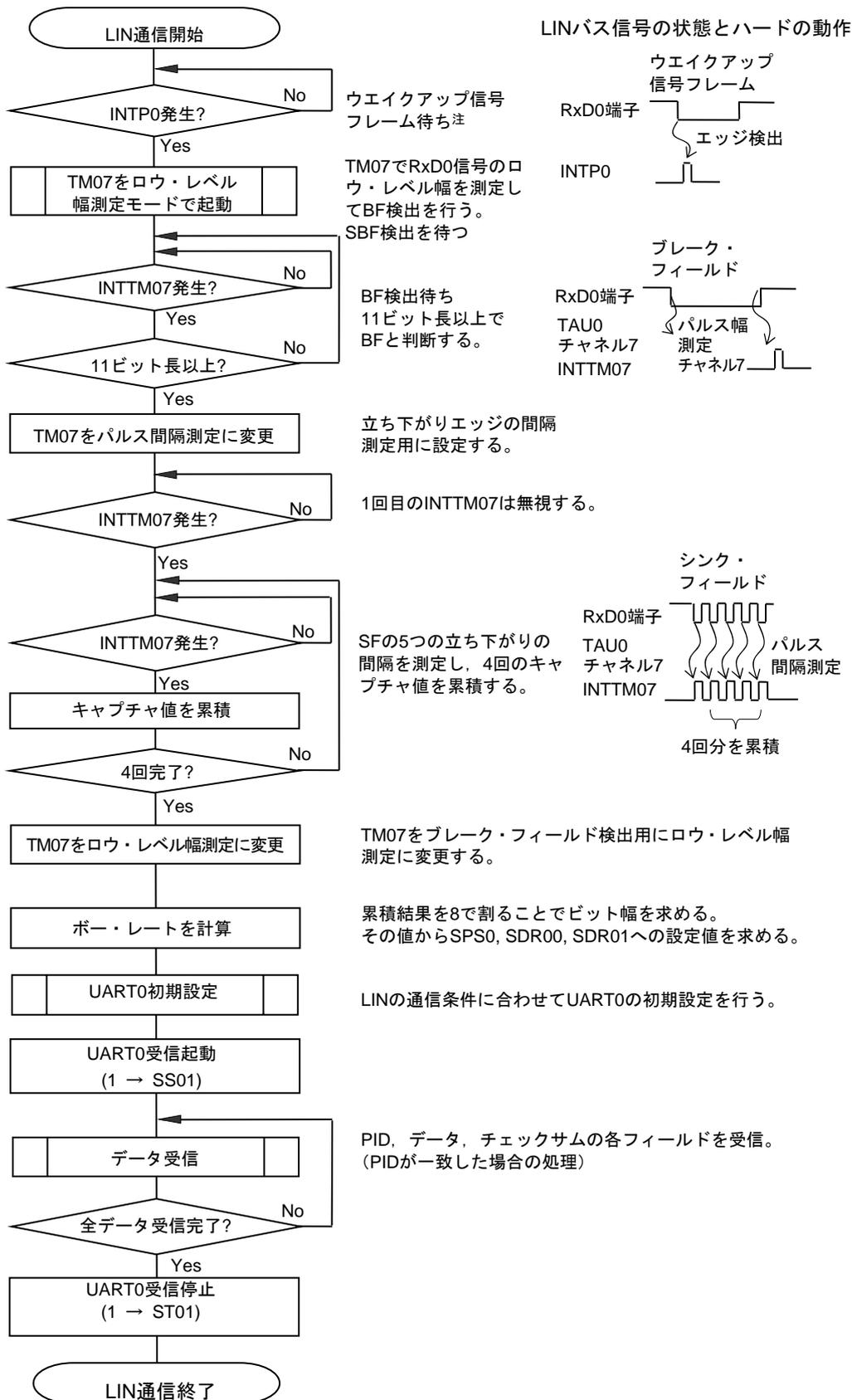
図20-102 LINの受信操作



受信処理の流れを次に示します。

- ① ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTP0) で行います。ウェイクアップ信号を検出したら、TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して、BF受信待ち状態にします。
- ② BFの立ち下がりを検出したら、TM07はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。
- ③ BF受信を正常終了した場合、TM07をパルス間隔測定に設定し、シンク・フィールドのRxD0信号の立ち下がりの間隔を4回測定してください。
- ④ BF受信を正常終了した場合、タイマ・アレイ・ユニットのチャンネル7を起動し、シンク・フィールドのビット間隔 (パルス幅) を測定してください (8.8.3 入力パルス間隔測定としての動作を参照)。
- ⑤ シンク・フィールド (SF) のビット間隔からポー・レート誤差を算出します。そして、いったんUART0を動作停止にしてからポー・レートを調整 (再設定) してください。
- ⑥ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し、再びBF受信待ちに設定する処理もソフトウェアにて行ってください。

図20-103 LIN受信のフロー・チャート



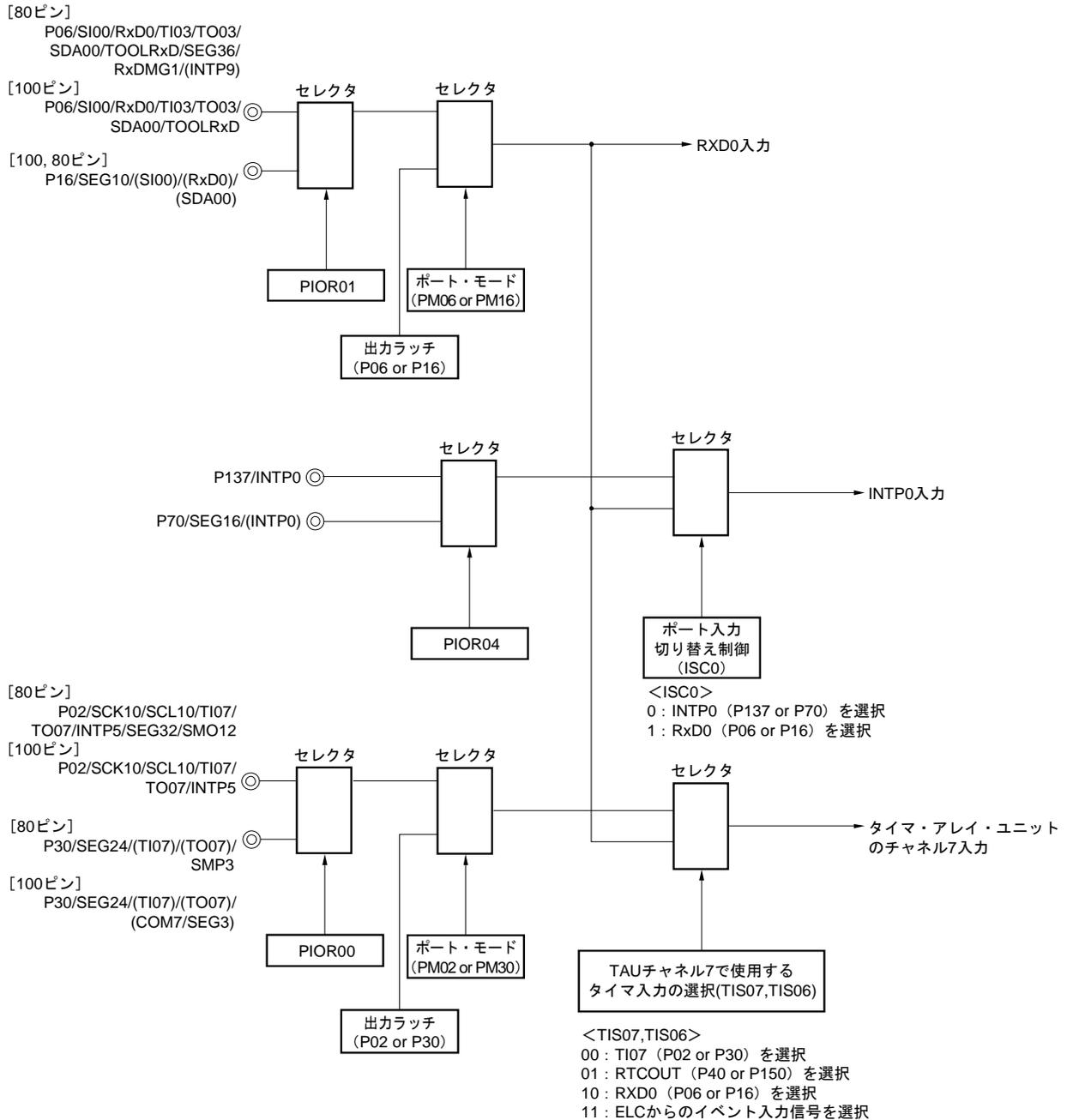
注 スリープ状態でのみ必要となります。

図20-104はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み (INTP0) のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し、ポーレート誤差を算出することができます。

ポート入力切り替え制御 (ISC0) により、外部で結線をせずに、受信用ポート入力 (RXD0) の入力ソースを外部割り込み (INTP0) およびタイマ・アレイ・ユニットへ入力することができます。

図20-104 LINの受信操作のポート構成図



備考1. ISC0 : 入力切り替え制御レジスタ (ISC) のビット0 (図20-22参照)

PIOR00, PIOR01, PIOR04 : 周辺I/Oリダイレクション・レジスタ (PIOR0) のビット0-4 (図4-7参照)

- 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマットを参照してください。

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出
- ・タイマ・アレイ・ユニットのチャンネル7 ; ポー・レート誤差検出、ブレーク・フィールド (BF) 検出
用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでポー・レート誤差を検出 (RxD0
入力エッジの間隔をキャプチャ・モードで測定)
ロウ・レベル幅を測定し、ブレーク・フィールド (BF) かを判定
- ・シリアル・アレイ・ユニット0 (SAU0) のチャンネル0, 1 (UART0)

20.8 簡易I²C (IIC00, IIC10, IIC30) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²Cバスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^注, ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・パリティ・エラー (ACKエラー)

※ [簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・マルチ・マスタ機能 (アービトレーション負け検出機能)
- ・ウェイト検出機能

注 最終データの受信時は、SOEmn (SOEmレジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**20.8.3 (2) 処理フロー**を参照してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 12

簡易I²C (IIC00, IIC10, IIC30) に対応しているチャンネルは, SAU0のチャンネル0, 2, SAU1のチャンネル2です。

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	—	UART2 (IrDA対応)	—
	1	—		—
	2	CSI30 ^注	UART3 ^注	IIC30 ^注
	3	—		—
2	0	—	UART4 ^注	—
	1	—		—

注 100ピン製品のみ。

簡易I²C (IIC00, IIC10, IIC30) の通信動作は, 以下の4種類があります。

- ・ アドレス・フィールド送信 (20. 8. 1項を参照)
- ・ データ送信 (20. 8. 2項を参照)
- ・ データ受信 (20. 8. 3項を参照)
- ・ ストップ・コンディション発生 (20. 8. 4項を参照)

20.8.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I²C通信で最初に行う送信動作です。スタート・コンディションが発生したあとに、アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I ² C	IIC00	IIC10	IIC30
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}	SCL30, SDA30 ^{注1}
割り込み	INTIIC00	INTIIC10	INTIIC30
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）		
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）		
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）		
転送レート ^{注2}	Max.f _{mck} /4 [Hz]（SDRmn[15:9] = 1以上） f _{mck} : 対象チャネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 1 MHz（ファースト・モード・プラス） ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）		
データ・レベル	非反転出力（デフォルト：ハイ・レベル）		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加（ACK受信タイミング用）		
データ方向	MSBファースト		

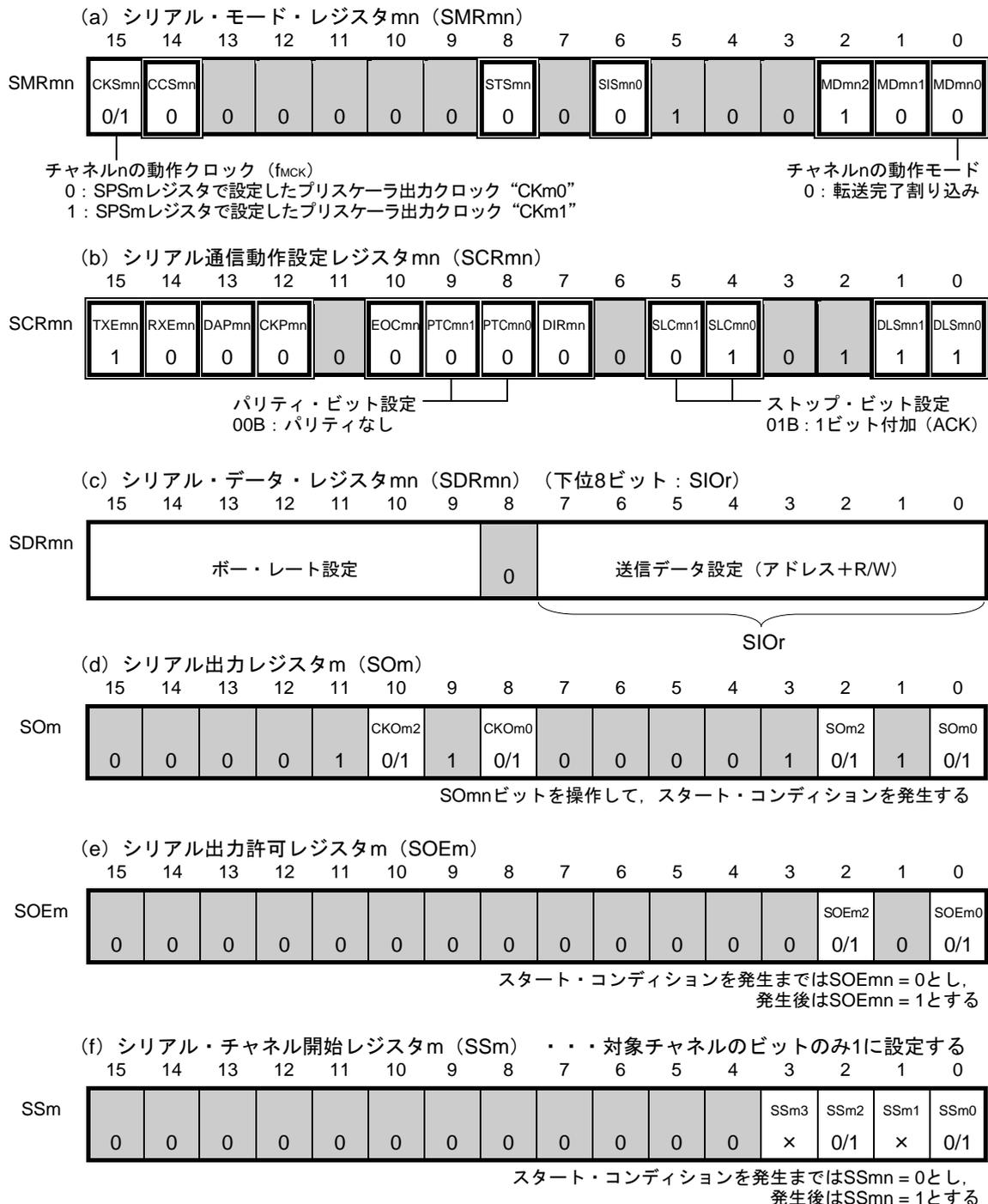
注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（EV_{DD}耐圧）モードを設定してください（詳細は4.3.5 ポート出力モード・レジスタ（POMxx）を参照）。IIC00, IIC10, IIC30を異電位外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（EV_{DD}耐圧）モードを設定してください（詳細は、4.4.4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応を参照）。

2. この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性参照）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 12

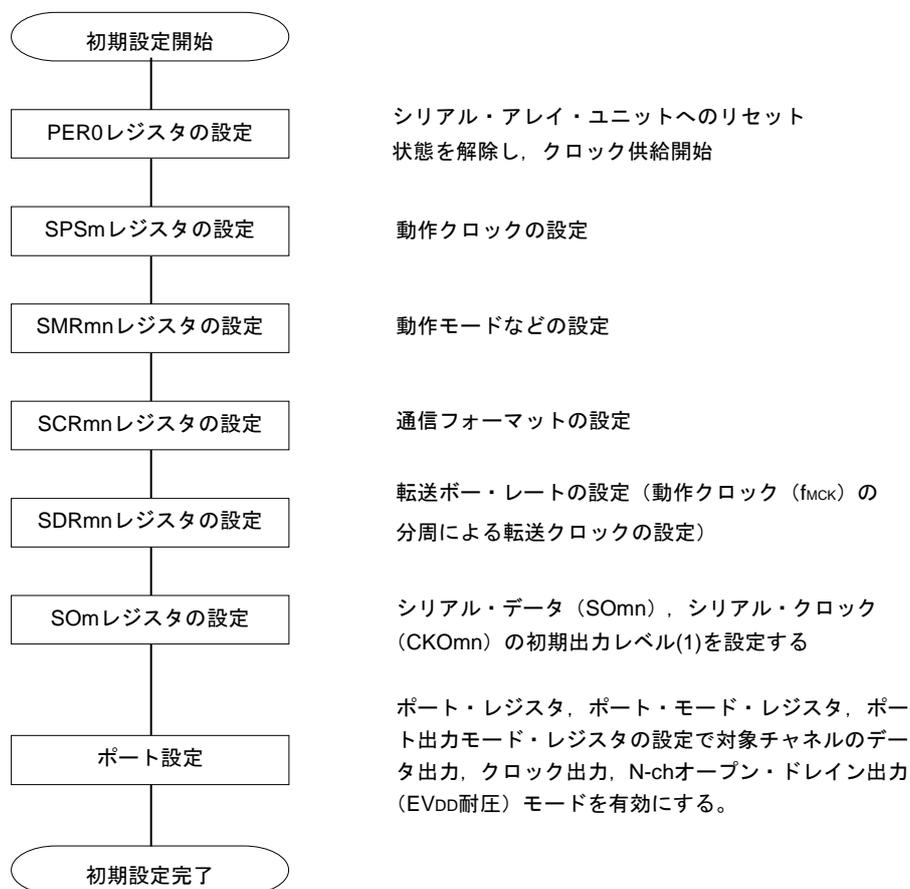
(1) レジスタ設定

図20-105 簡易I²C (IIC00, IIC10, IIC30) のアドレス・フィールド送信時のレジスタ設定内容例



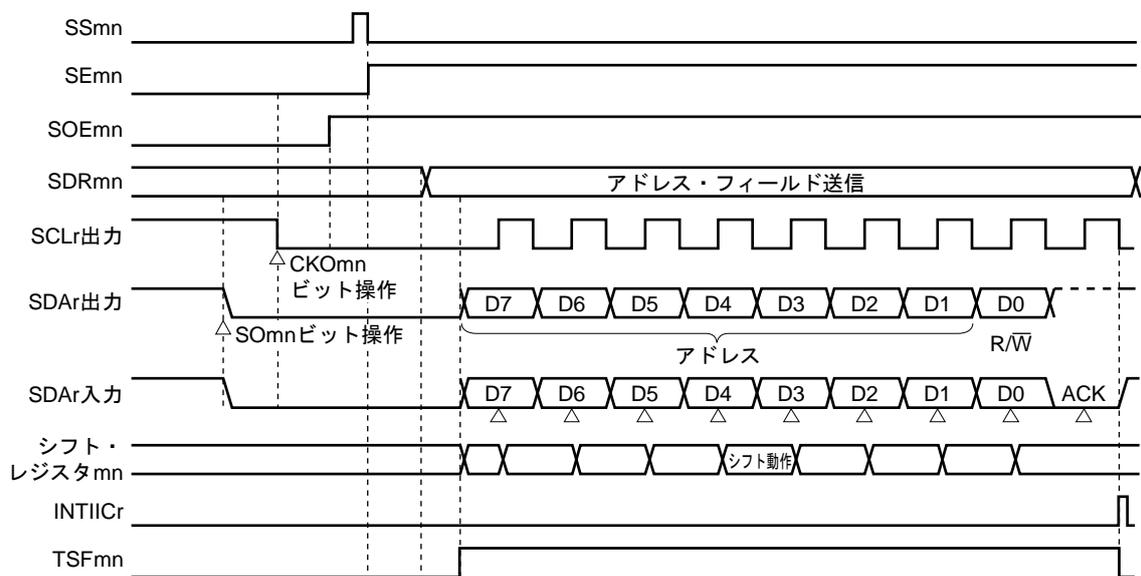
- 備考1. m: ユニット番号 (m=0, 1) n: チャンネル番号 (n=0, 2) r: IIC番号 (r=00, 10, 30) mn=00, 02, 12
2. □: IICモードでは設定固定 ■: 設定不可 (初期値を設定)
 ×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図20-106 簡易I²Cアドレス・フィールド送信の初期設定手順

(3) 処理フロー

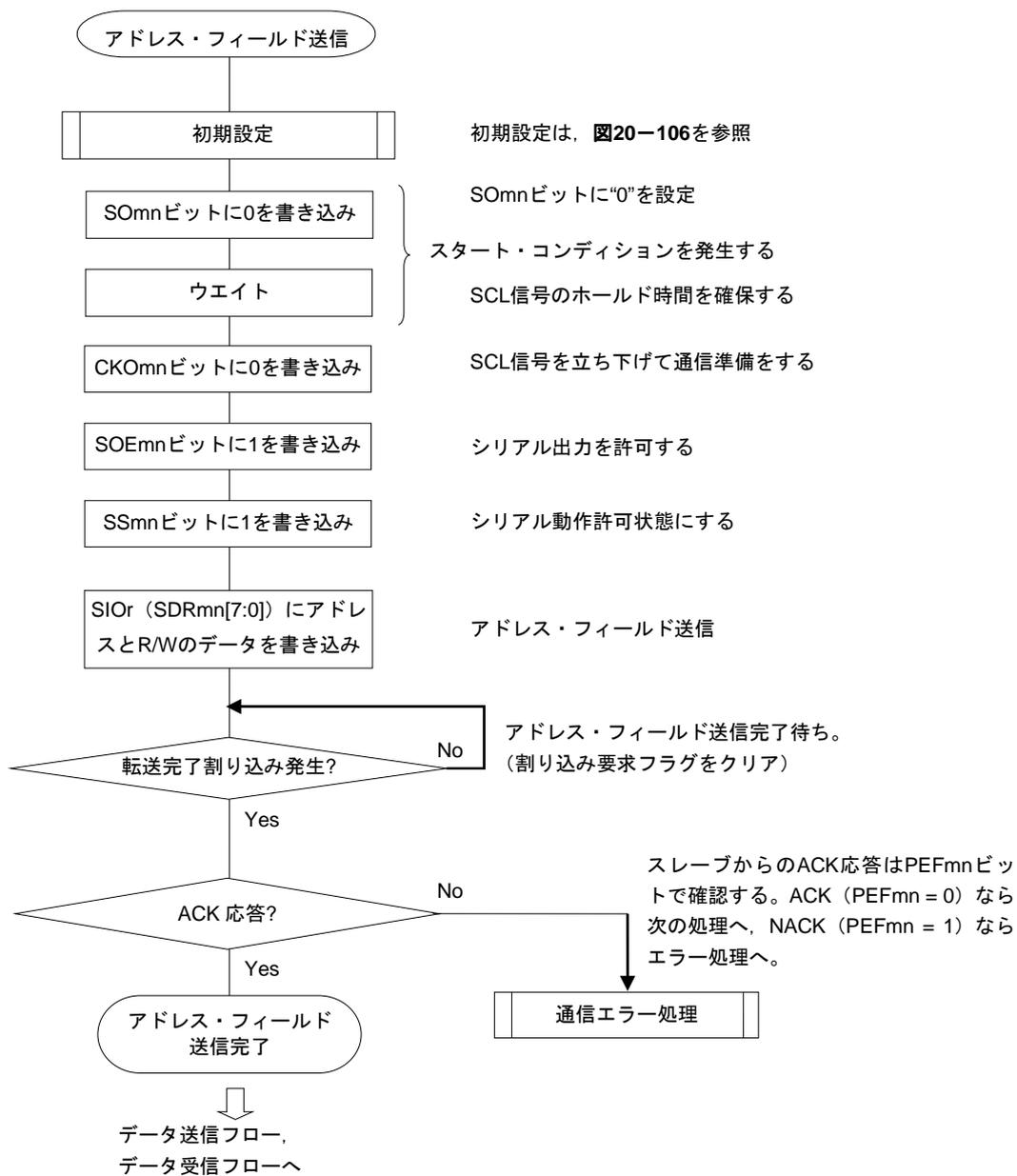
図20-107 アドレス・フィールド送信のタイミング・チャート



備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) r: IIC番号 (r = 00, 10, 30) mn = 00, 02,

12

図20-108 簡易I²Cアドレス・フィールド送信のフロー・チャート



20.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC10	IIC30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}	SCL30, SDA30 ^{注1}
割り込み	INTIIC00	INTIIC10	INTIIC30
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）		
エラー検出フラグ	ACKエラー・フラグ（PEFmn）		
転送データ長	8ビット		
転送レート ^{注2}	Max.f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 1 MHz（ファースト・モード・プラス） ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）		
データ・レベル	非反転出力（デフォルト：ハイ・レベル）		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加（ACK受信タイミング用）		
データ方向	MSBファースト		

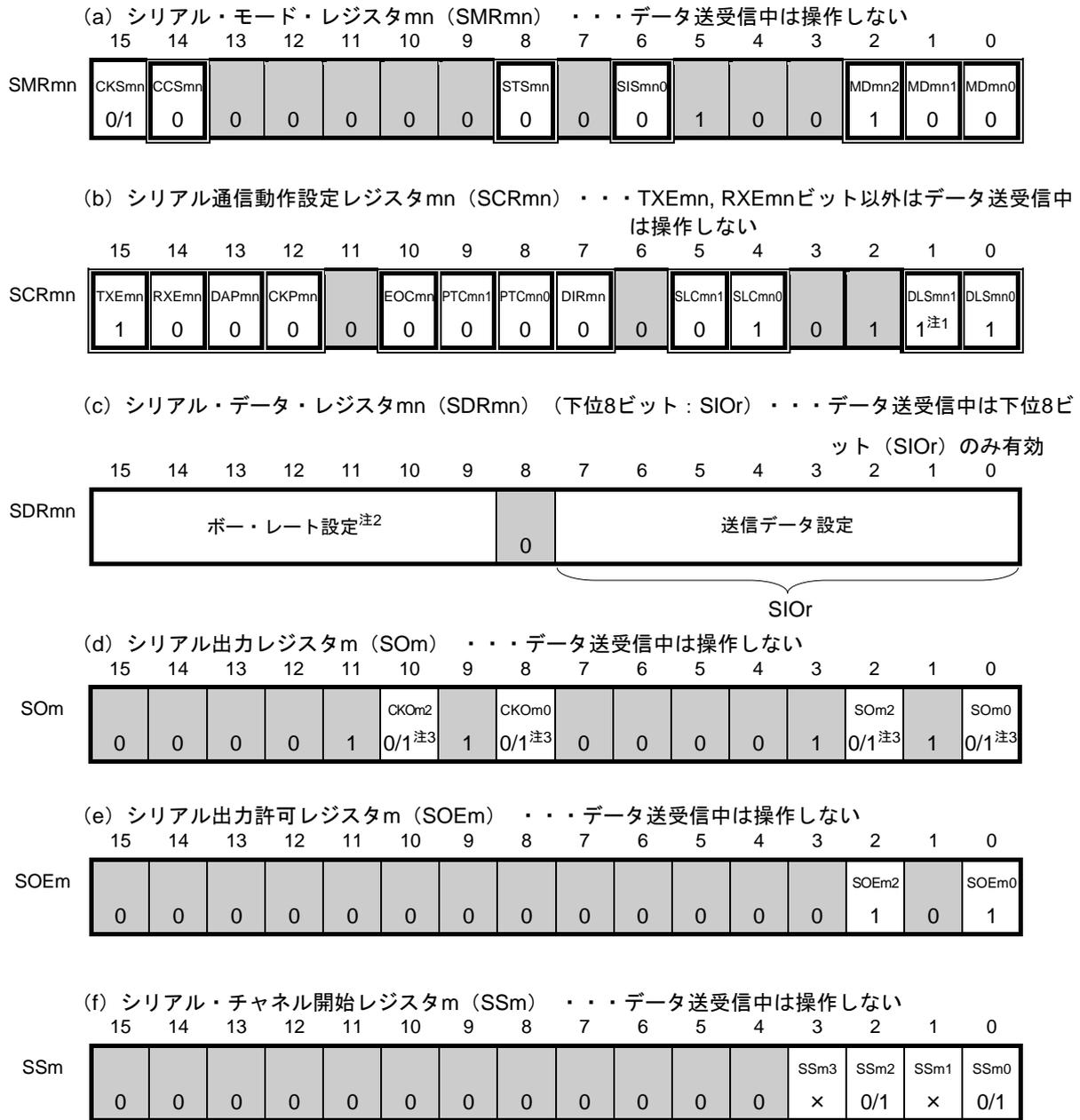
注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（EV_{DD}耐圧）モードを設定してください（詳細は**4.3.5 ポート出力モード・レジスタ（POMxx）**を参照）。IIC00, IIC10, IIC30を異電位外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（EV_{DD}耐圧）モードを設定してください（詳細は、**4.4.4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応**を参照）。

2. この条件を満たし、かつ電氣的特性の周辺機能特性（**第43章 電氣的特性参照**）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 12

(1) レジスタ設定

図20-109 簡易I²C (IIC00, IIC10, IIC30) のデータ送信時のレジスタ設定内容例



注1. SCR00レジスタのみ。その他は1固定になります

- 2. アドレス・フィールド送信で設定済みなので、設定不要です。
- 3. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 30) mn = 00, 02, 12

- 2. : IICモードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図20-110 データ送金のタイミング・チャート

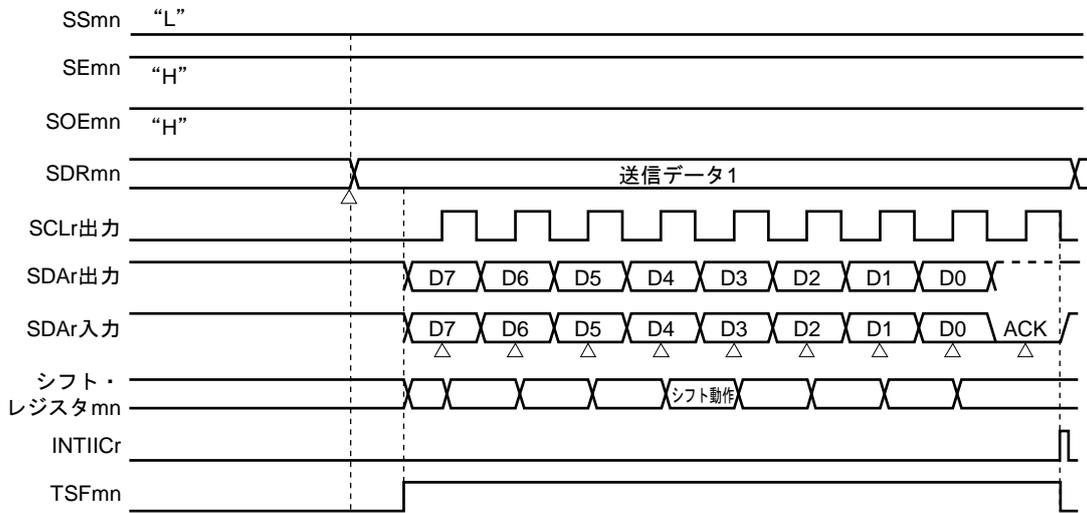
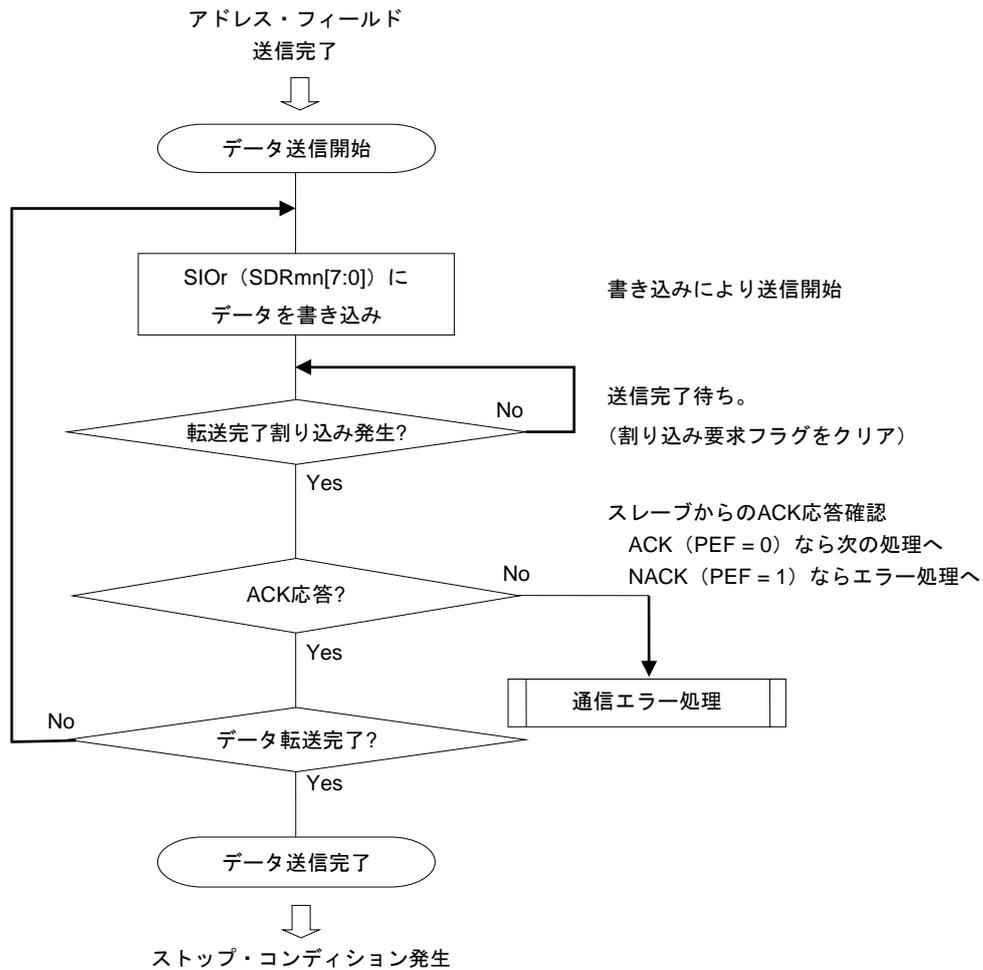


図20-111 簡易I²Cデータ送金のフロー・チャート



20.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC10	IIC30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}	SCL30, SDA30 ^{注1}
割り込み	INTIIC00	INTIIC10	INTIIC30
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	8ビット		
転送レート ^{注2}	Max.f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 1 MHz（ファースト・モード・プラス） ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）		
データ・レベル	非反転出力（デフォルト：ハイ・レベル）		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加（ACK送信）		
データ方向	MSBファースト		

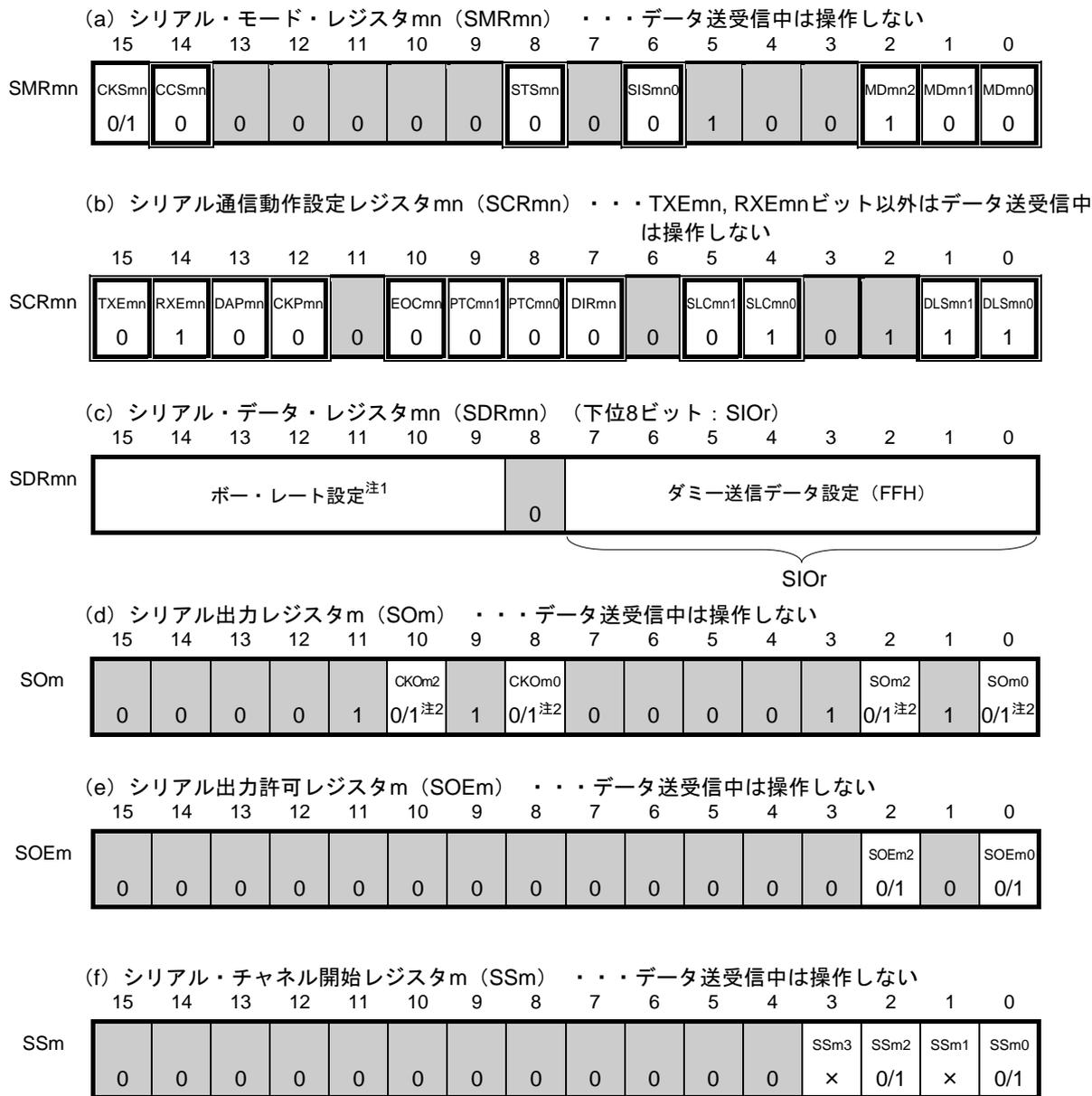
注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（EV_{DD}耐圧）モードを設定してください（詳細は**4.3.5 ポート出力モード・レジスタ（POMxx）**を参照）。IIC00, IIC10, IIC30を異電位外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（EV_{DD}耐圧）モードを設定してください（詳細は、**4.4.4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応**を参照）。

2. この条件を満たし、かつ電氣的特性の周辺機能特性（**第43章 電氣的特性参照**）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） mn = 00, 02, 12

(1) レジスタ設定

図20-112 簡易I²C (IIC00, IIC10, IIC30) のデータ受信時のレジスタ設定内容例



注1. アドレス・フィールド送信で設定済みなので、設定不要です。

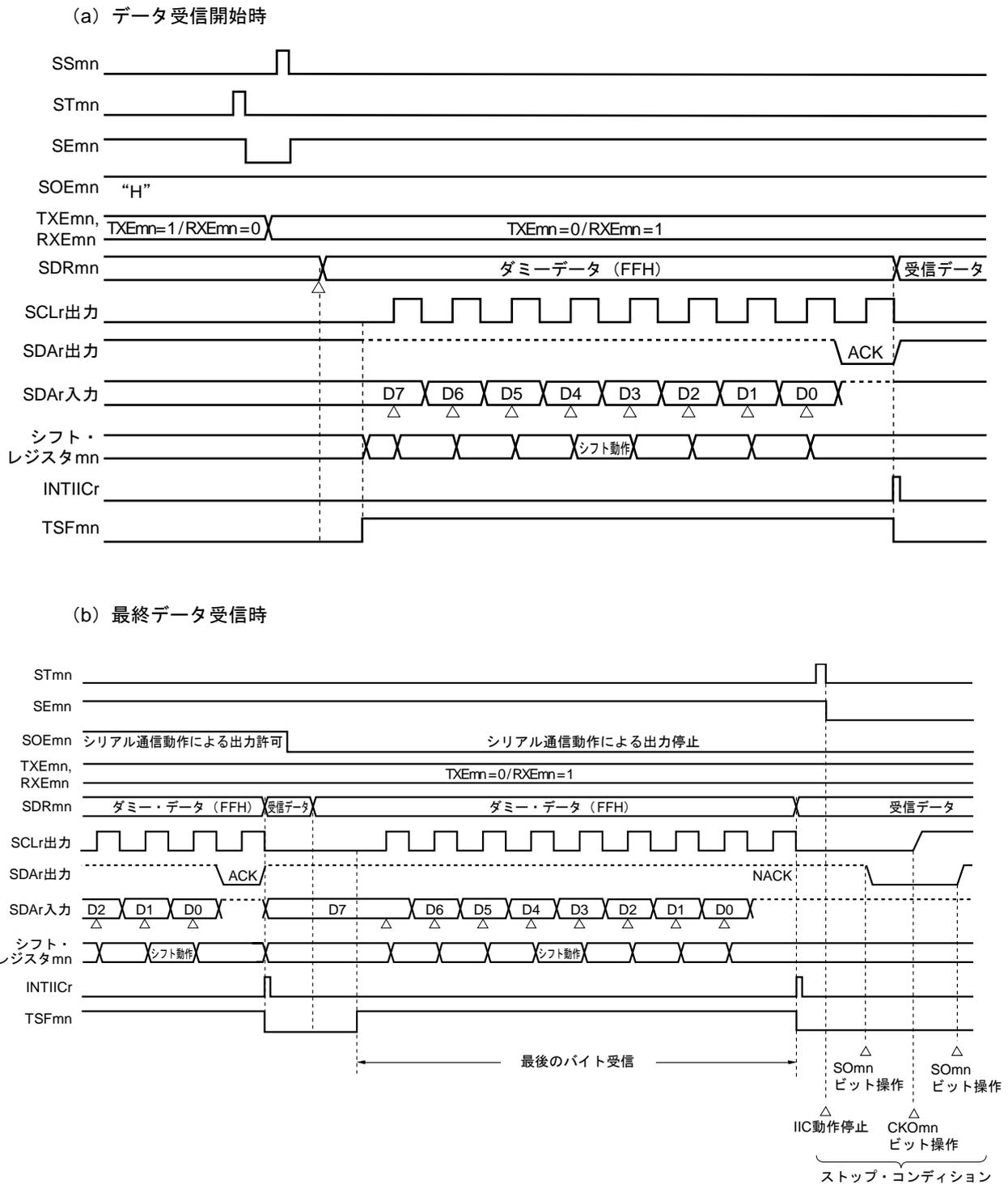
2. 通信動作中は通信データにより値が変わります。

備考1. m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0, 2) r: IIC番号 (r = 00, 10, 30) mn = 00, 02, 12

- 2. : IICモードでは設定固定 : 設定不可 (初期値を設定)
- ×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
- 0/1: ユーザの用途に応じて0または1に設定

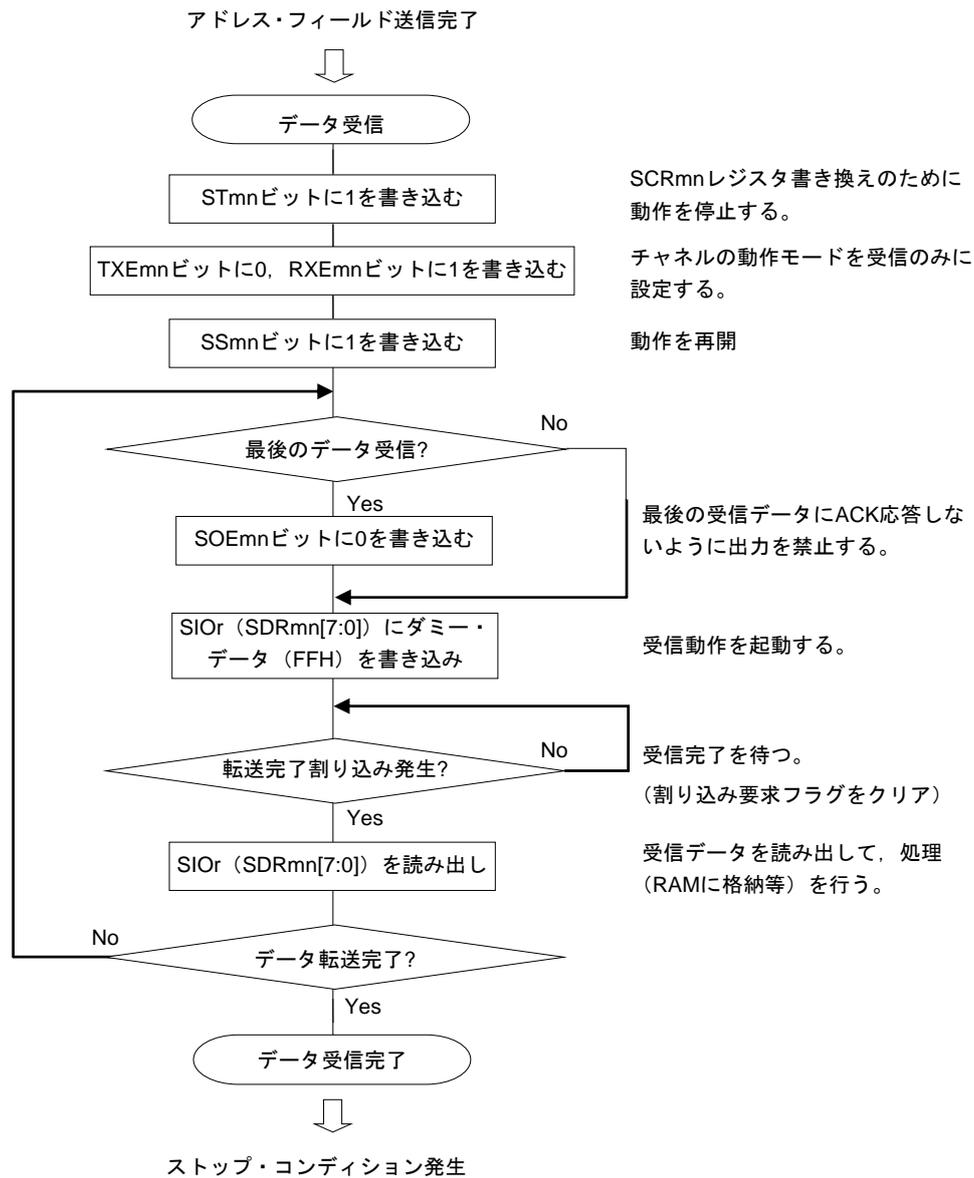
(2) 処理フロー

図20-113 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 30)
 mn = 00, 02, 12

図20-114 データ受信のフロー・チャート



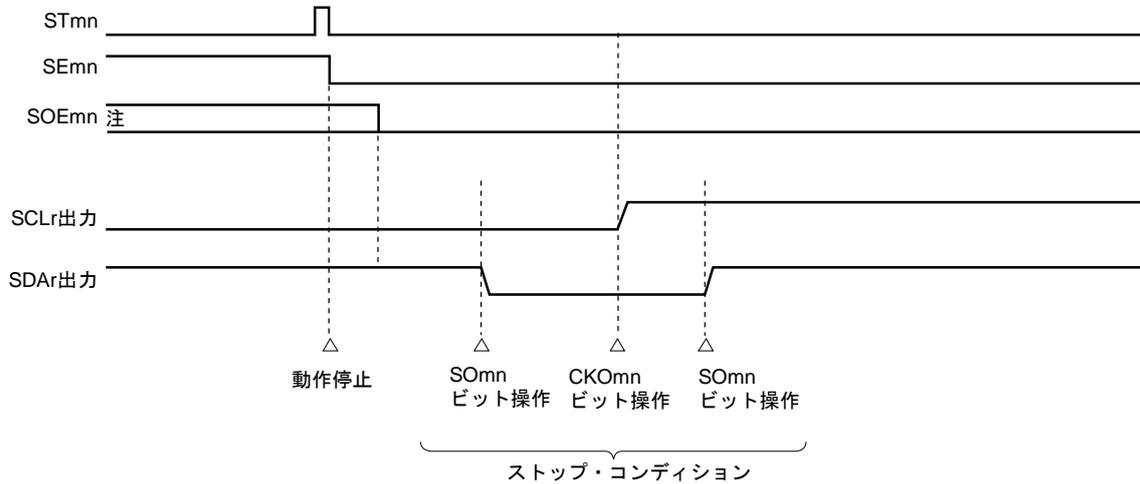
注意 最終データの受信時はACKを出力しません (NACK)。その後、シリアル・チャンネル停止レジスタm (STm) のSTmnビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

20.8.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

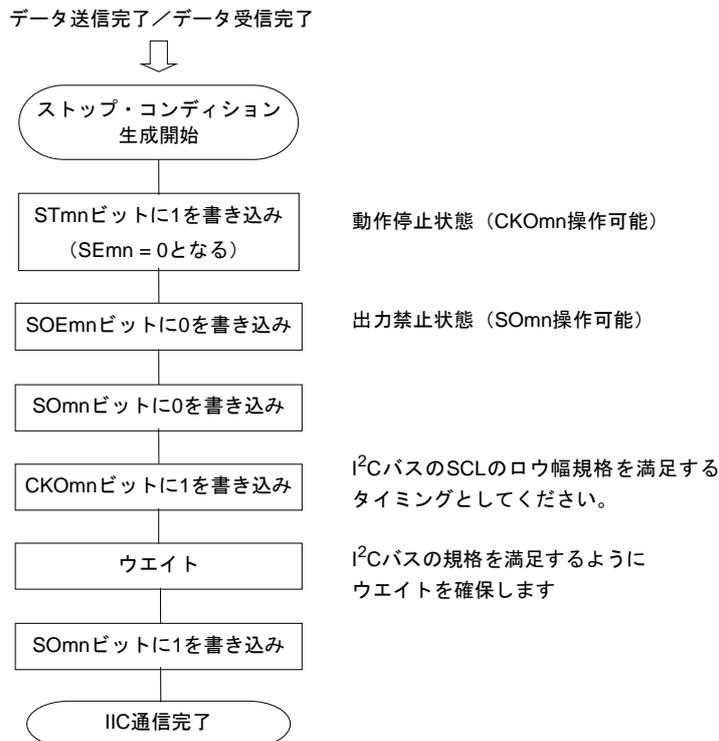
(1) 処理フロー

図20-115 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタm (SOEm) のSOEmnビットを“0”に設定しています。

図20-116 ストップ・コンディション発生のフロー・チャート



20.8.5 転送レートの算出

簡易I²C (IIC00, IIC10, IIC30) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \text{[対象チャネルの動作クロック (f}_{\text{MCK}}\text{) 周波数]} \div (\text{SDRmn}[15:9]+1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考 1. (SDRmn[15:9]) は、シリアル・データ・レジスタ mn (SDRmn) のビット15-9の値 (0000001B-1111111B) なので、1-127になります。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 12

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット15 (CKSmnビット) で決まります。

表20-5 簡易I²C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fmck) 注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 12

fMCK = fCLK = 24 MHzの場合のI²C転送レート設定例を示します。

I ² C転送モード (希望転送レート)	fCLK = 24 MHz時			
	動作クロック (fmck)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	59	100 kHz	0.0%
400 kHz	fCLK	29	380 kHz	5.0%注
1 MHz	fCLK	5	0.84 MHz	16.0%注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

20.8.6 簡易I²C (IIC00, IIC10, IIC30) 通信時におけるエラー発生時の処理手順

簡易I²C (IIC00, IIC10, IIC30) 通信時にエラーが発生した場合の処理手順を図20-117, 図20-118に示します。

図20-117 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが “0” となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に “1” をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図20-118 簡易I²Cモード時のACKエラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに “1” を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが “0” となり、チャンネル n は動作停止状態になる	ACKが返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに “1” を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが “1” となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 30) mn = 00, 02, 12

第21章 シリアル・インタフェースIICA

21.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCLAn) とシリアル・データ・バス (SDAAn) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ” および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1 (IICCTLn1) のWUPnビットにより設定します。

図21-1に、シリアル・インタフェースIICAのブロック図を示します。

備考 n = 0

図21-1 シリアル・インタフェースIICA0のブロック図

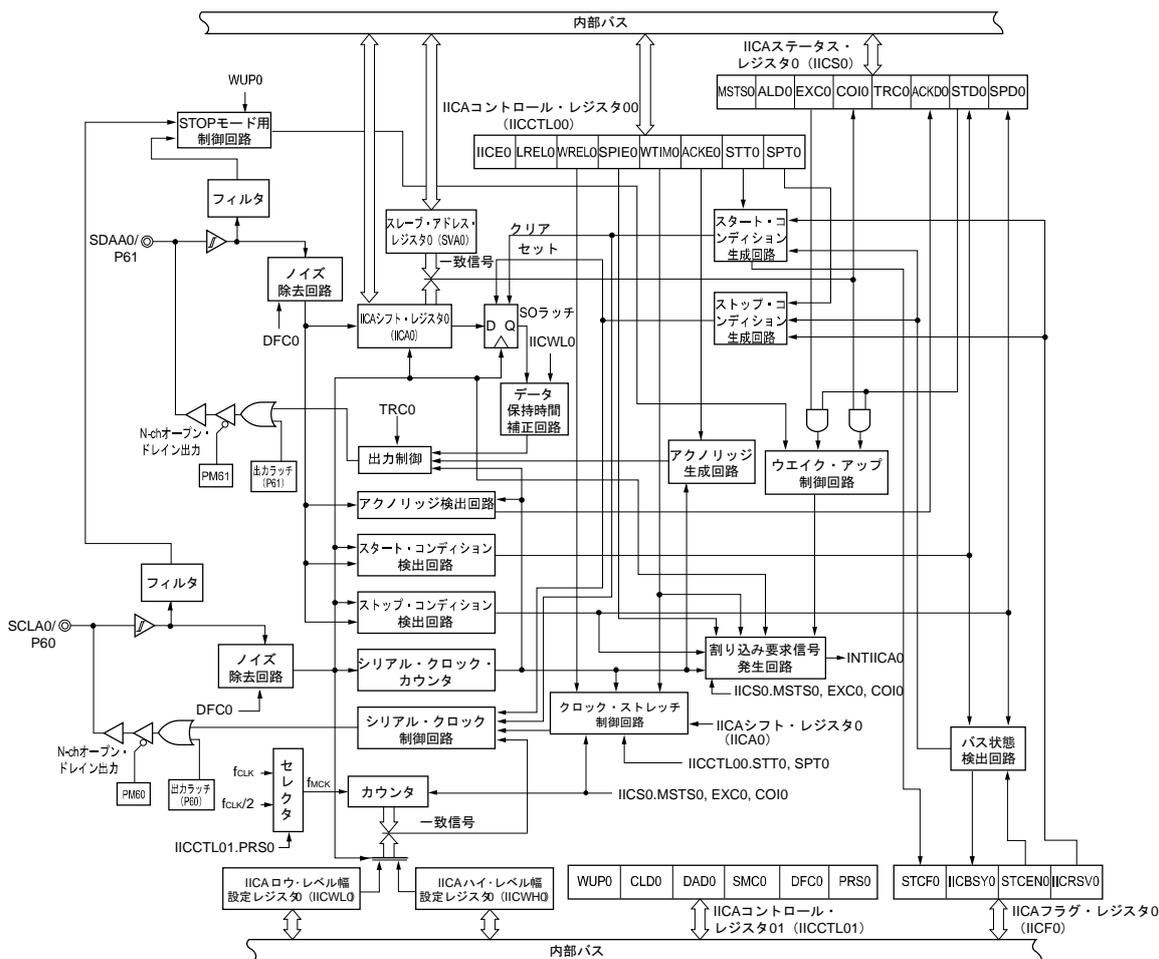
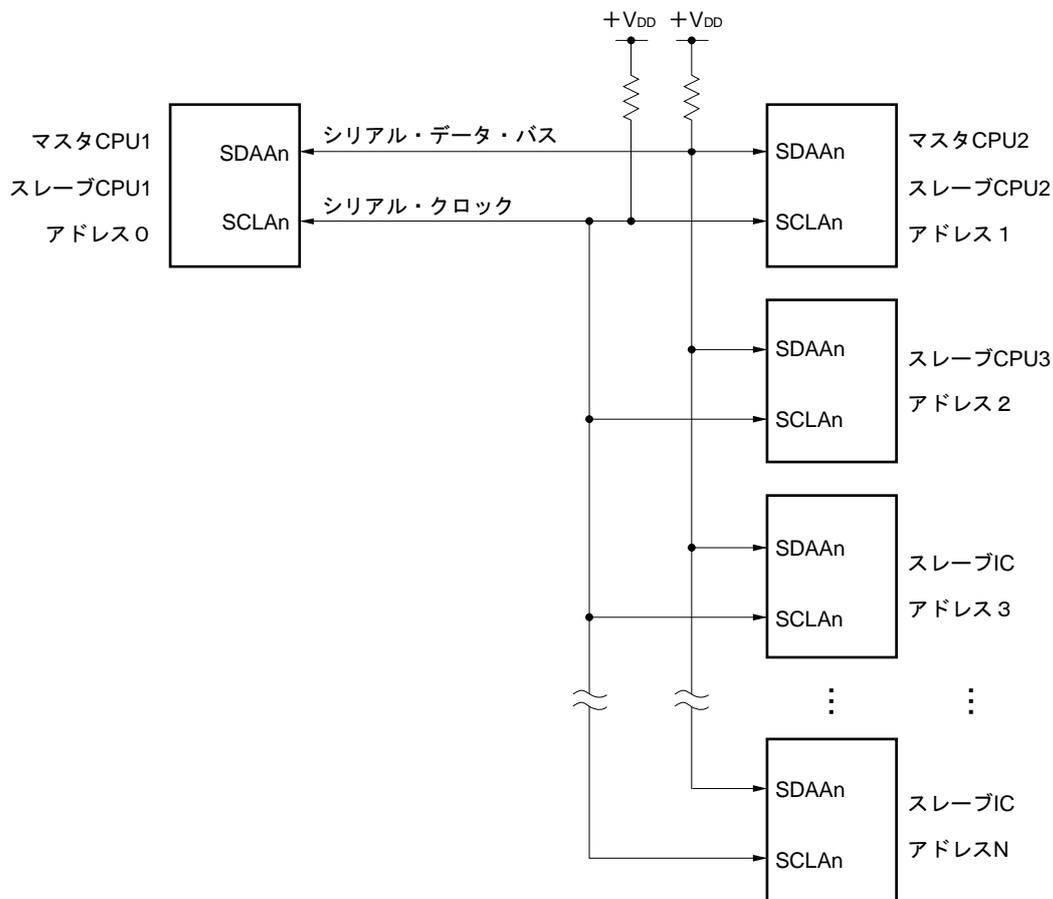


図21-2にシリアル・バス構成例を示します。

図21-2 I²Cバスによるシリアル・バス構成例



備考 n = 0

21.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表21-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ n (IICAn) スレーブ・アドレス・レジスタ n (SVAn)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) 周辺リセット制御レジスタ0 (PRR0) IICAコントロール・レジスタ $n0$ (IICCTLn0) IICAステータス・レジスタ n (IICSn) IICAフラグ・レジスタ n (IICFn) IICAコントロール・レジスタ $n1$ (IICCTLn1) IICAロウ・レベル幅設定レジスタ n (IICWLn) IICAハイ・レベル幅設定レジスタ n (IICWHn) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

備考 $n = 0$

(1) IICAシフト・レジスタ n (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

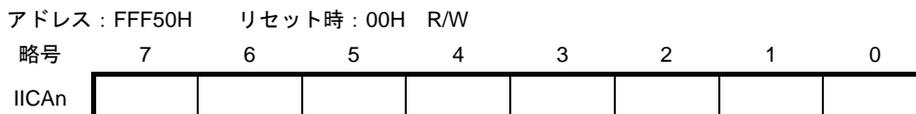
IICAnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-3 IICAシフト・レジスタ n (IICAn) のフォーマット



- 注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。
2. IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STTn) をセット (1) したあと、1回書き込みできます。
3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 $n = 0$

(2) スレーブ・アドレス・レジスタn (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn=1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図21-4 スレーブ・アドレス・レジスタn (SVAn) のフォーマット

アドレス : F0234H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0 ^注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタn (SVAn) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICAn) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEnビットで設定)

備考 WTIMnビット : IICAコントロール・レジスタn0 (IICCTLn0) のビット3
 SPIEnビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

備考 n = 0

- (9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
 アクノリッジ検出回路
 各状態の生成および検出を行います。
- (10) データ保持時間補正回路
 シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。
- (11) スタート・コンディション生成回路
 STTnビットがセット (1) されるとスタート・コンディションを生成します。
 ただし通信予約禁止状態 (IICRSVnビット = 1) で、かつバスが解放されていない (IICBSYnビット = 1)
 場合には、スタート・コンディション要求は無視し、STCFnビットをセット (1) します。
- (12) ストップ・コンディション生成回路
 SPTnビットがセット (1) されるとストップ・コンディションを生成します。
- (13) バス状態検出回路
 スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、
 解放されていないかを検出します。
 ただし動作直後はバス状態を検出できないため、STCENnビットにより、バス状態検出回路の初期状態
 を設定してください。

- 備考1.** STTnビット : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
 SPTnビット : " のビット0
 IICRSVnビット : IICAフラグ・レジスタn (IICFn) のビット0
 IICBSYnビット : " のビット6
 STCFnビット : " のビット7
 STCENnビット : " のビット1
- 2.** n = 0

21.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の10種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・周辺リセット制御レジスタ0 (PRR0)
- ・IICAコントロール・レジスタn0 (IICCTLn0)
- ・IICAフラグ・レジスタn (IICFn)
- ・IICAステータス・レジスタn (IICSn)
- ・IICAコントロール・レジスタn1 (IICCTLn1)
- ・IICAロウ・レベル幅設定レジスタn (IICWLn)
- ・IICAハイ・レベル幅設定レジスタn (IICWHn)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート・レジスタ6 (P6)

備考 n = 0

21.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICA0を使用するときは、必ずビット4 (IICA0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	SAU2EN	TAU0EN

IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可、 リードした場合は00Hが読めます。ただし、初期化はされていません。 ^注
1	入カクロック供給許可 ・シリアル・インタフェースIICA0で使用するSFRへのリード/ライト可

注 シリアル・インタフェースIICA0 およびシリアル・インタフェースIICA0 で使用するSFR を初期化する場合、PRR0のビット4(IICA0RES)を使用してください。

注意1. シリアル・インタフェースIICAnの設定をする際には、必ず最初にIICAnEN = 1の状態、下記のレジスタの設定を行ってください。IICAnEN = 0の場合は、書き込みは無視されます (ポート・モード・レジスタ6 (PM6) , ポート・レジスタ6 (P6) は除く)。

- ・IICAコントロール・レジスタn0 (IICCTLn0)
- ・IICAフラグ・レジスタn (IICFn)
- ・IICAステータス・レジスタn (IICSn)
- ・IICAコントロール・レジスタn1 (IICCTLn1)
- ・IICAロウ・レベル幅設定レジスタn (IICWLn)
- ・IICAハイ・レベル幅設定レジスタn (IICWHn)

2. ビット7には必ず“0”を設定してください。

備考 n = 0

21.3.2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・インタフェースIICA0をリセットする場合は、必ずビット4 (IICA0RES)を1に設定してください。

PRR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR0レジスタは00Hになります。

図21-6 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCREG	IICA0RES	SAU1RES	SAU0RES	SAU2RES	TAU0RES

IICA0RES	シリアル・インタフェースIICA0のリセット制御
0	シリアル・インタフェースIICA0のリセット解除
1	シリアル・インタフェースIICA0はリセット状態

21.3.3 IICAコントロール・レジスタn0 (IICCTLn0)

I²Cの動作許可／停止、クロック・ストレッチ・タイミングの設定、その他I²Cの動作を設定するレジスタです。

IICCTLn0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEnビットは、IICEn = 0のとき、またはクロック・ストレッチ期間中に設定してください。またIICEnビットを“0”から“1”に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

備考 n = 0

図21-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (1/4)

アドレス : F0230H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEEn	STTn	SPTn
----------	-------	-------	-------	-------	-------	--------	------	------

IICEn	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタn (IICSn) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCLAn, SDAAAnラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICEn = 0)	セットされる条件 (IICEn = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LRELn ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0 (IICCTLn0) , IICAステータス・レジスタn (IICSn) のうち、次のフラグがクリア (0) される。 ・ STTn ・ SPTn ・ MSTSn ・ EXCn ・ COIn ・ TRCn ・ ACKDn ・ STDn
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELn = 0)	セットされる条件 (LRELn = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WRELn ^{注2,3}	クロック・ストレッチ解除
0	クロック・ストレッチを解除しない。
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。
送信状態 (TRCn = 1) で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット (クロック・ストレッチを解除) した場合、SDAAAnラインをハイ・インピーダンス (TRCn = 0) にします。	
クリアされる条件 (WRELn = 0)	セットされる条件 (WRELn = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

- 注1.** リセットされるのは、IICAステータス・レジスタn (IICA0) , IICAフラグ・レジスタn (IICF0) の STCFn, IICBSYnビット, IICAコントロール・レジスタn1 (IICCTLn1) レジスタのCLDn, DADnビットです。
- 2.** IICEn = 0の状態では、このビットの信号は無効になります。
- 3.** LRELn, WRELnビットの読み出し値は常に0になります。

注意 SCLAnラインがハイ・レベル, SDAAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTLn1レジスタのDFCn = 1) のときにI²Cを動作許可 (IICEn = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICEn = 1) したあと、連続して1ビット・メモリ操作命令により、LRELnビットをセット (1) してください。

備考 n = 0

図21-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (2/4)

アドレス : F0230H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEEn	STTn	SPTn
----------	-------	-------	-------	-------	-------	--------	------	------

SPIEn^{注1}	ストップ・コンディション検出による割り込み要求発生 of 許可/禁止
0	禁止
1	許可
IICAコントロール・レジスタn1 (IICCTLn1) のWUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件 (SPIEn = 0)	セットされる条件 (SPIEn = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

WTIMn^{注1}	クロック・ストレッチおよび割り込み要求発生 of 制御
0	8クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ
1	9クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ
アドレス転送中はこのビット of 設定にかかわらず、9クロック目の立ち下がり with 割り込みが発生します。アドレス転送終了後このビット of 設定が有効になります。またマスタ時、アドレス転送中は9クロック of 立ち下がり to クロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がり with クロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がり with クロック・ストレッチに入ります。	
クリアされる条件 (WTIMn = 0)	セットされる条件 (WTIMn = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

ACKEEn^{注1,2}	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。
クリアされる条件 (ACKEEn = 0)	セットされる条件 (ACKEEn = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

注1. IICEn = 0 of 状態では、このビット of 信号は無効になります。その期間 to ビット of 設定を行ってください。

2. アドレス転送中 with、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 n = 0

図21-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (3/4)

アドレス : F0230H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEEn	STTn	SPTn
STTn ^{注1,2}		スタート・コンディション・トリガ						
0		スタート・コンディションを生成しない。						
1		バスが解放されているとき（待機状態、IICBSYnが0のとき）： セット（1）すると、スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSVn = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると、バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSVn = 1） セット（1）してもSTTnビットはクリアされ、STTnクリア・フラグ（STCFn）がセット（1）される。 スタート・コンディションは生成しない。 クロック・ストレッチ状態（マスタ時）： クロック・ストレッチを解除してリスタート・コンディションを生成する。						
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット（1）は禁止です。ACKEEn = 0に設定し、受信の最後であることをスレーブに伝えたとのクロック・ストレッチ期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット（1）してください。 ・ストップ・コンディション・トリガ（SPTn）と同時セット（1）することは禁止です。 ・STTnビットをセット（1）後、クリア条件になる前に再度セット（1）することは禁止です。								
クリアされる条件（STTn = 0）					セットされる条件（STTn = 1）			
・通信予約禁止状態でのSTTnビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時					・命令によるセット			

注1. IICEn = 0の状態では、このビットの信号は無効になります。

2. STTnビットの読み出し値は、常に0になります。

備考1. IICRSVn : IICフラグ・レジスタn (IICFn) のビット0

STCFn : " のビット7

2. n = 0

図21-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (4/4)

アドレス : F0230H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEEn	STTn	SPTn
----------	-------	-------	-------	-------	-------	--------	------	------

SPTn ^注	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット（1）は禁止です。 ACKEEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。 ・スタート・コンディション・トリガ（STTn）と同時にセット（1）することは禁止です。 ・SPTnビットのセット（1）は、マスタのときのみ行ってください。 ・WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット（1）すると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット（1）してください。 ・SPTnビットをセット（1）後、クリア条件になる前に、再度セット（1）することは禁止です。	
クリアされる条件（SPTn = 0）	セットされる条件（SPTn = 1）
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

注 SPTnビットの読み出し値は、常に0になります。

注意 IICAステータス・レジスタn (IICSn) のビット3 (TRCn) = 1 (送信状態) のとき、9クロック目に IICCTLn0レジスタのビット5 (WRELn) をセット (1) してクロック・ストレッチ解除すると、TRCn ビットをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態) におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考 n = 0

21.3.4 IICAステータス・レジスタn (IICSn)

I²Cのステータスを表すレジスタです。

IICSnレジスタは、STTn = 1およびクロック・ストレッチ期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUPn = 1) 状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求と関係なくWUPnビットを1→0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIEn = 1) して割り込み検出後にIICSnレジスタを読み出してください。

備考 STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
 WUPn : IICAコントロール・レジスタn1 (IICCTLn1) のビット7

図21-8 IICAステータス・レジスタn (IICSn) のフォーマット (1/3)



MSTSn	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTSn = 0)		セットされる条件 (MSTSn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALDn = 1 (アービトレーション負け) のとき ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALDn	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSnビットがクリアされる。	
クリアされる条件 (ALDn = 0)		セットされる条件 (ALDn = 1)
<ul style="list-style-type: none"> ・IICSnレジスタ読み出し後、自動的にクリア^注 ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

注 IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考 1. LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6
 IICEEn : " のビット7

2. n = 0

図21-8 IICAステータス・レジスタn (IICSn) のフォーマット (2/3)

アドレス : FFF51H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn
-------	-------	------	------	------	------	-------	------	------

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXCn = 0)		セットされる条件 (EXCn = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタn (SVAn)) と一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信/受信状態検出	
0	受信状態 (送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<p><マスタ, スレーブ共通></p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・WRELn = 1 (クロック・ストレッチ解除) によるクリア^注 ・ALDn = 0→1 (アービトレーション負け) のとき ・リセット時 ・通信不参加の場合 (MSTSn, EXCn, COIn = 0) <p><マスタの場合></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に“1”を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に“0”を入力したとき 		<p><マスタの場合></p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“0” (マスタ送信) を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“1” (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタn (IICSn) のビット3 (TRCn) = 1 (送信状態) のとき、9クロック目にIICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) をセット (1) してクロック・ストレッチを解除すると、TRCnビットをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態) におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

- 備考 1.** LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6
 IICEEn : " のビット7
- 2.** n = 0

図21-8 IICAステータス・レジスタn (IICSn) のフォーマット (3/3)

アドレス : FFF51H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn
-------	-------	------	------	------	------	-------	------	------

ACKDn	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKDn = 0)		
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		
セットされる条件 (ACKDn = 1)		
<ul style="list-style-type: none"> ・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき 		

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STDn = 0)		
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		
セットされる条件 (STDn = 1)		
<ul style="list-style-type: none"> ・スタート・コンディション検出時 		

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPDn = 0)		
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・WUPn = 1→0のとき ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		
セットされる条件 (SPDn = 1)		
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 		

- 備考 1. LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6
 IICEEn : " のビット7
2. n = 0

21.3.5 IICAフラグ・レジスタn (IICFn)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTnクリア・フラグ (STCFn)、I²Cバス状態フラグ (IICBSYn) は読み出しのみ可能です。

IICRSVnビットにより、通信予約機能の禁止/許可を設定します。

またSTCENnビットにより、IICBSYnビットの初期値を設定します。

IICRSVn, STCENnビットはI²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図21-9 IICAフラグ・レジスタn (IICFn) のフォーマット

アドレス : FFF52H リセット時 : 00H R/W^注

略号 7 6 5 4 3 2 1 0

IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn
-------	-------	---------	---	---	---	---	--------	---------

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STTnフラグ・クリア。
クリアされる条件 (STCFn = 0)	
<ul style="list-style-type: none"> ・ STTn = 1によるクリア ・ IICEn = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (STCFn = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSVn = 1) 設定時にスタート・コンディション発行できず、STTnビットがクリア (0) されたとき 	

IICBSYn	I ² Cバス状態フラグ
0	バス解放状態 (STCENn = 1時の通信初期状態)。
1	バス通信状態 (STCENn = 0時の通信初期状態)。
クリアされる条件 (IICBSYn = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICEn = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (IICBSYn = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCENn = 0時のIICEnビットのセット 	

STCENn	初期スタート許可トリガ
0	動作許可 (IICEn = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可 (IICEn = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。
クリアされる条件 (STCENn = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCENn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSVn = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSVn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はRead onlyです。

注意1. STCENnビットへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを発行 (STTn = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。
3. IICRSVnへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

- 備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
 IICEn : " のビット7
2. n = 0

21.3.6 IICAコントロール・レジスタn1 (IICCTLn1)

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLDn, DADnビットは読み出しのみ可能です。

IICCTLn1レジスタは、WUPnビットを除きI²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図21-10 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (1/2)

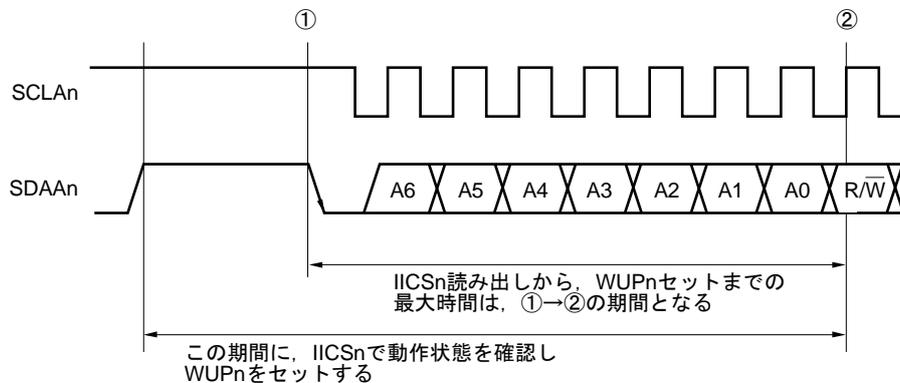
アドレス : F0231H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn

WUPn	アドレス一致ウエイク・アップの制御				
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止				
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可				
WUPn = 1でSTOPモードに移行する場合は、WUPnビットをセット (1) してf _{MCK} の3クロック以上経過後にSTOP命令を実行してください (図21-23 WUPn = 1を設定する場合のフロー参照)。 アドレス一致、または拡張コード受信後はWUPnビットをクリア (0) してください。WUPnビットをクリア (0) することで、その後の通信に参加することができます (クロック・ストレッチ解除および送信データ書き込みは、WUPnビットをクリア (0) したあとに行う必要があります)。 WUPn = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。					
<table border="1"> <tr> <th>クリアされる条件 (WUPn = 0)</th> <th>セットされる条件 (WUPn = 1)</th> </tr> <tr> <td>・命令によるクリア (アドレス一致もしくは拡張コード受信後)</td> <td>・命令によるセット (MSTSn, EXCn, COIn = 0であり、STDn = 0 (通信に不参加である事) のとき) ^{注2}</td> </tr> </table>		クリアされる条件 (WUPn = 0)	セットされる条件 (WUPn = 1)	・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTSn, EXCn, COIn = 0であり、STDn = 0 (通信に不参加である事) のとき) ^{注2}
クリアされる条件 (WUPn = 0)	セットされる条件 (WUPn = 1)				
・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTSn, EXCn, COIn = 0であり、STDn = 0 (通信に不参加である事) のとき) ^{注2}				

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICAステータス・レジスタn (IICCSn) の状態を確認しセットする必要があります。



備考 n = 0

図21-10 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (2/2)

アドレス : F0231H リセット時 : 00H R/W^{注1}

略号 [7] 6 [5] [4] [3] [2] 1 [0]

IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn
----------	------	---	------	------	------	------	---	------

CLDn	SCLAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SCLAn端子がロウ・レベルであることを検出	
1	SCLAn端子がハイ・レベルであることを検出	
クリアされる条件 (CLDn = 0)		セットされる条件 (CLDn = 1)
<ul style="list-style-type: none"> ・ SCLAn端子がロウ・レベルのとき ・ IICEn = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件 (DADn = 0)		セットされる条件 (DADn = 1)
<ul style="list-style-type: none"> ・ SDAAn端子がロウ・レベルのとき ・ IICEn = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え	
0	標準モードで動作 (最大転送レート : 100 kbps)	
1	ファースト・モード (最大転送レート : 400 kbps) またはファースト・モード・プラス (最大転送レート : 1 Mbps) で動作	

DFCn	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。 デジタル・フィルタは、ノイズ除去のために使用します。DFCnビットのセット (1) / クリア (0) により、転送クロックが変化することはありません。		

PRSn	IICA動作クロック (f _{MCK}) の制御	
0	f _{CLK} を選択 (1 MHz ≤ f _{CLK} ≤ 20 MHz)	
1	f _{CLK} /2を選択 (20MHz < f _{CLK})	

- 注意1. IICA動作クロック (f_{MCK}) の最高動作周波数は20 MHz (Max.) です。**
f_{CLK}が20 MHzを越える場合のみ、IICAコントロール・レジスタn1 (IICCTLn1) のビット0 (PRSn) に“1”を設定してください。
- 2. 転送クロックを設定する場合は、f_{CLK}の最低動作周波数に注意してください。**
シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。
ファースト・モード時 : f_{CLK} = 3.5 MHz (Min.)
ファースト・モード・プラス時 : f_{CLK} = 10 MHz (Min.)
標準モード時 : f_{CLK} = 1 MHz (Min.)

(備考は次ページにあります。)

- 備考** 1. IICEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット7
2. n = 0

21.3.7 IICAロウ・レベル幅設定レジスタn (IICWLn)

シリアル・インタフェースIICAが、出力するSCLAn端子信号のロウ・レベル幅 (t_{low}) とSDAAn端子信号を制御するレジスタです。

IICWLnレジスタは、8ビット・メモリ操作命令で設定します。

IICWLnレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

IICWLnの設定方法については、21.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

また、データ・ホールド時間はIICWLnで設定した時間の1/4になります。

図21-11 IICAロウ・レベル幅設定レジスタn (IICWLn) のフォーマット



21.3.8 IICAハイ・レベル幅設定レジスタn (IICWHn)

シリアル・インタフェースIICAが、出力するSCLAn端子信号のハイ・レベル幅とSDAAn端子信号を制御するレジスタです。

IICWHnレジスタは、8ビット・メモリ操作命令で設定します。

IICWHnレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図21-12 IICAハイ・レベル幅設定レジスタn (IICWHn) のフォーマット



- 備考** 1. マスタ側の転送クロックの設定方法は21.4.2 (1) を、スレーブ側のIICWLn, IICWHnレジスタの設定方法は、21.4.2 (2) を参照してください。

2. n = 0

21.3.9 ポート・モード・レジスタ6 (PM6)

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力，P61/SDAA0端子をシリアル・データ入出力として使用するとき，PM60，PM61およびP60，P61の出力ラッチに0を設定してください。

IICEn (IICAコントロール・レジスタn0 (IICCTLn0) のビット7) が0の場合，P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力 (固定) となるため，出力モードへの切り替えは，IICEnビットに1を設定してから，行ってください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図21-13 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	PM62	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

21.4 I²Cバス・モードの機能

21.4.1 端子構成

シリアル・クロック端子 (SCLAn) と、シリアル・データ・バス端子 (SDAAn) の構成は、次のようになっています。

(1) SCLAn……シリアル・クロックを入出力するための端子。

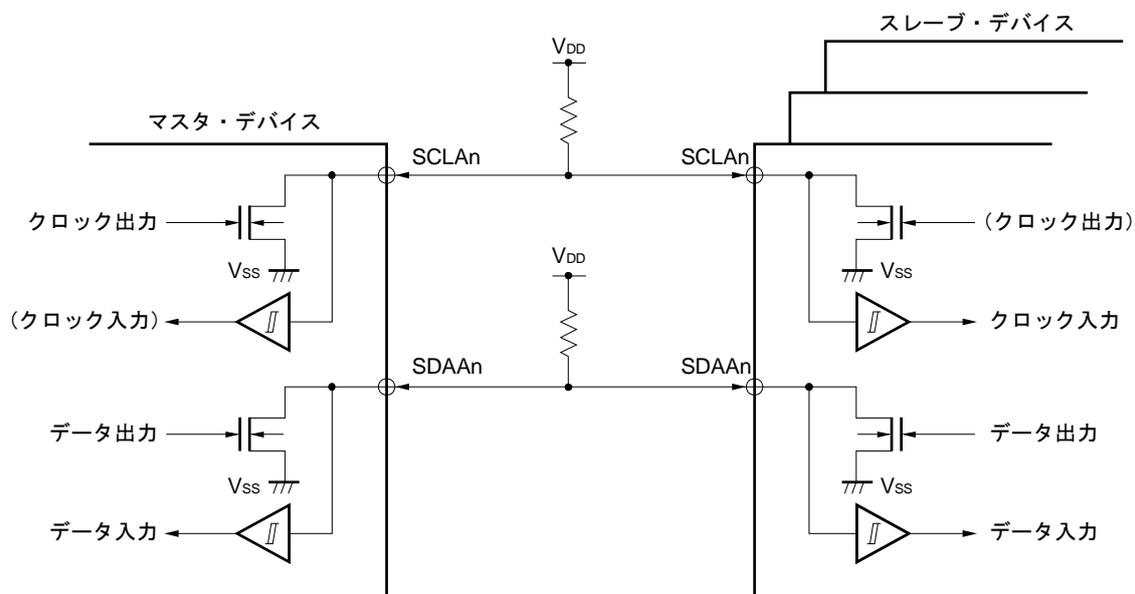
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAAn……シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図21-14 端子構成図



備考 n = 0

21.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{MCK}}}{\text{IICWLn} + \text{IICWHn} + f_{\text{MCK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWLn} = \frac{0.52}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

・標準モード時

$$\text{IICWLn} = \frac{0.47}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

・ファースト・モード・プラス時

$$\text{IICWLn} = \frac{0.50}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left(\frac{0.50}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

(2) スレーブ側のIICWLn, IICWHnレジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWLn} = 1.3 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{MCK}}$$

・標準モード時

$$\text{IICWLn} = 4.7 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{MCK}}$$

・ファースト・モード・プラス時

$$\text{IICWLn} = 0.50 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (0.50 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{MCK}}$$

注意1. IICA動作クロック (f_{MCK}) の最高動作周波数は20 MHz (Max.) です。

f_{CLK} が20 MHzを越える場合のみ、IICAコントロール・レジスタn1 (IICCTLn1) のビット0 (PRSn) に“1”を設定してください。

2. 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5 \text{ MHz (Min.)}$

ファースト・モード・プラス時 : $f_{\text{CLK}} = 10 \text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1 \text{ MHz (Min.)}$

(備考は次ページにあります。)

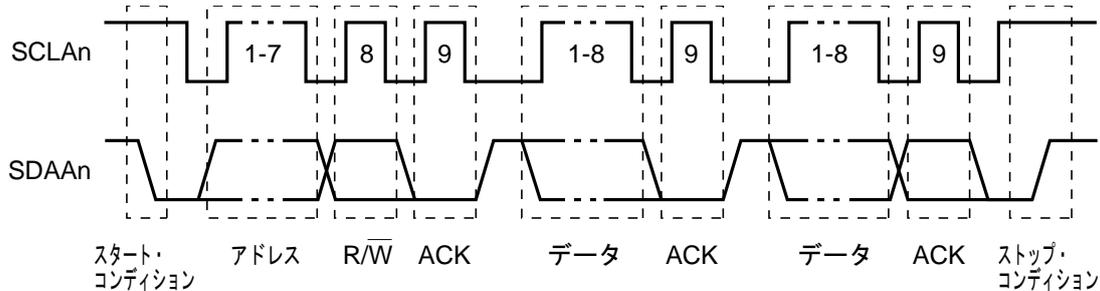
- 備考1.** SDAAn, SCLAn信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。
- 2.** IICWLn : IICAロウ・レベル幅設定レジスタn
IICWHn : IICAハイ・レベル幅設定レジスタn
 t_F : SDAAn, SCLAn信号の立ち下がり時間
 t_R : SDAAn, SCLAn信号の立ち上がり時間
 f_{MCK} : IICA動作クロック周波数
- 3.** $n = 0$

21.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図21-15に示します。

図21-15 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

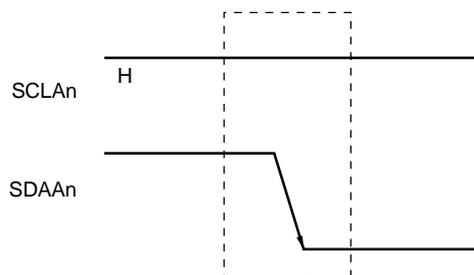
アクノリッジ（ACK）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLAn）は，マスタが出力し続けます。ただし，スレーブはSCLAn端子のロウ・レベル期間を延長し，クロック・ストレッチを挿入できます。

21.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子，SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図21-16 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPDn:IICAステータス・レジスタn（IICSn）のビット0 = 1）のときにIICAコントロール・レジスタn0（IICCTLn0）のビット1（STTn）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICSnレジスタのビット1（STDn）がセット（1）されます。

備考 n = 0

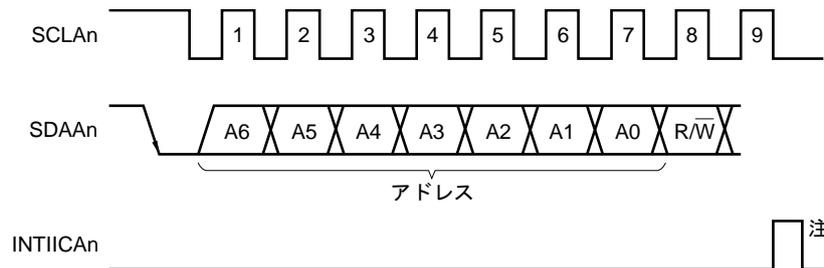
21.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図21-17 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと21.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAnシフト・レジスタ n (IICAn) に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれます。

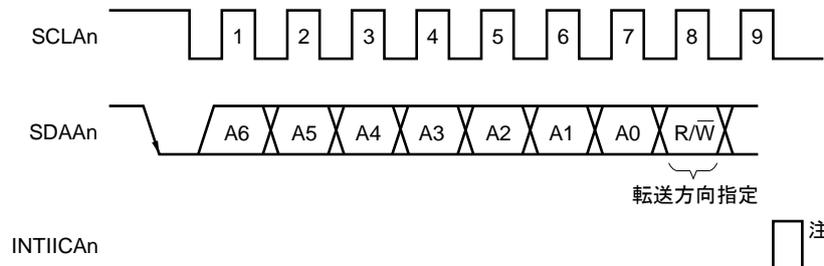
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

21.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図21-18 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 $n = 0$

21.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタn (IICSn) のビット2 (ACKDn) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

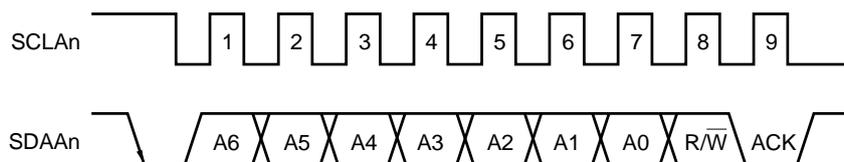
アクノリッジ生成は、受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタn0 (IICCTLn0) のビット2 (ACKEn) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3 (TRCn) が設定されます。受信 (TRCn = 0) の場合は、通常、ACKEnビットをセット (1) してください。

スレーブ受信動作時 (TRCn = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRCn = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図21-19 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- ・8クロック・クロック・ストレッチ選択時 (IICCTLn0レジスタのビット3 (WTIMn) = 0) :
クロック・ストレッチ解除を行う前にACKEnビットをセット (1) することによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・クロック・ストレッチ選択時 (IICCTLn0レジスタのビット3 (WTIMn) = 1) :
あらかじめACKEnビットをセット (1) することによって、アクノリッジを生成します。

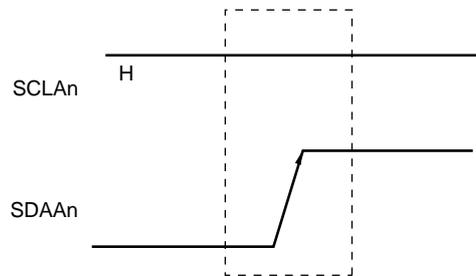
備考 n = 0

21.5.5 ストップ・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図21-20 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタn0 (IICCTLn0) のビット0 (SPTn) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタn (IICSn) のビット0 (SPDn) がセット (1) され、IICCTLn0レジスタのビット4 (SPIEn) がセット (1) されている場合にはINTIICAnが発生します。

備考 n = 0

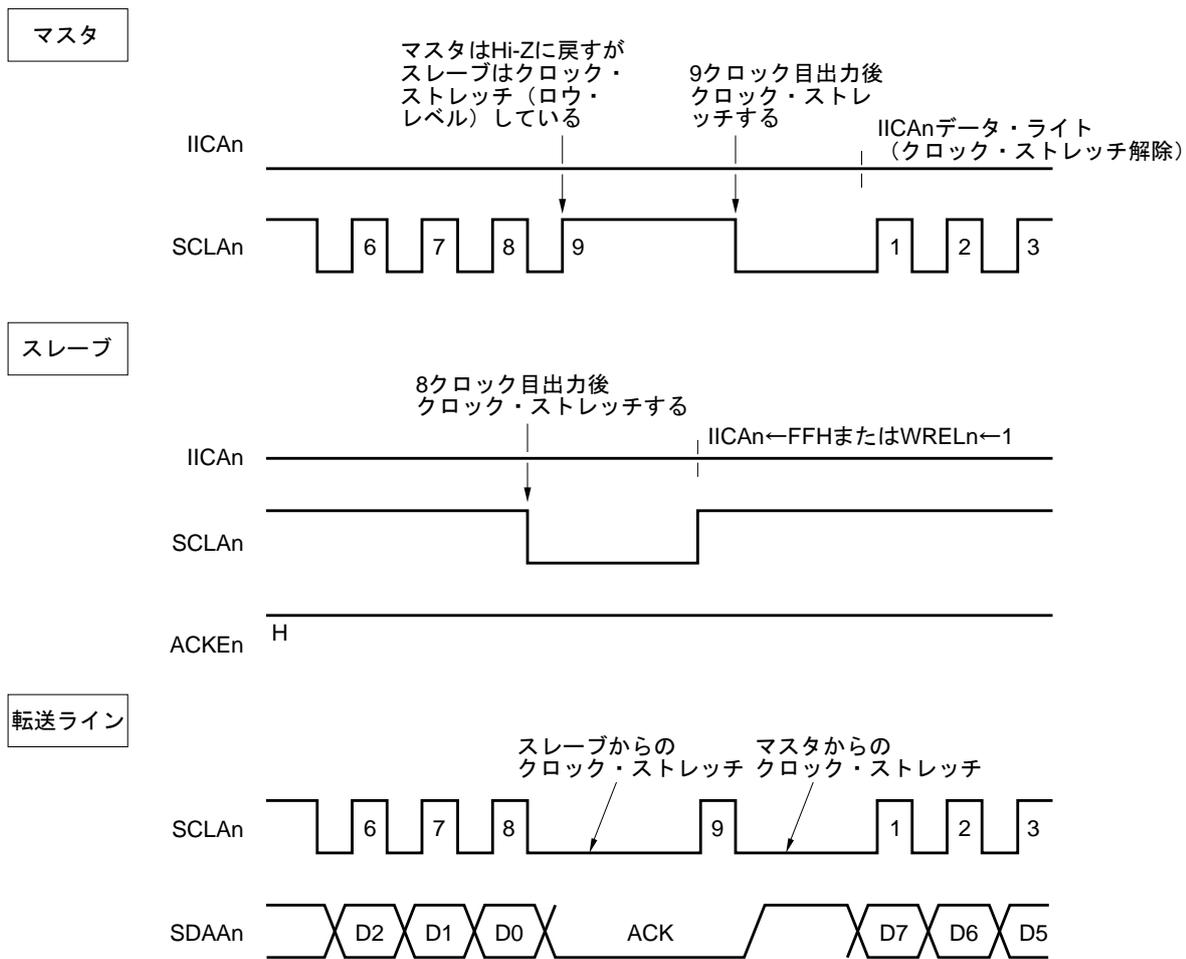
21.5.6 クロック・ストレッチ

クロック・ストレッチによっては、マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図21-21 クロック・ストレッチ (1/2)

- (1) マスタは9クロック・クロック・ストレッチ，スレーブは8クロック・クロック・ストレッチ時
 (マスタ：送信，スレーブ：受信，ACKEn = 1)

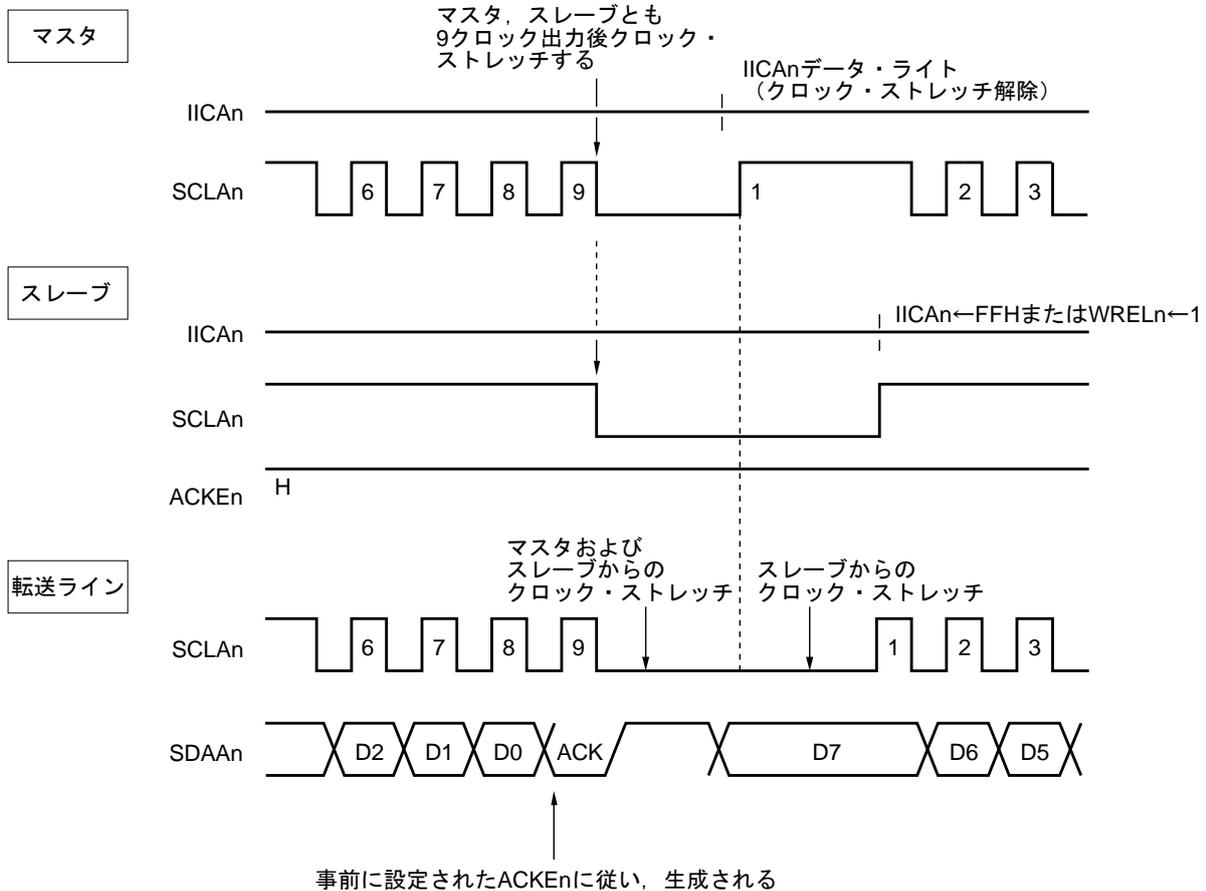


備考 n = 0

図21-21 クロック・ストレッチ (2/2)

(2) マスタ, スレーブとも9クロック・クロック・ストレッチ時

(マスタ: 送信, スレーブ: 受信, ACKEn = 1)



備考 ACKEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット2

WRELn : " のビット5

クロック・ストレッチは, IICAコントロール・レジスタn0 (IICCTLn0) のビット3 (WTIMn) の設定により自動的に発生します。

通常, 受信側はIICCTLn0レジスタのビット5 (WRELnビット) = 1またはIICAシフト・レジスタn (IICAn) にFFHを書き込むとクロック・ストレッチを解除し, 送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は, 次の方法でもクロック・ストレッチを解除できます。

- ・ IICCTLn0レジスタのビット1 (STTn) = 1
- ・ IICCTLn0レジスタのビット0 (SPTn) = 1

備考 n = 0

21.5.7 クロック・ストレッチ解除方法

I²Cでは、通常、次のような処理でクロック・ストレッチを解除できます。

- ・ IICAシフト・レジスタn (IICAn) へのデータ書き込み
- ・ IICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) のセット (クロック・ストレッチ解除)
- ・ IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成)^注
- ・ IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合、I²Cはクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ (アドレスを含む) を送信する場合には、IICAnレジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0レジスタのビット5 (WRELn) をセット (1) してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0レジスタのビット1 (STTn) をセット (1) してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0レジスタのビット0 (SPTn) をセット (1) してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットにセット (1) によるクロック・ストレッチ解除後、IICAnレジスタへのデータ書き込みを実施した場合には、SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により、SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEnビットをクリア (0) すると通信を停止するので、クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0レジスタのビット6 (LRELn) をセット (1) すると通信から退避するので、クロック・ストレッチを解除できます。

注意 WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

備考 n = 0

21.5.8 割り込み要求 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御

IICAコントロール・レジスタn0 (IICCTLn0) のビット3 (WTIMn) の設定で、表21-2に示すタイミングでINTIICAnが発生し、また、クロック・ストレッチ制御を行います。

表21-2 INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1.** スレーブのINTIICAn信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタn (SVAn) に設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。また、このとき、IICCTLn0レジスタのビット2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnを発生しますが、クロック・ストレッチは発生しません。
- 2.** スレーブ・アドレス・レジスタn (SVAn) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAnもクロック・ストレッチも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、上記の注1, 2の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

備考 n = 0

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタn (IICAn) へのデータ書き込み
- ・ IICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) のセット (クロック・ストレッチ解除)
- ・ IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成)^注
- ・ IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・クロック・ストレッチ選択 (WTIMn = 0) 時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

21.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタn (SVAn) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICAn割り込み要求が発生します。

21.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAAn) の状態が、送信しているデバイスのIICAシフト・レジスタn (IICAn) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 n = 0

21.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセット (1) し、8クロック目の立ち下がりで割り込み要求 (INTIICAn) を発生します。スレーブ・アドレス・レジスタn (SVAn) に格納された自局アドレスは影響しません。

(2) SVAnレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICAn) は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データ的一致 : EXCn = 1
- ・7ビット・データ的一致 : COIn = 1

備考 EXCn : IICAステータス・レジスタn (IICSn) のビット5
COIn : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタn0 (IICCTLn0) のビット6 (LRELn) = 1に設定してください。次の通信待機状態にします。

表21-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

- 備考 1.** 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。
- 2.** n = 0

21.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合 (STDn = 1になる前にSTTn = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IICAステータス・レジスタn (IICSn) のアービトレーション負けフラグ (ALDn) をセット (1) し, SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

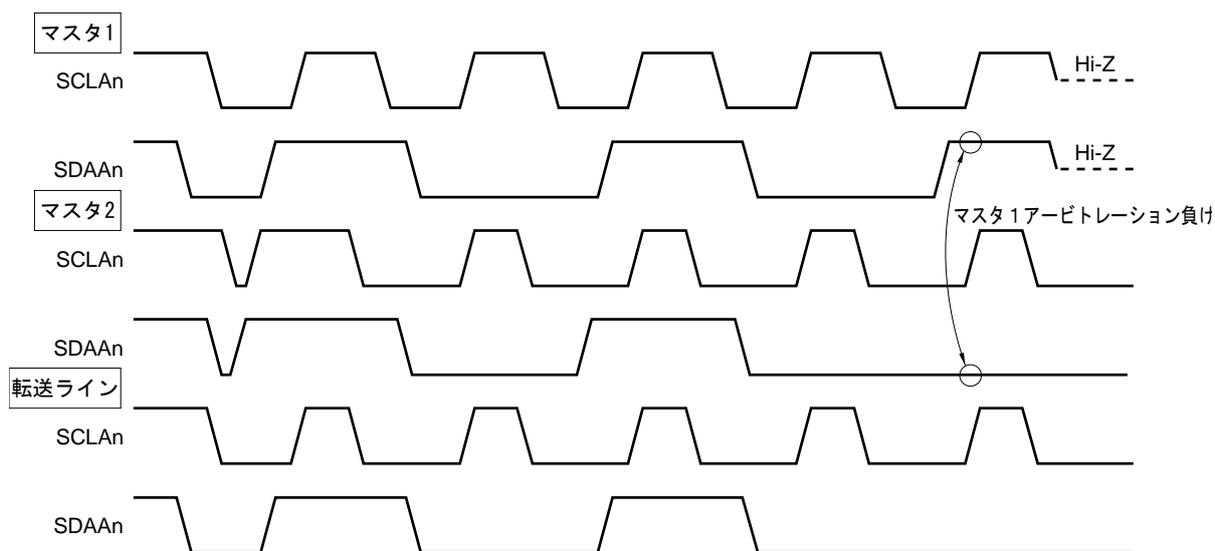
アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALDn = 1になっていることで検出します。

割り込み要求発生タイミングについては, **21.5.8 割り込み要求 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御**を参照してください。

備考 STDn : IICAステータス・レジスタn (IICSn) のビット1

STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

図21-22 アービトレーション・タイミング例



備考 n = 0

表21-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. WTIMnビット (IICAコントロール・レジスタn0 (IICCTLn0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求が発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEn = 1に設定してください。

備考 1. SPIEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット4

2. n = 0

21.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生する機能です。

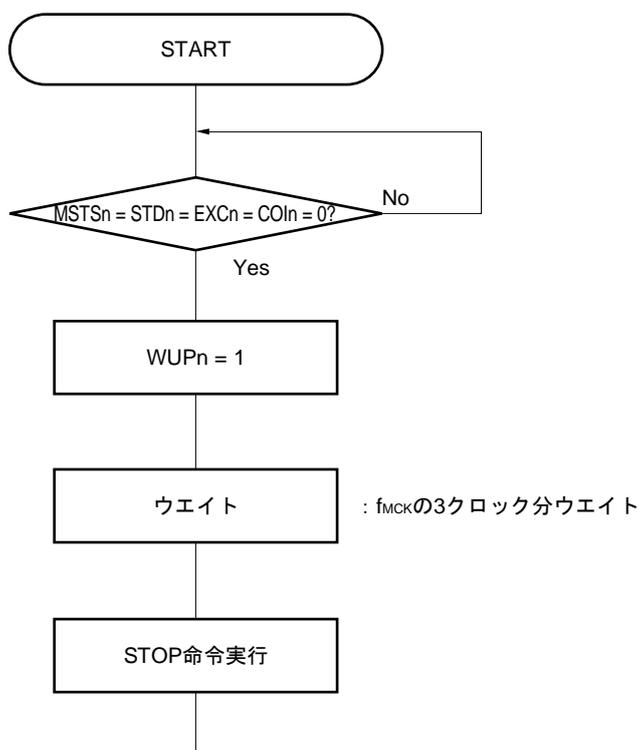
アドレスが一致しないときは不要なINTIICAn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生します。この割り込み発生後に命令でWUPnビットをクリア (0) することで通常動作に戻ります。

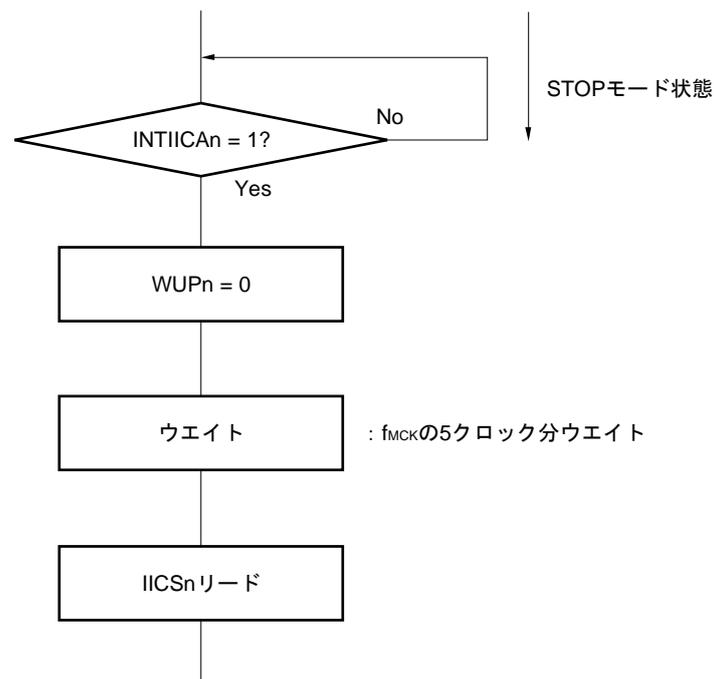
WUPn = 1に設定する場合のフローを図21-23に、アドレス一致によりWUPn = 0に設定する場合のフローを図21-24に示します。

図21-23 WUPn = 1を設定する場合のフロー



備考 n = 0

図21-24 アドレス一致によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）



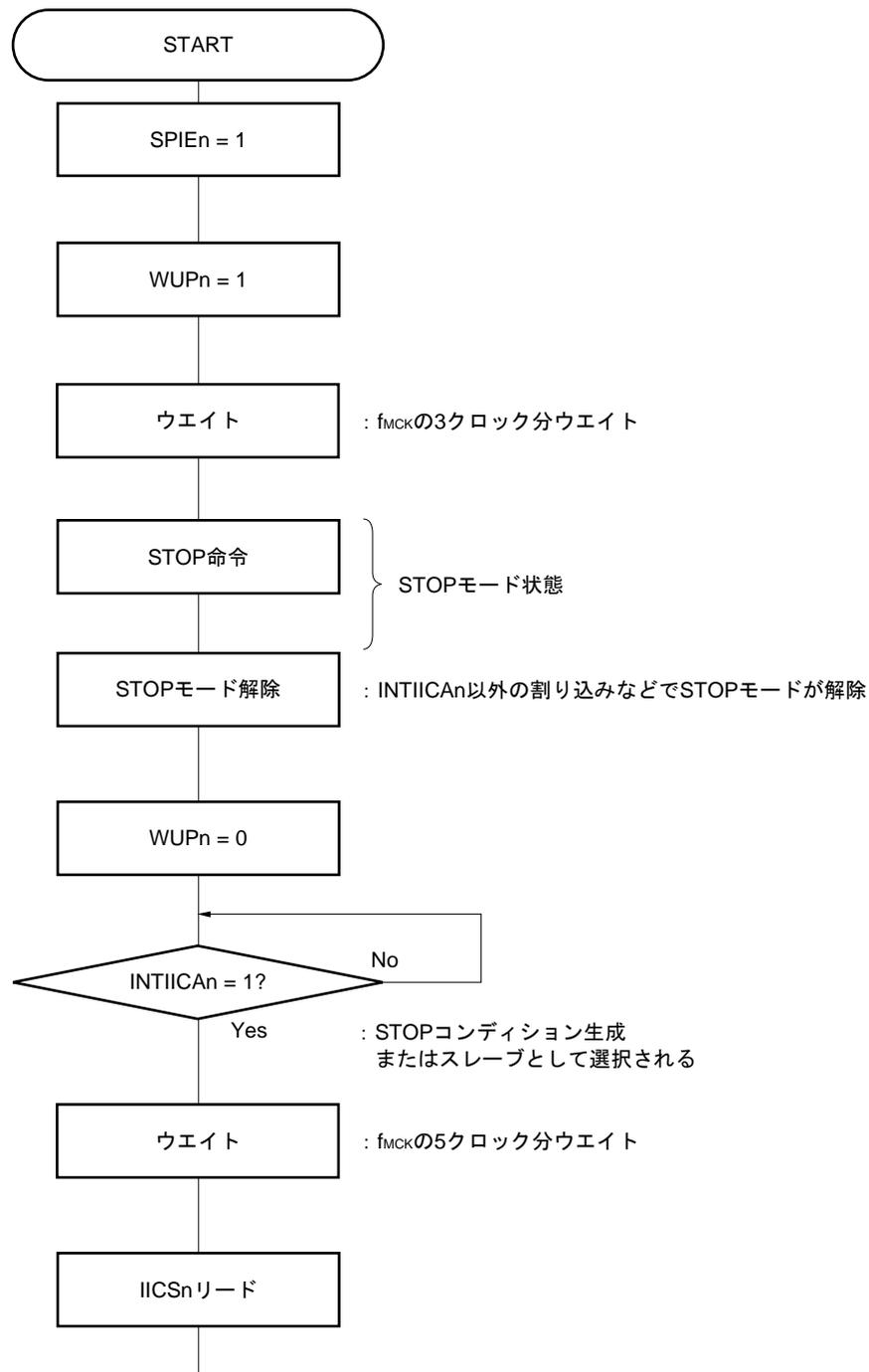
シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

また、シリアル・インタフェースIICAからの割り込み要求（INTIICAn）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・ 次のIIC通信をマスタとして動作させる場合 : 図21-25のフロー
- ・ 次のIIC通信をスレーブとして動作させる場合 :
 - INTIICAn割り込みで復帰した場合 : 図21-23のフローと同じになります。
 - INTIICAn割り込み以外の割り込みで復帰した場合 : INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

備考 n = 0

図21-25 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

備考 n = 0

21.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ n (IICFn) のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICAコントロール・レジスタ n (IICCTLn0) のビット6 (LRELn) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn) をセット (1) し、割り込み要求信号 (INTIICAn) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ n (IICAn) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) ……通信予約

通信予約として動作するかどうかは、STTnビットをセット (1) し、ウェイト時間をとったあと、MSTS n ビット (IICAステータス・レジスタ n (IICSn) のビット7) で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

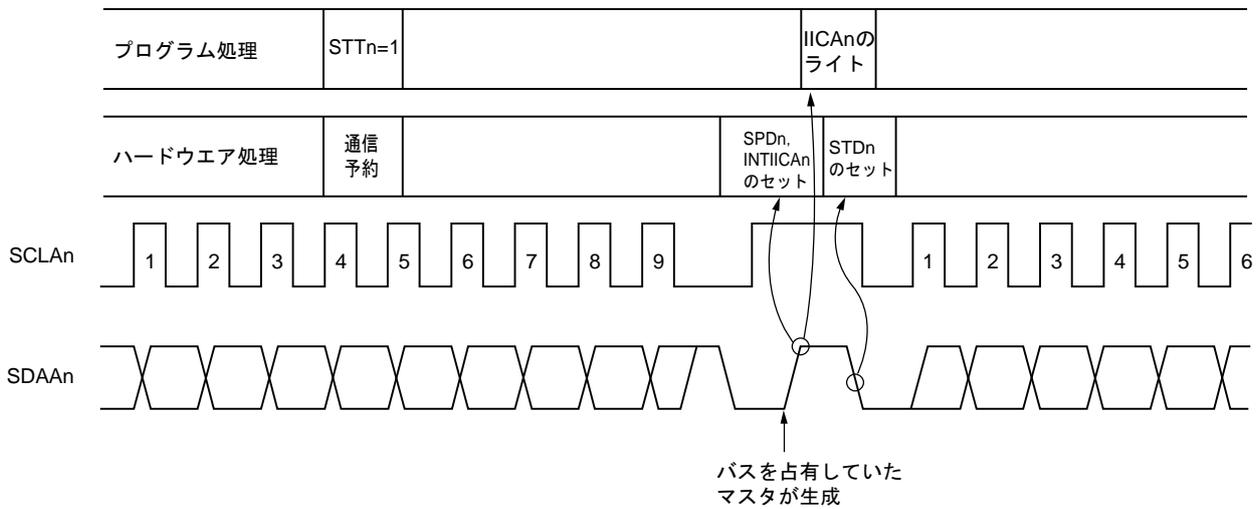
$$\text{STTn} = 1 \text{ から MSTS}n \text{ フラグ確認までのウェイト時間 :} \\ (\text{IICWLnの設定値} + \text{IICWHnの設定値} + 4) / f_{\text{MCK}} + t_{\text{F}} \times 2$$

- 備考1.** IICWLn : IICAロウ・レベル幅設定レジスタ n
 IICWHn : IICAハイ・レベル幅設定レジスタ n
 t_{F} : SDAAn, SCLAn信号の立ち下がり時間
 f_{MCK} : IICA動作クロック周波数

2. $n = 0$

通信予約のタイミングを図21-26に示します。

図21-26 通信予約のタイミング



備考 IICAn : IICAシフト・レジスタn

STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

STDn : IICAステータス・レジスタn (IICSn) のビット1

SPDn : " のビット0

通信予約は図21-27に示すタイミングで受け付けられます。IICAステータス・レジスタn (IICSn) のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) = 1で通信予約をします。

図21-27 通信予約受け付けタイミング

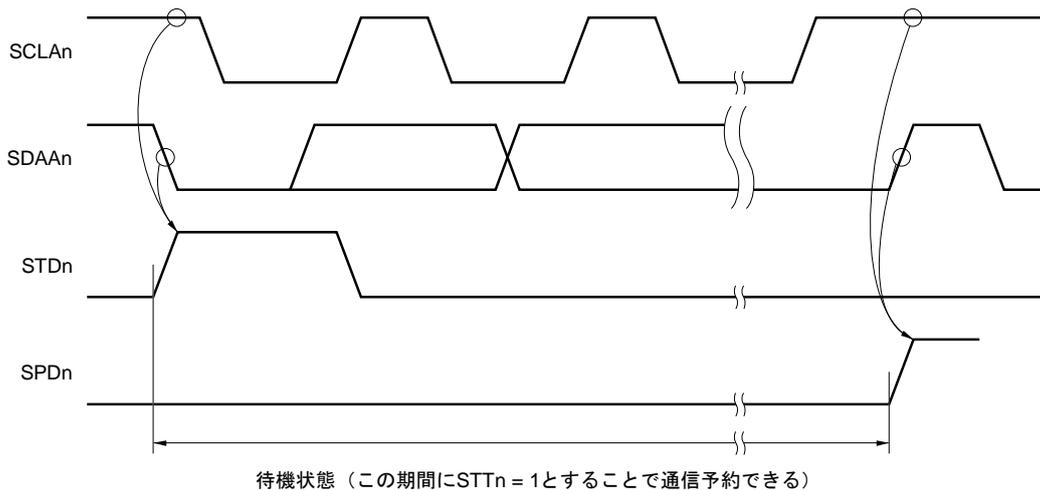
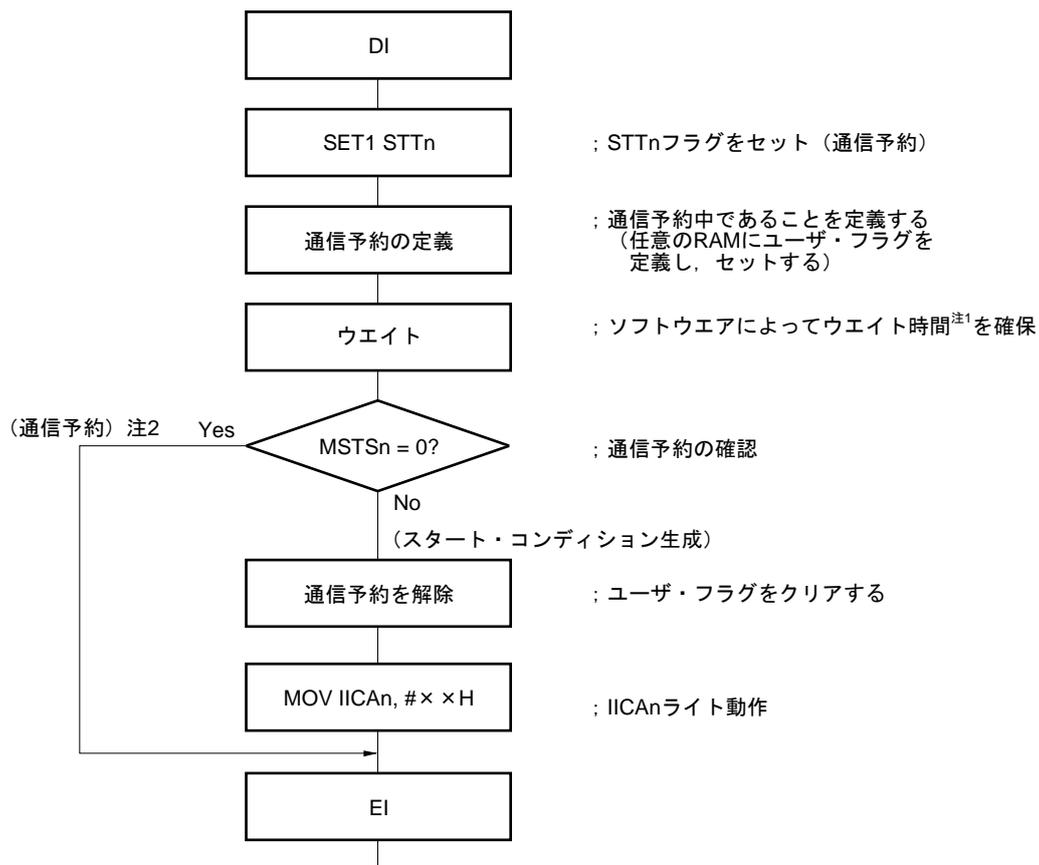


図21-28に通信予約の手順を示します。

備考 n = 0

図21-28 通信予約の手順



注1. ウェイト時間は次のようになります。

$$\frac{(\text{IICWLnの設定値} + \text{IICWHnの設定値} + 4)}{f_{\text{MCK}}} + t_{\text{F}} \times 2$$

2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタn (IICAn) への書き込みを実行します。

備考 1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

MSTSn : IICAステータス・レジスタn (IICSn) のビット7

IICAn : IICAシフト・レジスタn

IICWLn : IICAロウ・レベル幅設定レジスタn

IICWHn : IICAハイ・レベル幅設定レジスタn

t_F : SDAAn, SCLAn信号の立ち下がり時間

f_{MCK} : IICA動作クロック周波数

2. n = 0

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタn (IICFn) のビット0 (IICRSVn) = 1)

バスが通信中で、この通信に不参加の状態ではIICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTLn0レジスタのビット6 (LRELn) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFn (IICFnレジスタのビット7) で確認できます。STTn = 1としてからSTCFnがセット (1) されるまで f_{MCK} の5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0

21.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSYn = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタn1 (IICCTLn1) を設定する
- ② IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) をセット (1) する
- ③ IICCTLn0レジスタのビット0 (SPTn) をセット (1) する

(2) STCENn = 1の場合

I²C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを生成 (STTn = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

- ① IICCTLn0レジスタのビット4 (SPIEn) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICAn) 発生を禁止する
- ② IICCTLn0レジスタのビット7 (IICEn) をセット (1) し、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで (IICEnビットをセット (1) してから、f_{MCK}の4~72クロック中) に、IICCTLn0レジスタのビット6 (LRELn) をセット (1) にし、強制的に検出を無効とする

(4) STTn, SPTnビット (IICCTLn0レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット (IICCTLn0レジスタのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタn (IICAn) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTSnビット (IICAステータス・レジスタn (IICSn) のビット7) を検出する場合には、SPIEnビットをセット (1) する必要はありません。

備考 n = 0

21.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定（1フレーム）期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

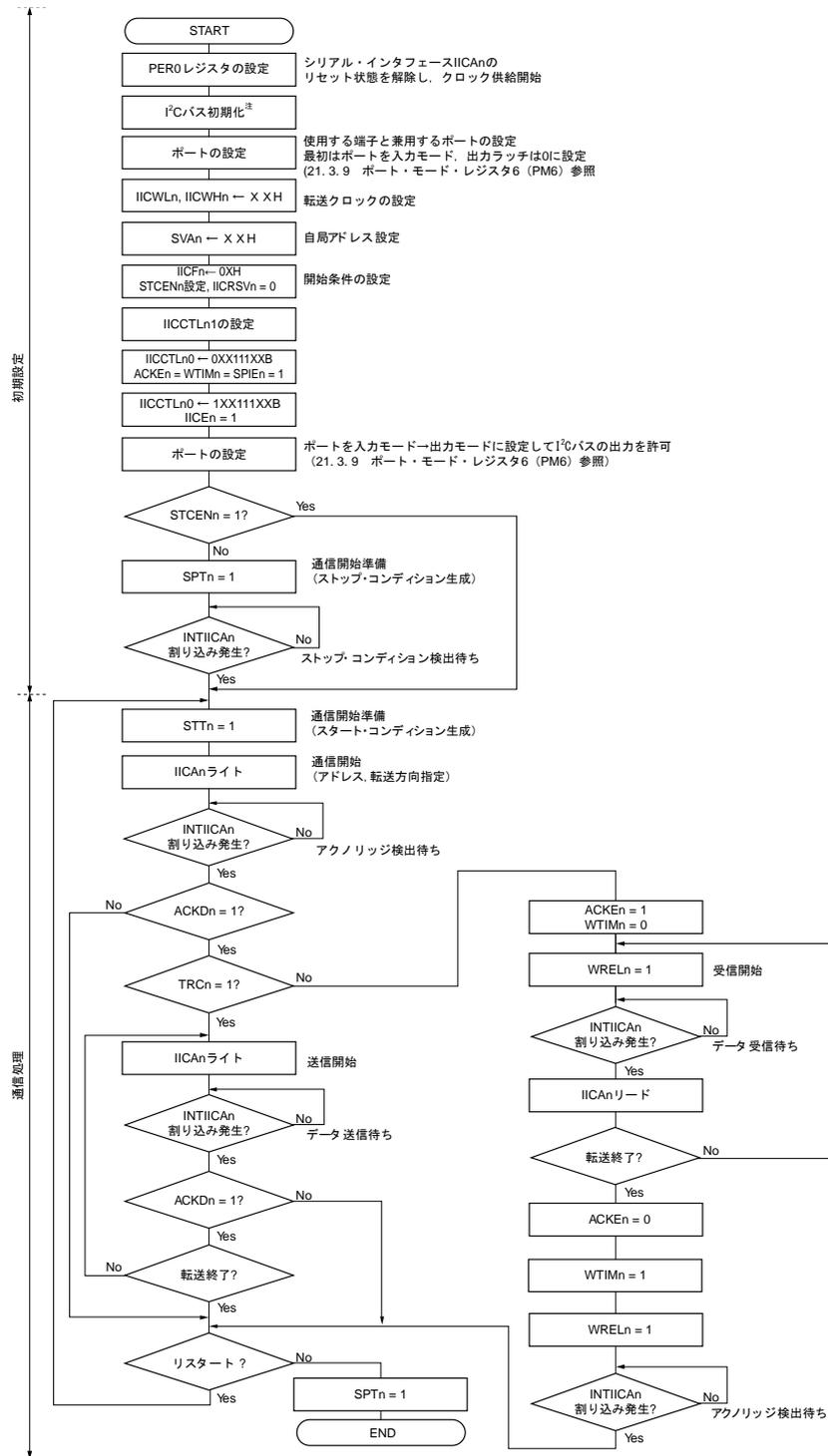
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0

(1) シングルマスタ・システムでのマスタ動作

図21-29 シングルマスタ・システムでのマスタ動作

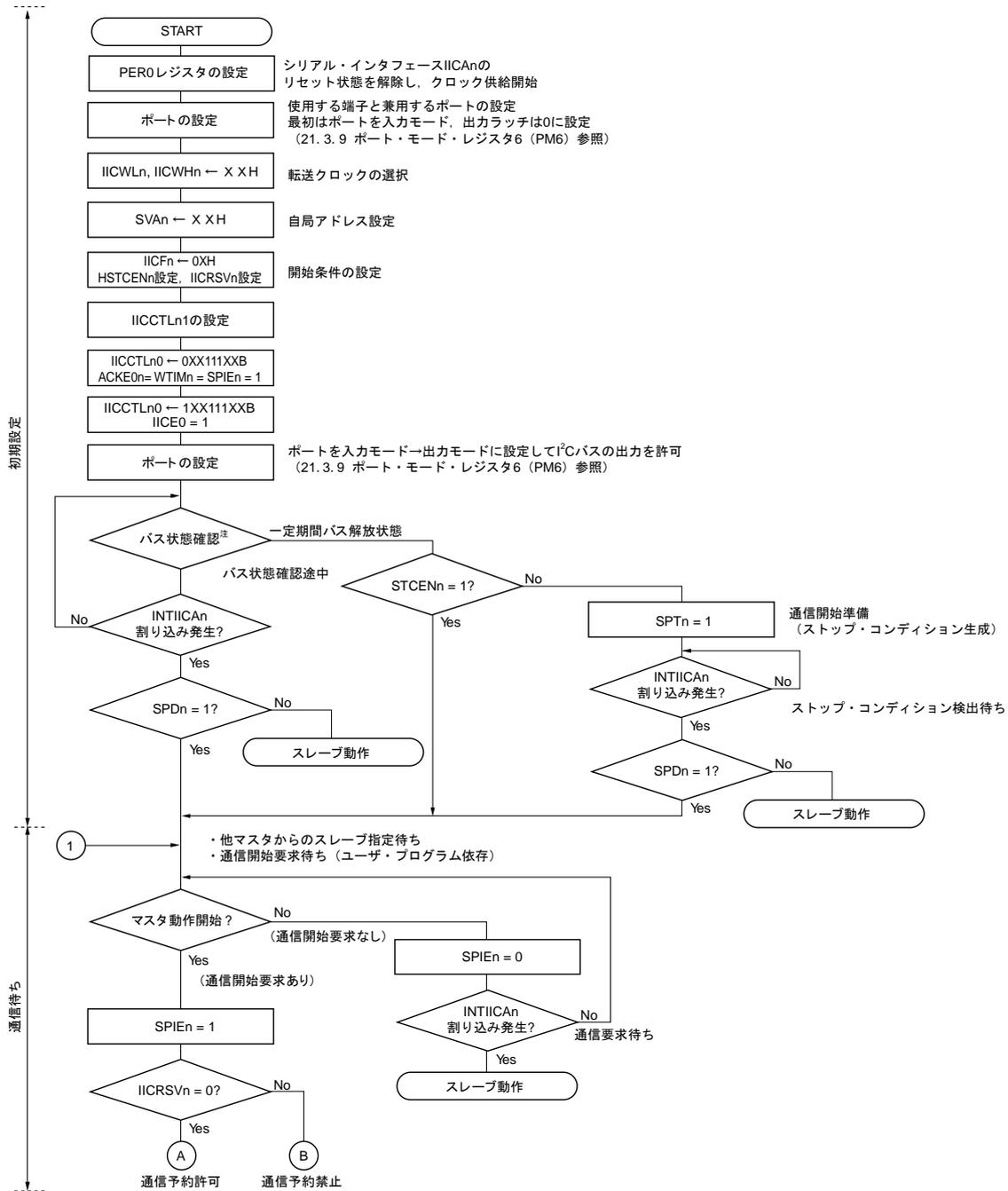


注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCLAn, SDAAn端子 = ハイ・レベル) してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

- 備考 1.** 送信および受信フォーマットは、通信している製品の仕様に準拠してください。
2. n = 0

(2) マルチマスタ・システムでのマスタ動作

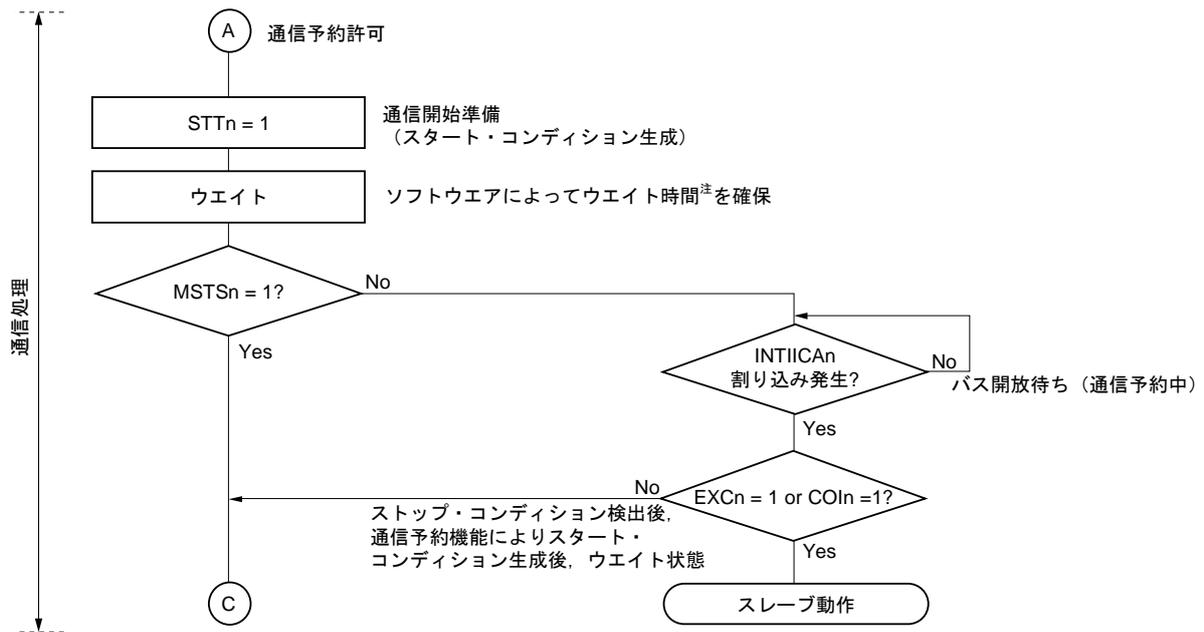
図21-30 マルチマスタ・システムでのマスタ動作 (1/3)



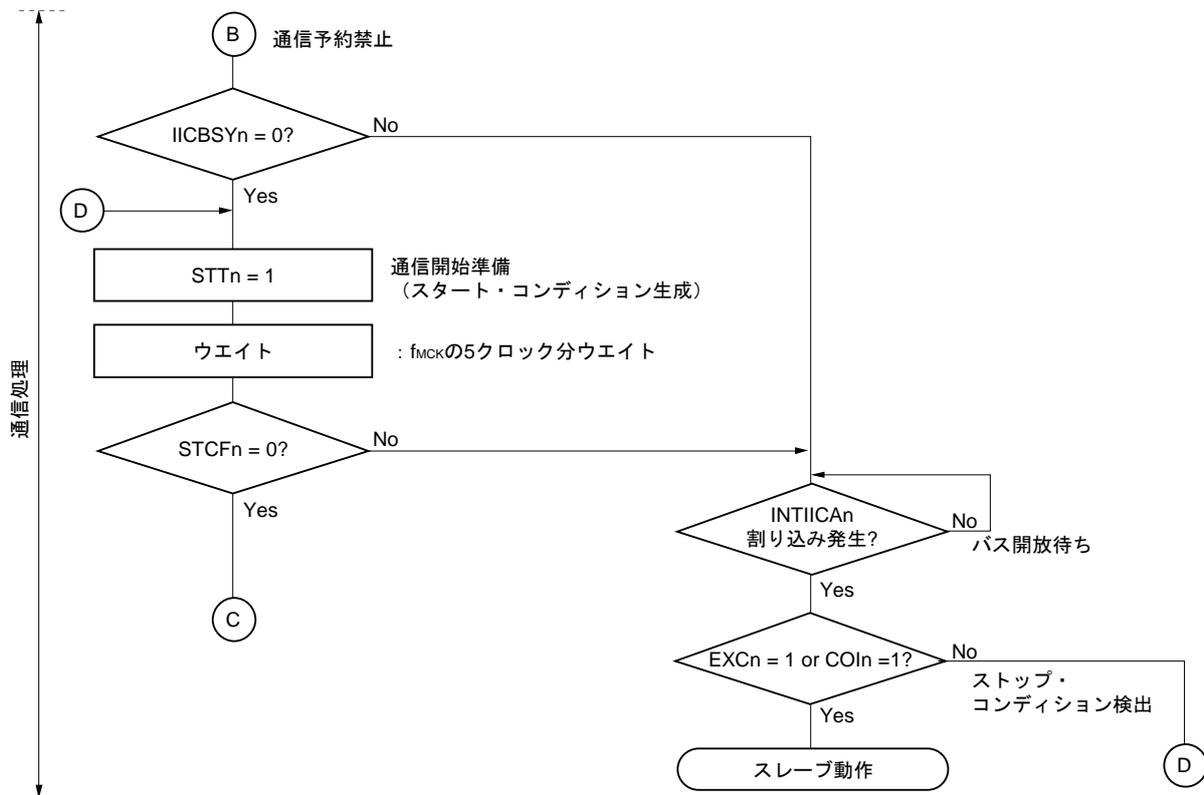
注 一定期間 (たとえば1フレーム分), バス解放状態 (CLDnビット = 1, DADnビット = 1) であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I²Cバスを解放 (SCLAn, SDAAn端子 = ハイ・レベル) するか判断してください。

備考 n = 0

図21-30 マルチマスタ・システムでのマスタ動作 (2/3)



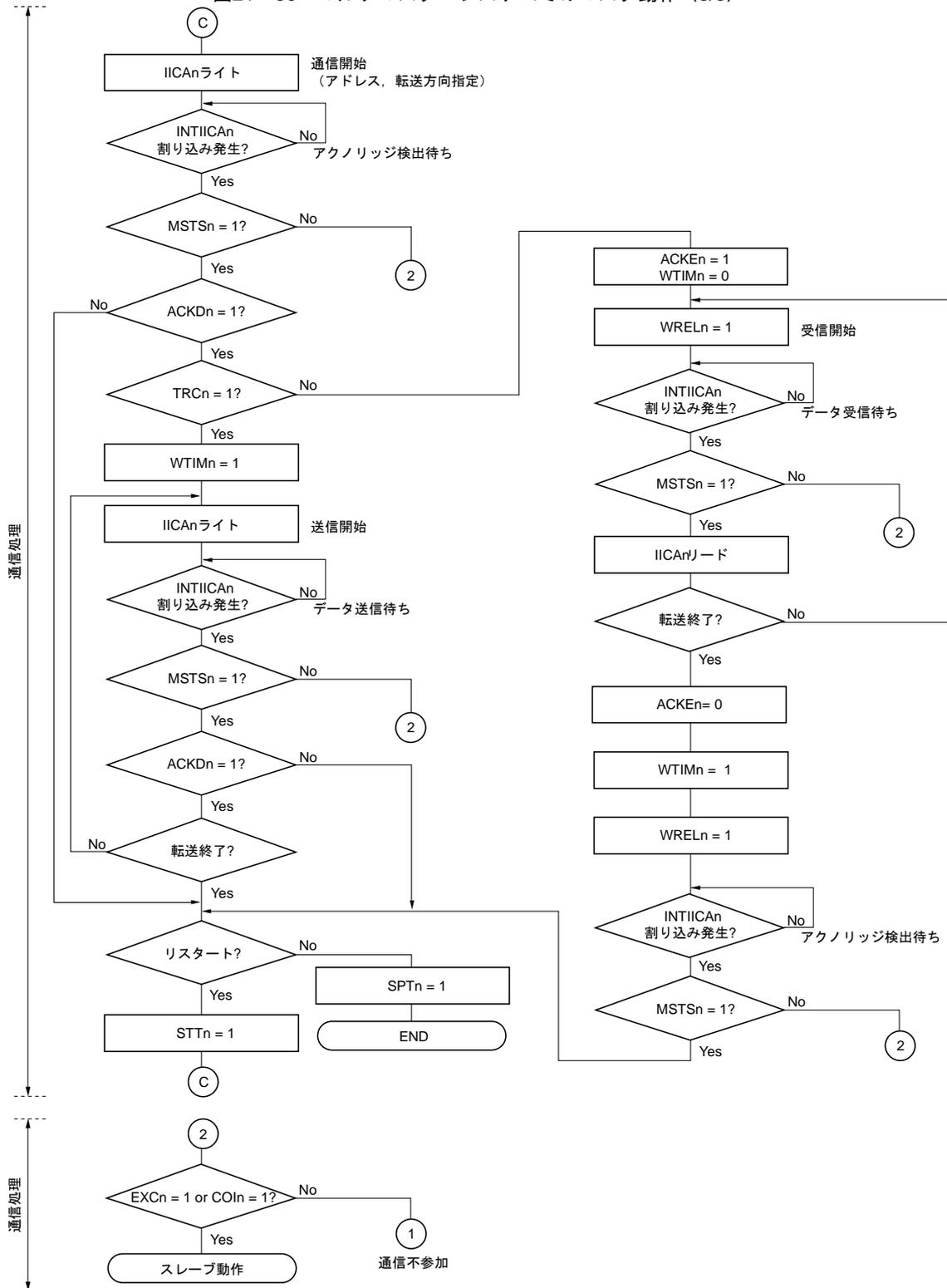
注 ウェイト時間は次のようになります。
 $(IICWLn$ の設定値 + $IICWHn$ の設定値 + 4) / $f_{MCK} + t_F \times 2$



- 備考1. IICWL_n : IICAロウ・レベル幅設定レジスタ_n
 IICWH_n : IICAハイ・レベル幅設定レジスタ_n
 t_F : SDA_n, SCL_n信号の立ち下がり時間
 f_{MCK} : IICA動作クロック周波数

2. $n = 0$

図21-30 マルチマスタ・システムでのマスタ動作 (3/3)



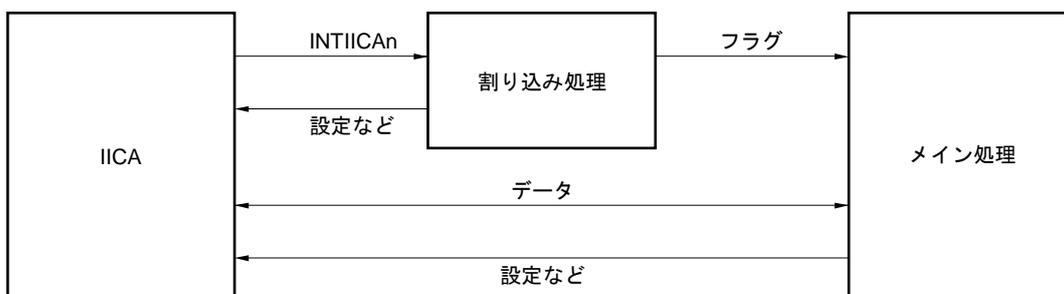
- 備考 1.** 送信および受信フォーマットは通信している製品の仕様に準拠してください。
- 2.** マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み発生ごとにMSTS_nビットをリードし、アービトレーション結果を確認してください。
- 3.** マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn割り込み発生ごとにIICAステータス・レジスタ_n (IICSn) , IICAフラグ・レジスタ_n (IICFn) でステータスを確認して次に行う処理を決定してください。
- 4.** n = 0

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

備考 n = 0

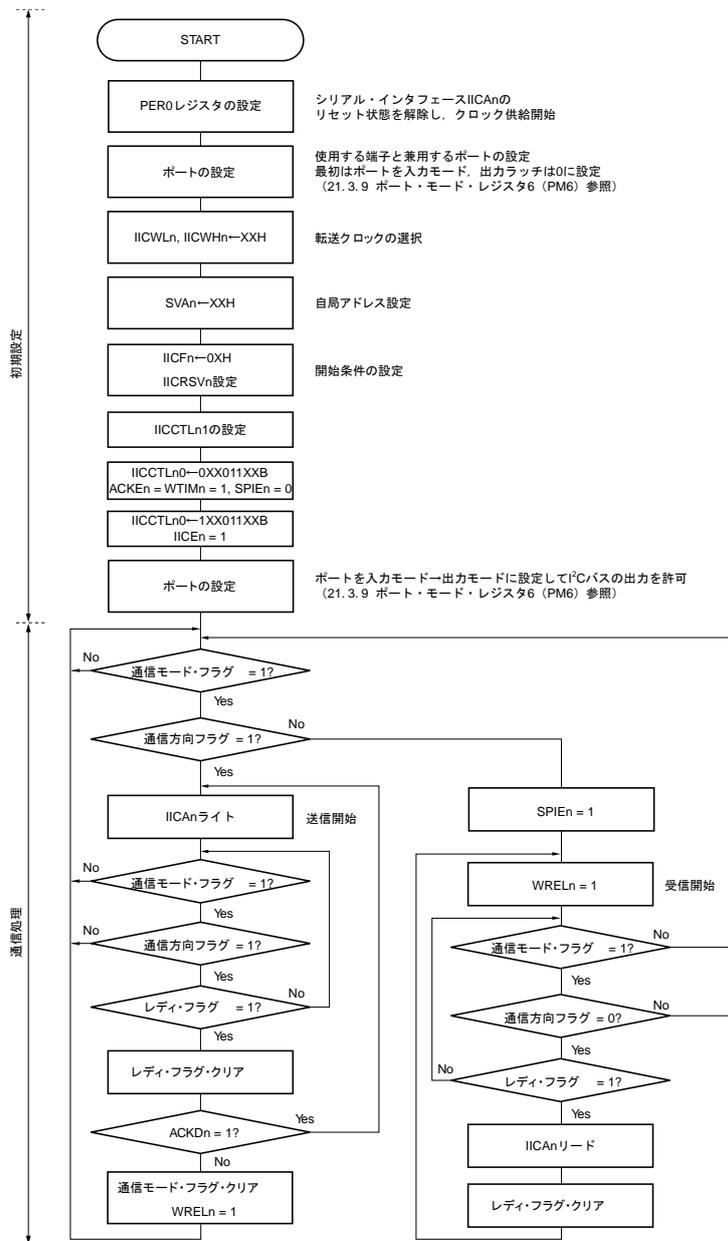
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図21-31 スレーブ動作手順 (1)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

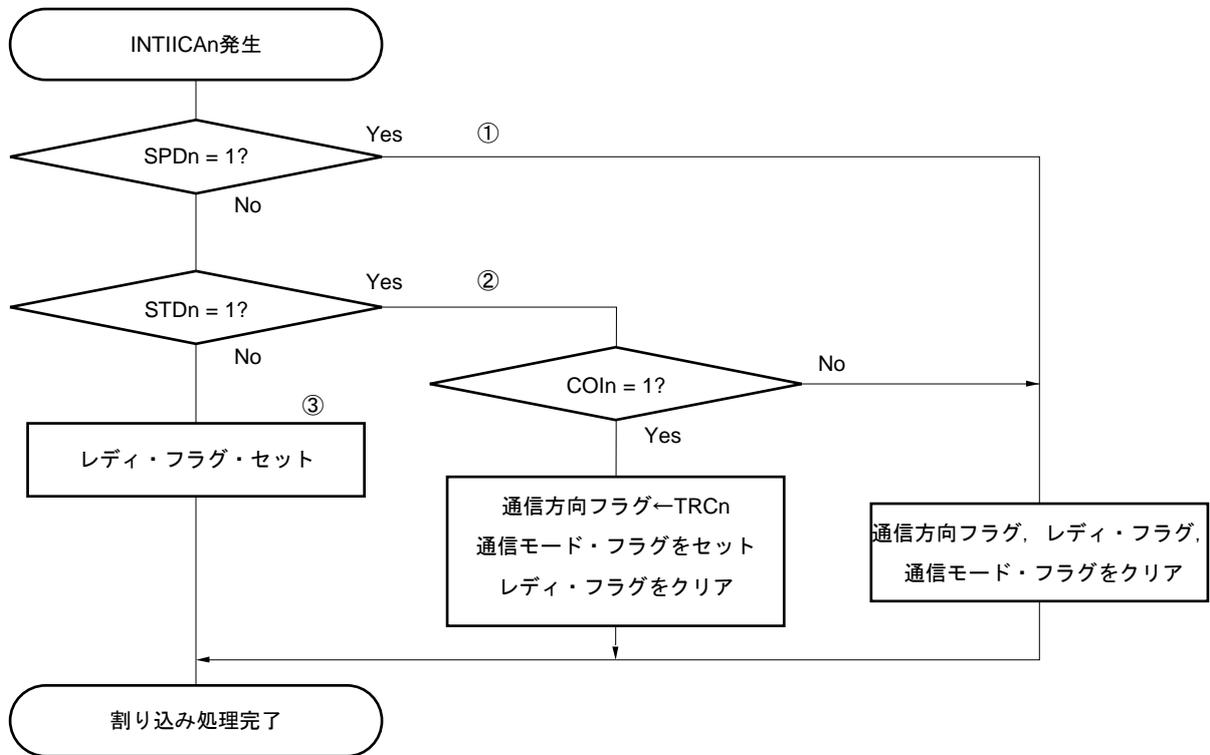
2. n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図21-32 スレーブ動作手順 (2) の①～③と対応しています。

図21-32 スレーブ動作手順 (2)



備考 n = 0

21. 5. 17 I²C割り込み要求 (INTIICAn) の発生タイミング

次に、データの送受信、INTIICAn割り込み要求信号発生タイミングと、INTIICAn信号タイミングでのIICAs
テータス・レジスタn (IICSn) の値を示します。

備考1. ST : スタート・コンディション

AD6-AD0 : アドレス

R \bar{W} : 転送方向指定

ACK : アクノリッジ

D7-D0 : データ

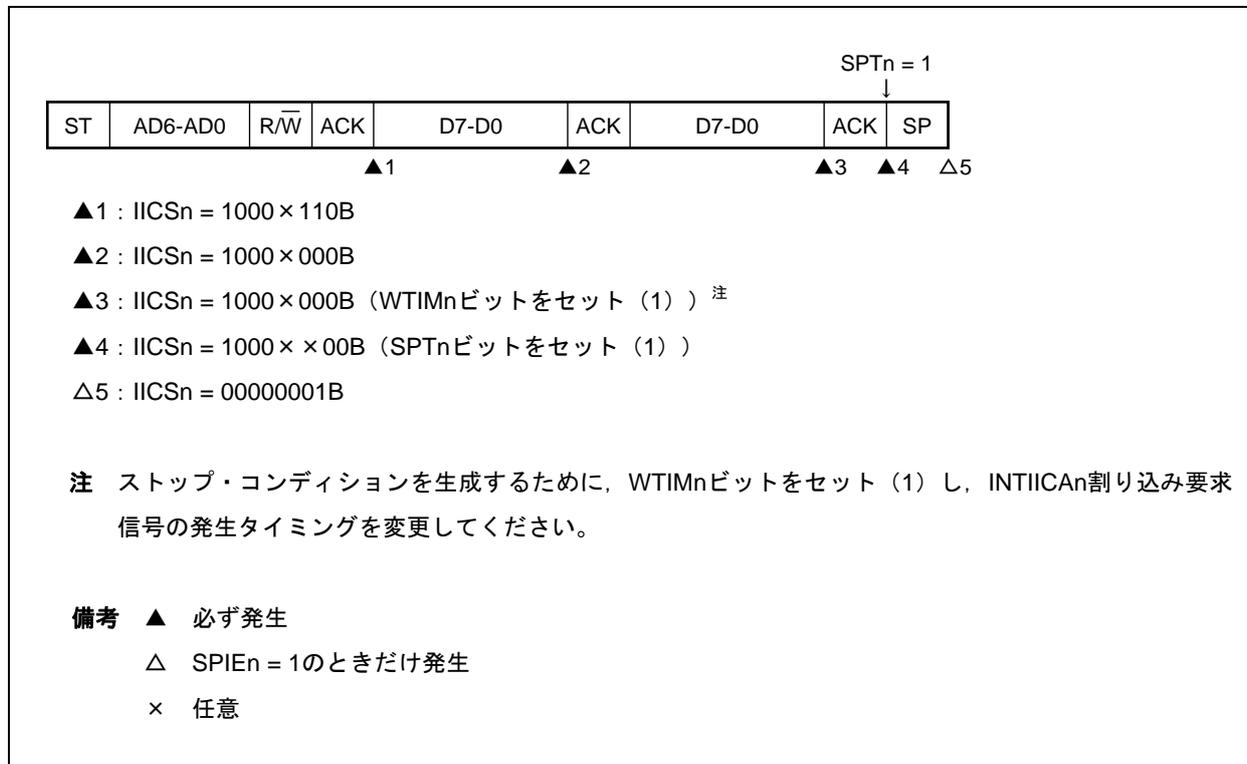
SP : ストップ・コンディション

2. n = 0

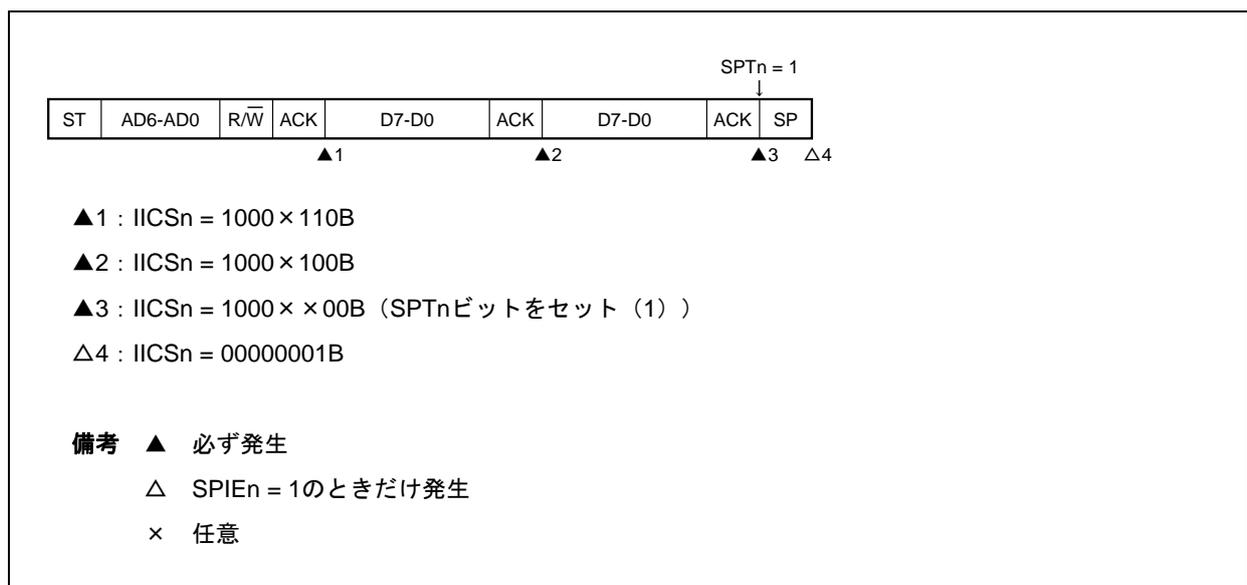
(1) マスタ動作

(a) Start~Address~Data~Data~Stop (送受信)

(i) WTIMn = 0のとき



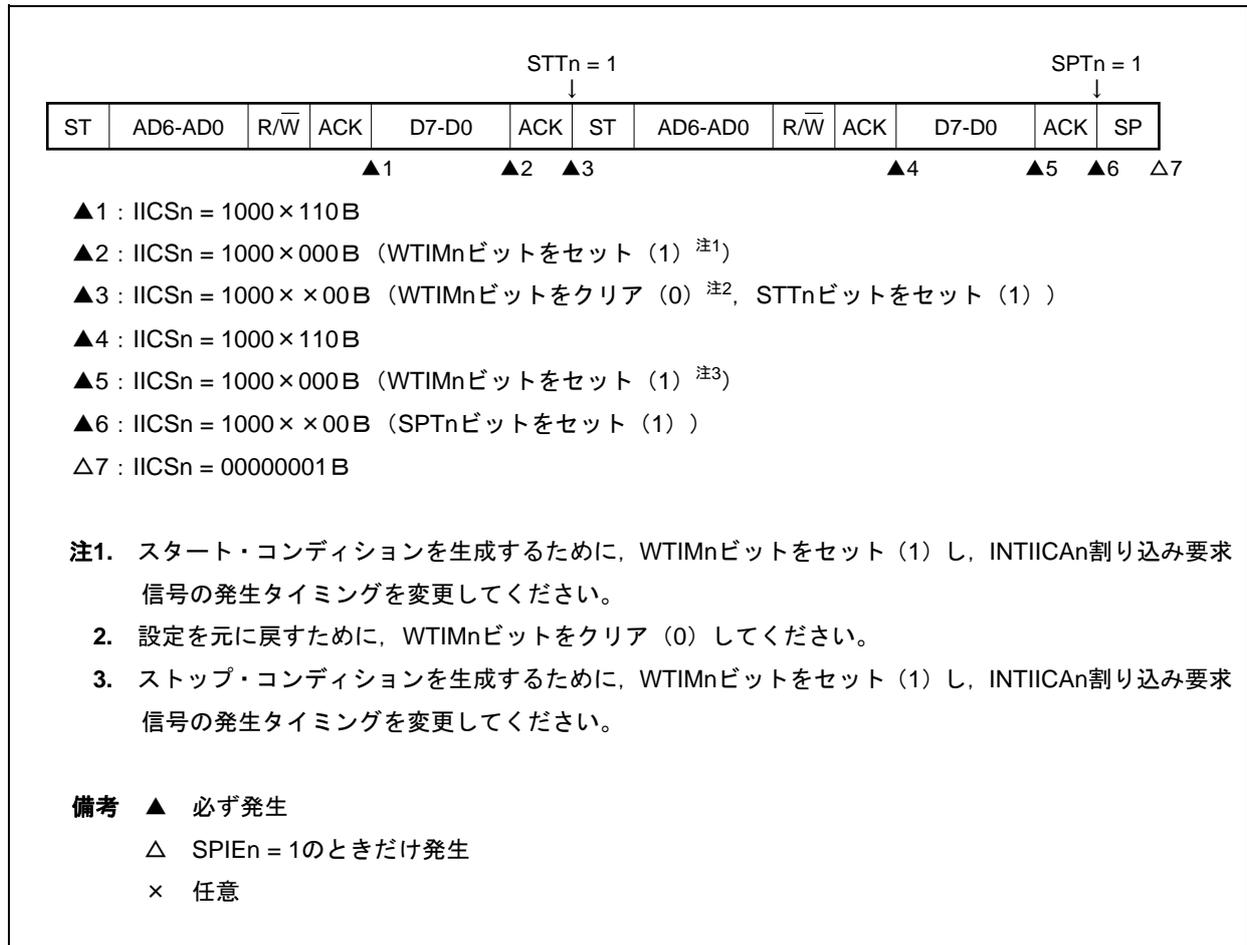
(ii) WTIMn = 1のとき



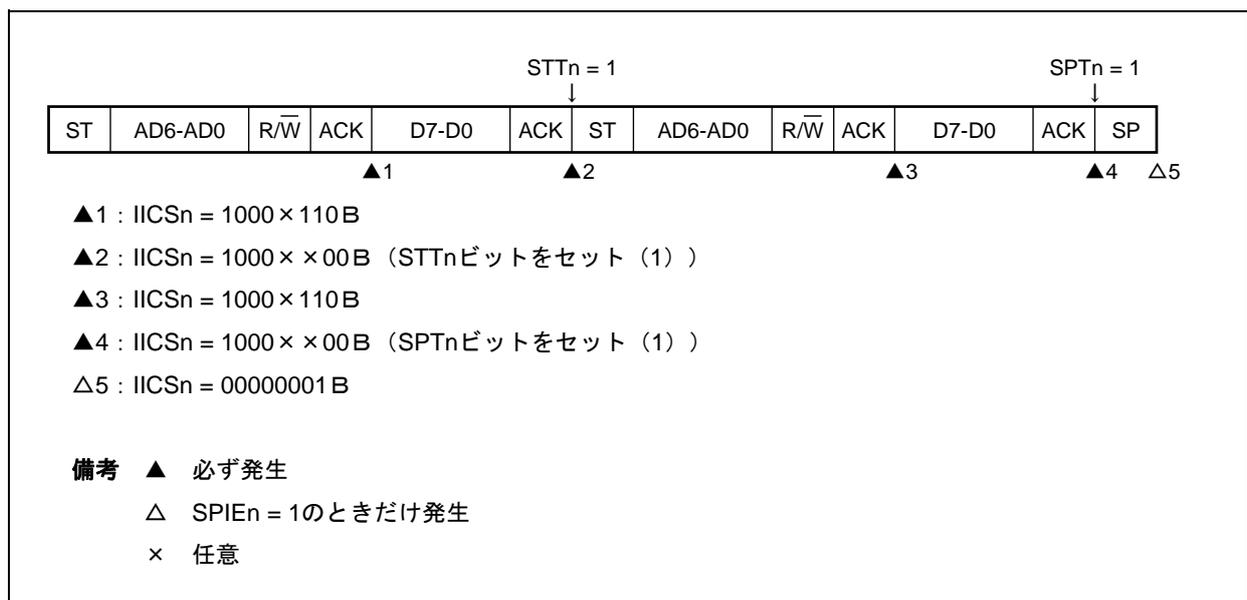
備考 n = 0

(b) Start~Address~Data~Start~Address~Data~Stop (リスタート)

(i) WTIMn = 0のとき



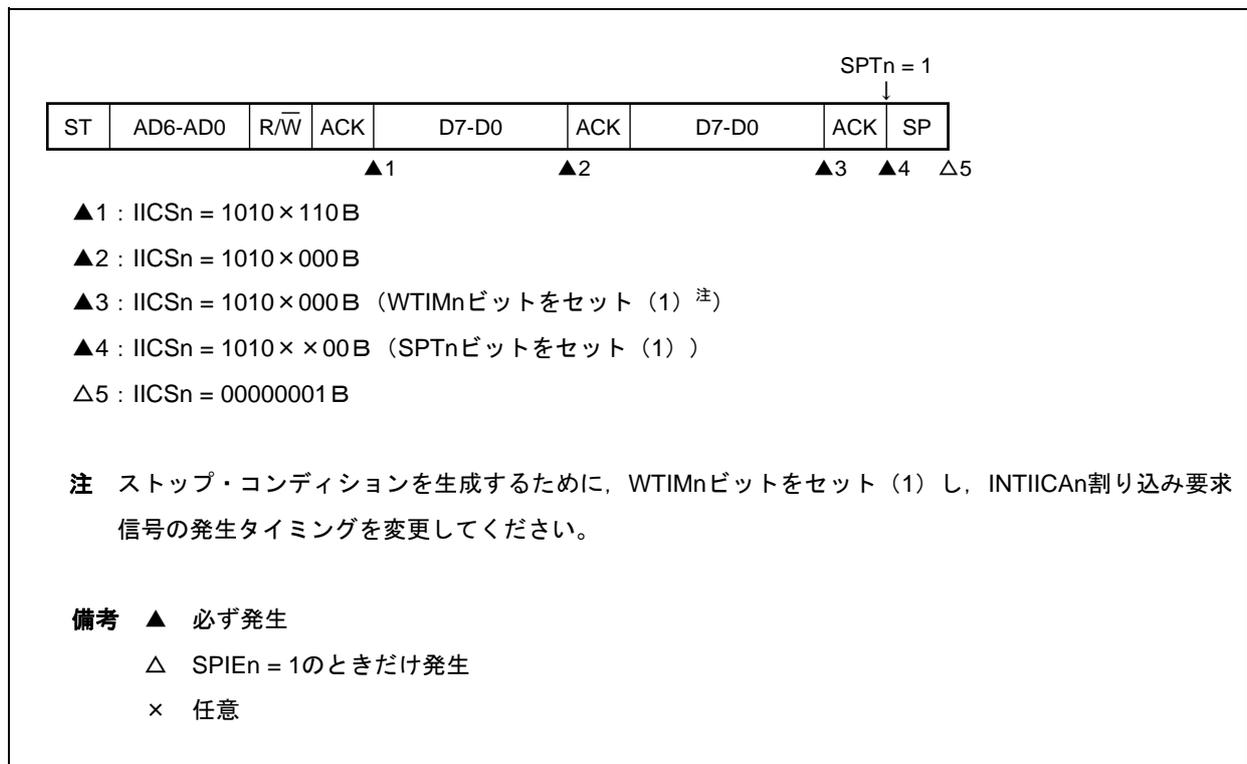
(ii) WTIMn = 1のとき



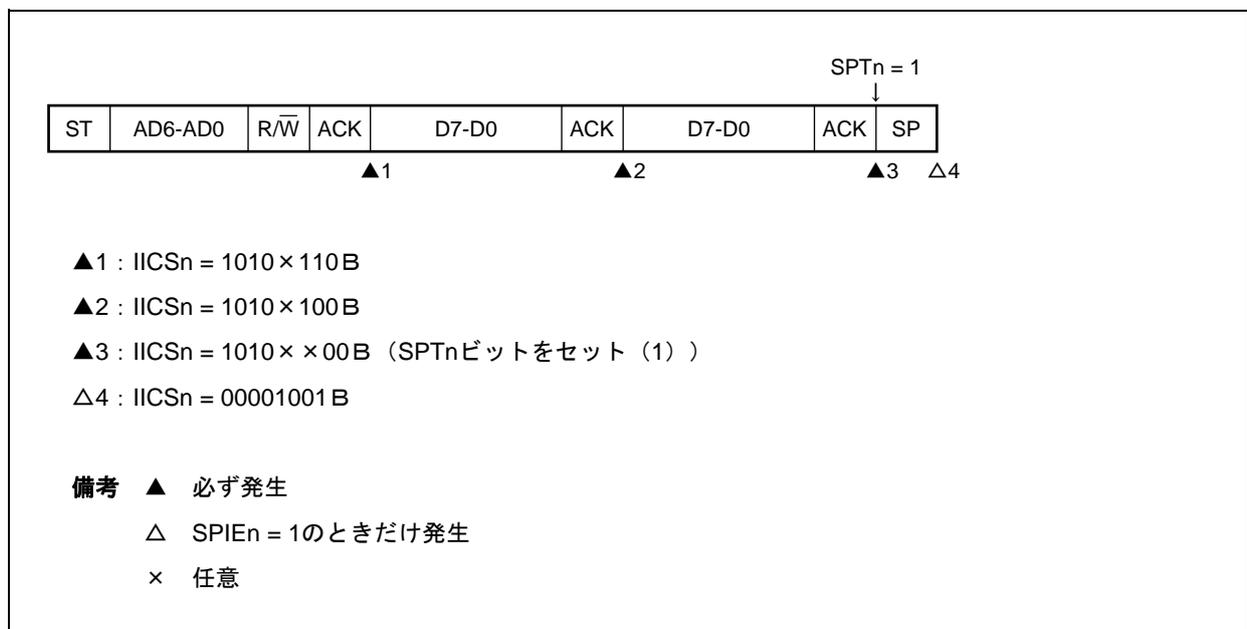
備考 n = 0

(c) Start~Code~Data~Data~Stop (拡張コード送信)

(i) WTIMn = 0のとき



(ii) WTIMn = 1のとき

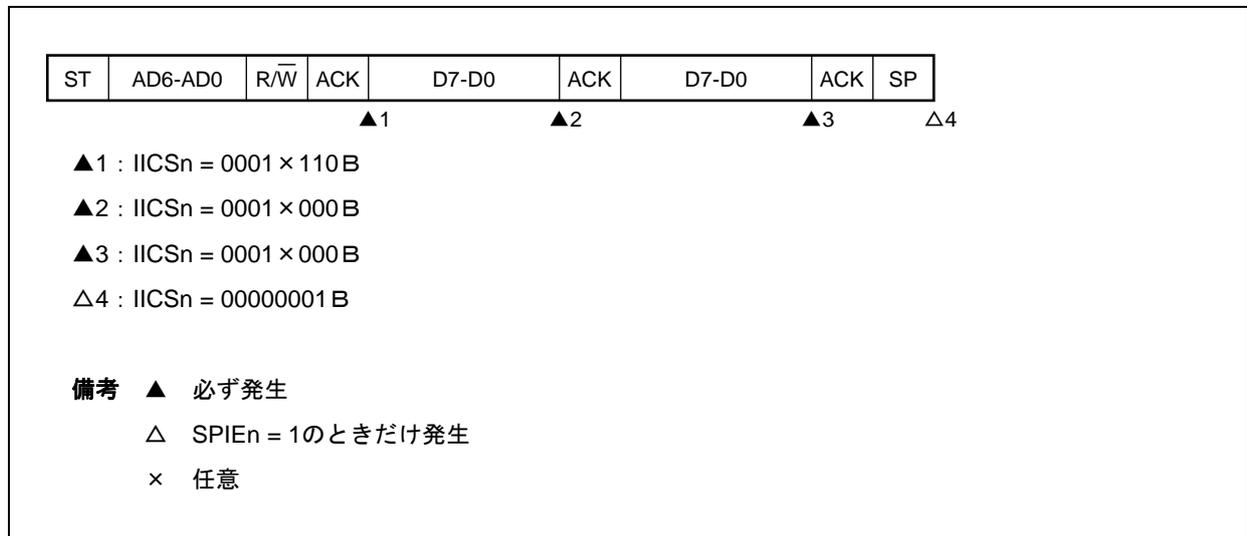


備考 n = 0

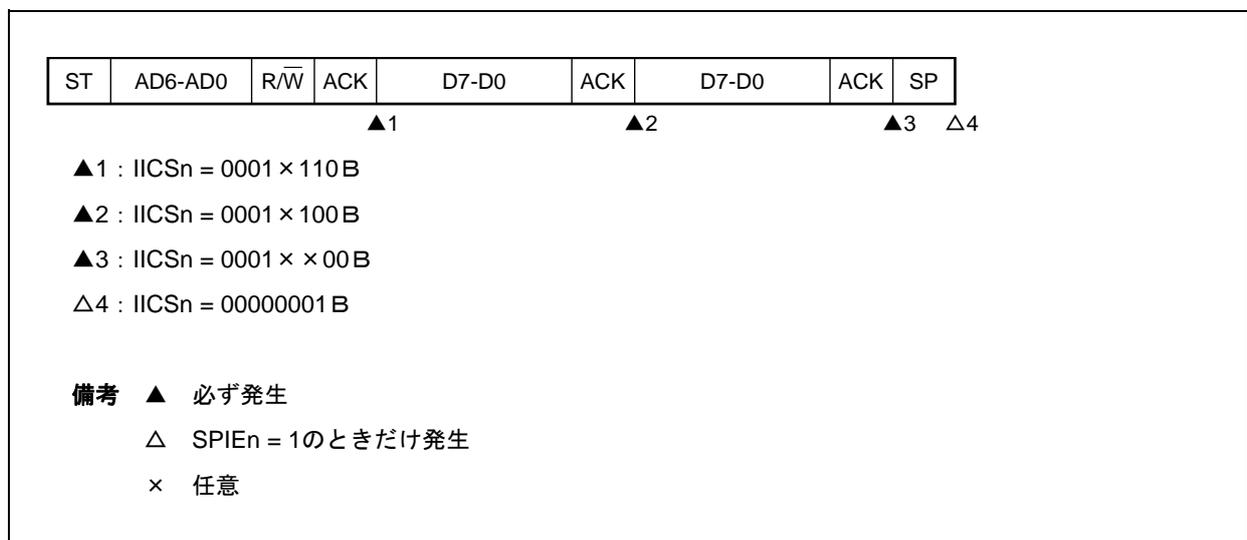
(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start~Address~Data~Data~Stop

(i) WTIMn = 0のとき



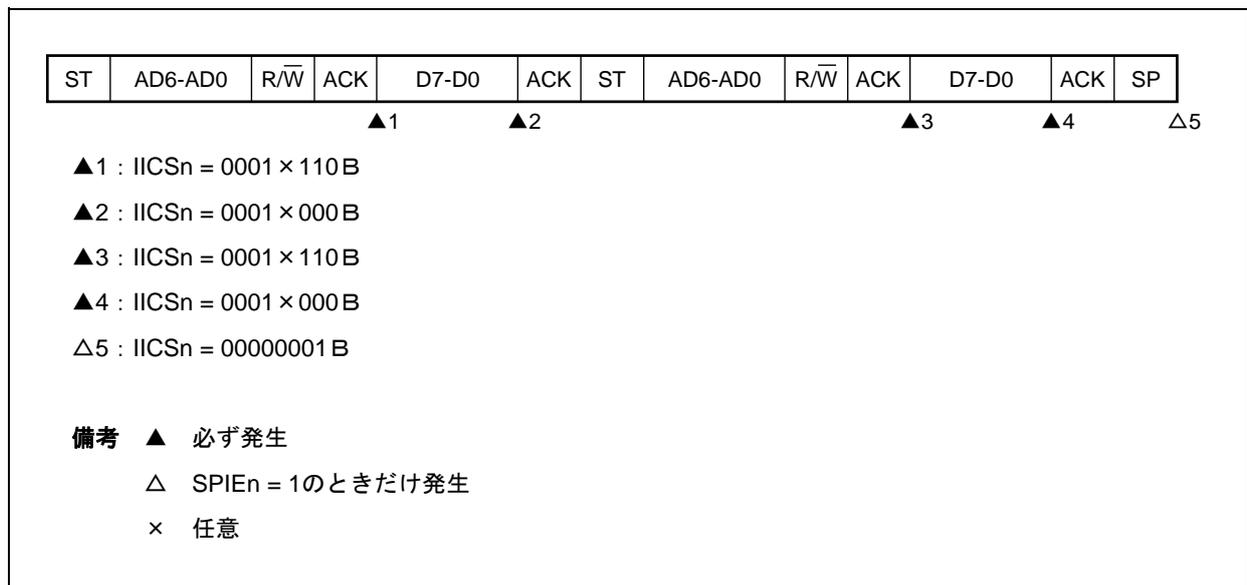
(ii) WTIMn = 1のとき



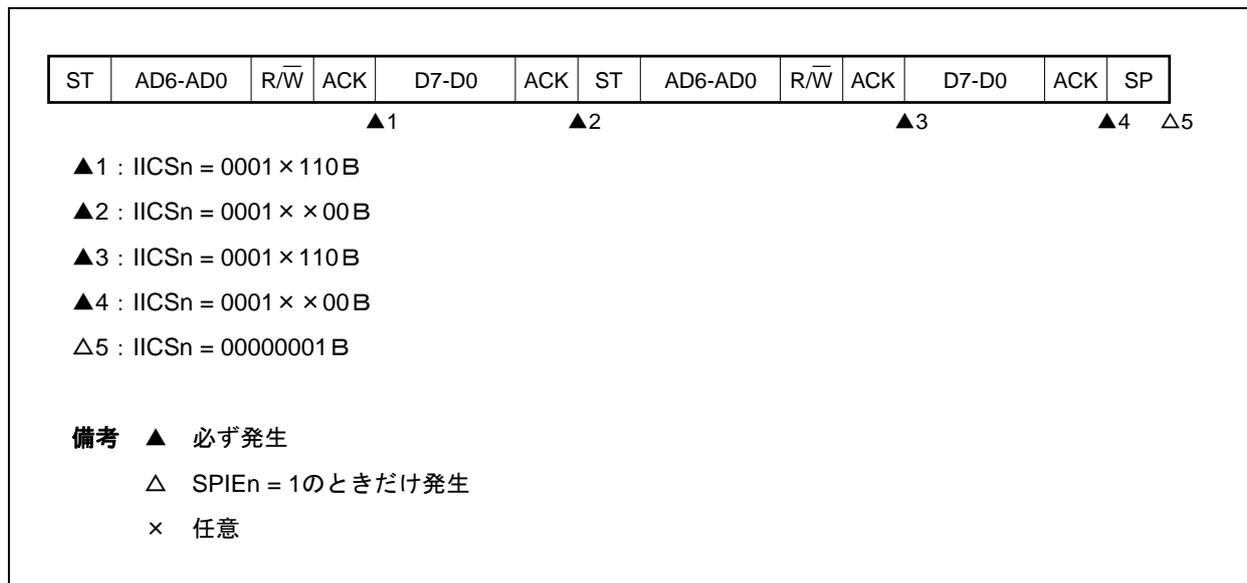
備考 n = 0

(b) Start~Address~Data~Start~Address~Data~Stop

(i) WTIMn = 0のとき (リスタート後, SVAn一致)

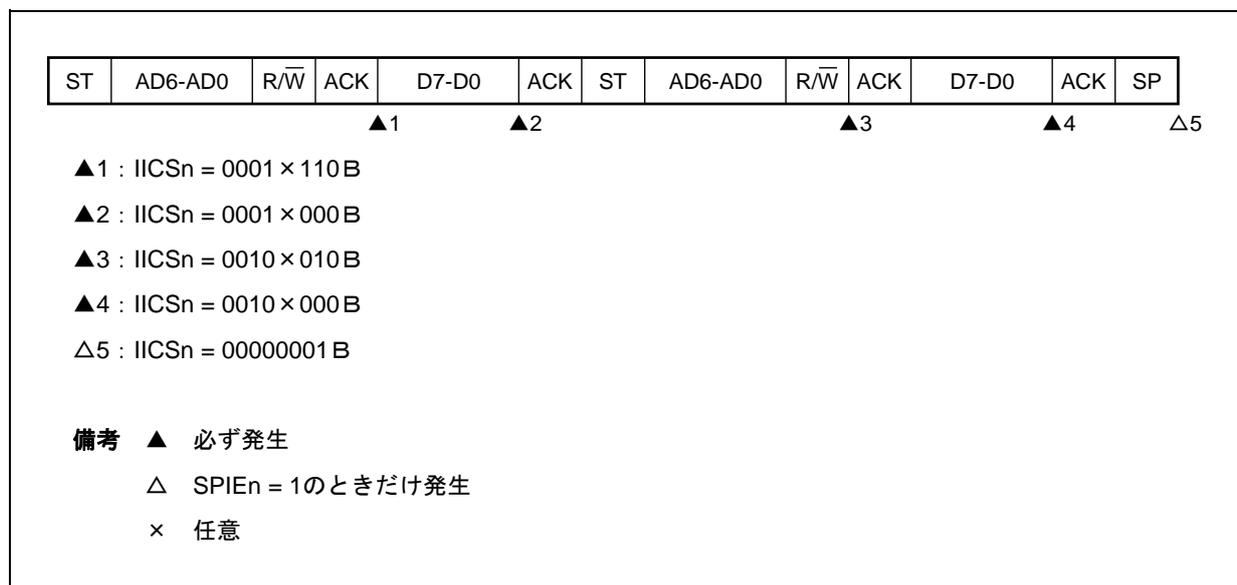


(ii) WTIMn = 1のとき (リスタート後, SVAn一致)

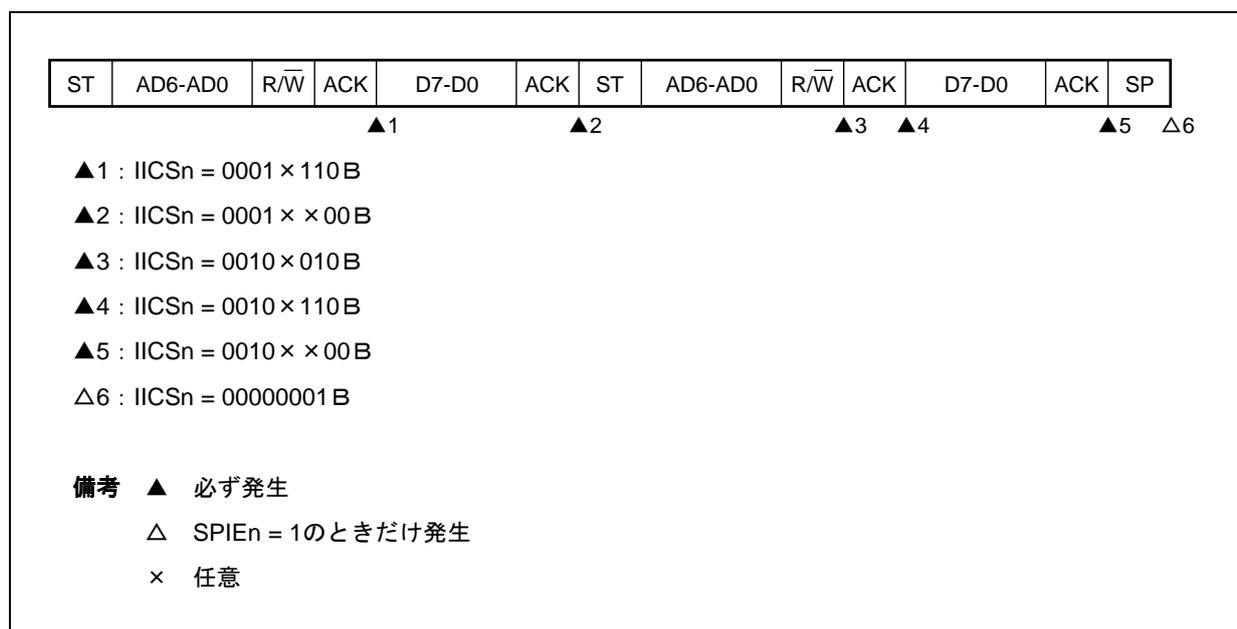
**備考** n = 0

(c) Start~Address~Data~Start~Code~Data~Stop

(i) WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード))

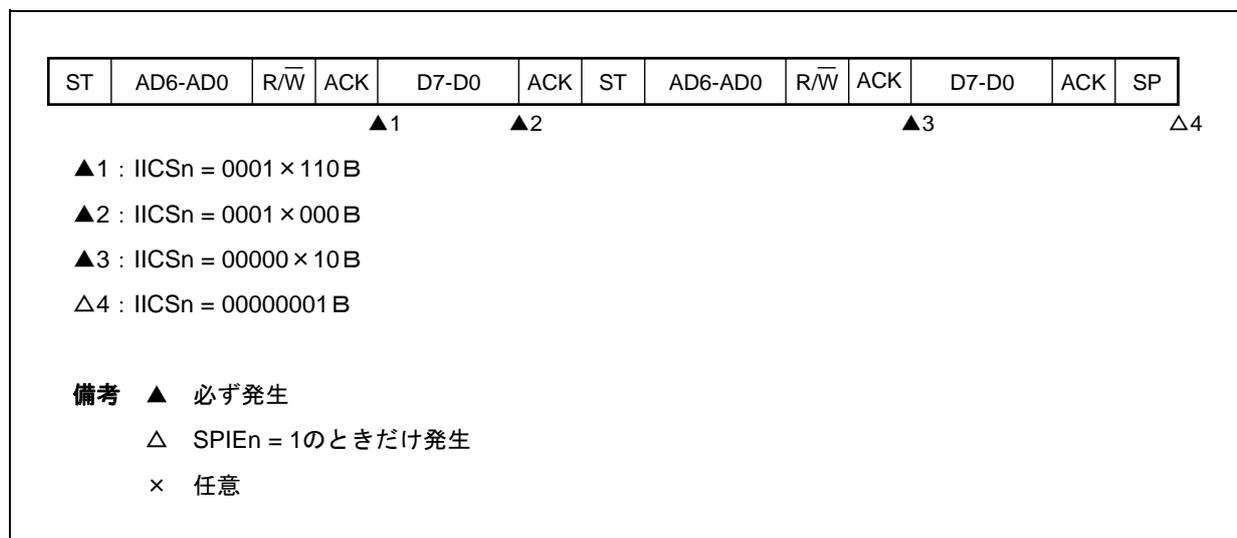


(ii) WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード))

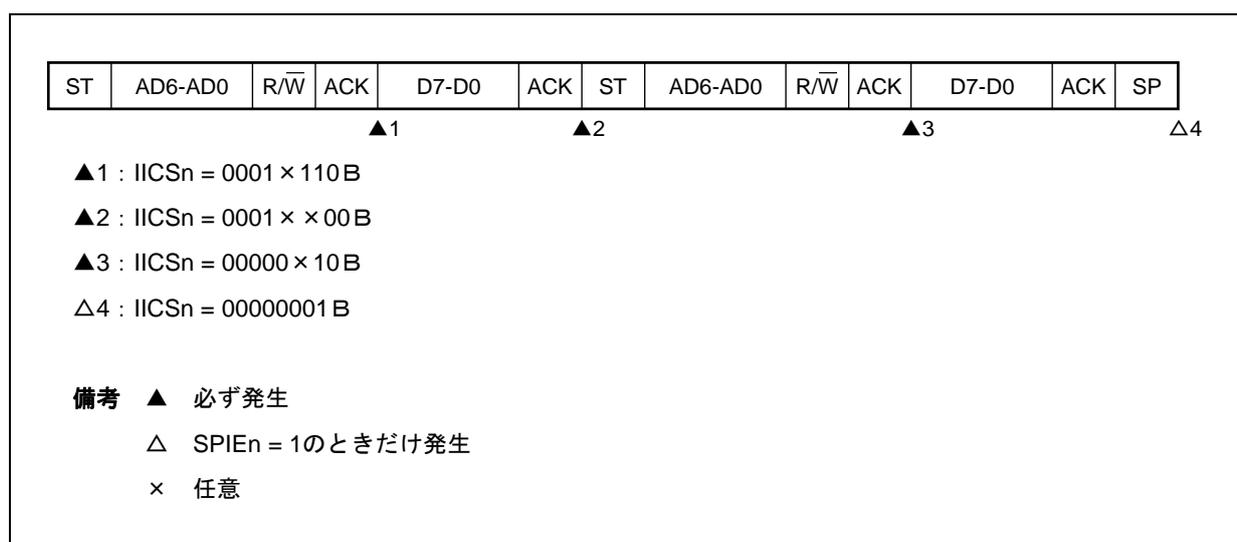
**備考** n = 0

(d) Start~Address~Data~Start~Address~Data~Stop

(i) WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

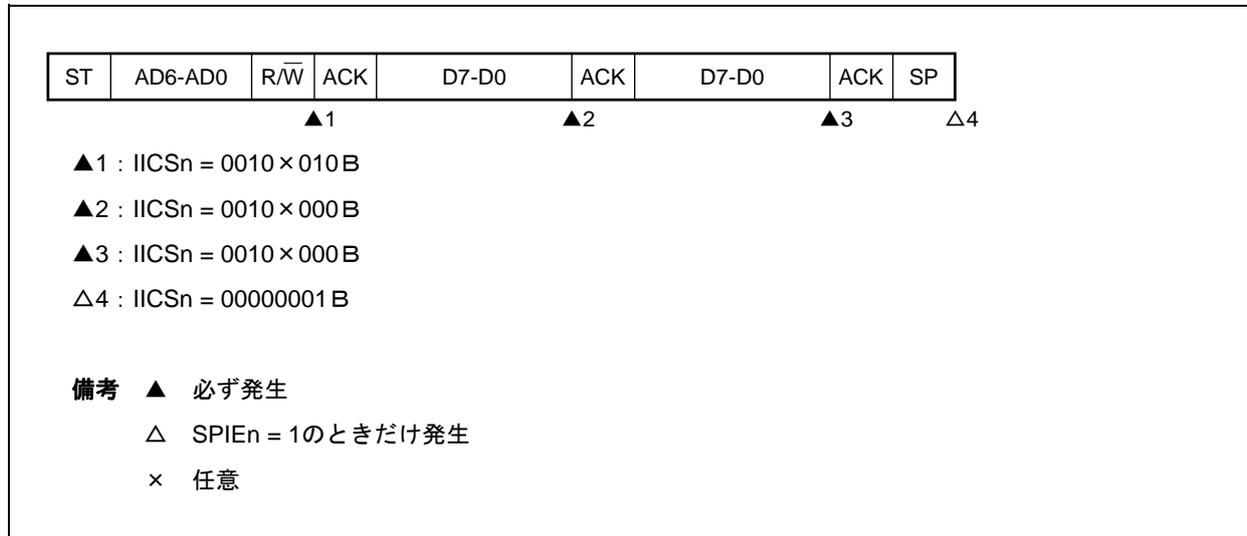
**備考** n = 0

(3) スレーブ動作（拡張コード受信時）

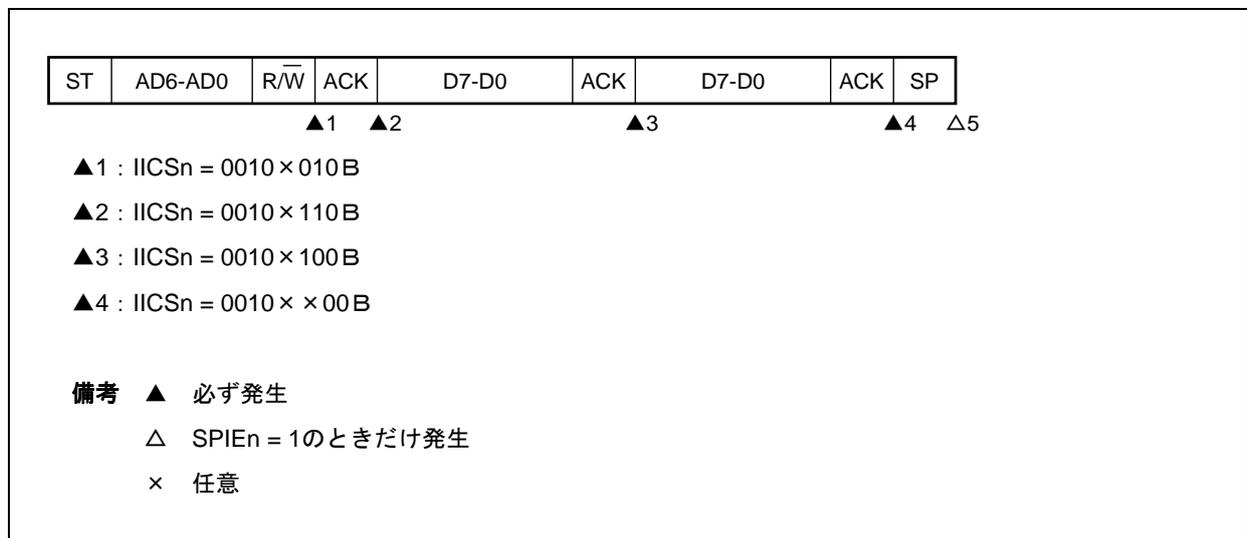
拡張コード受信時は、常に通信に参加しています

(a) Start～Code～Data～Data～Stop

(i) WTIMn = 0のとき



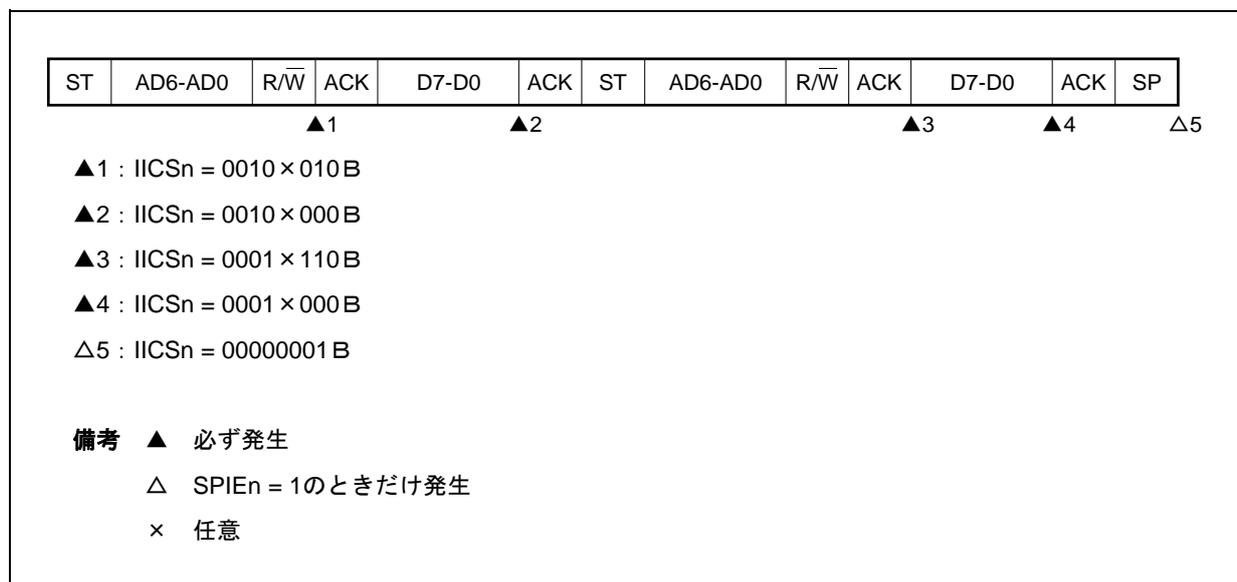
(ii) WTIMn = 1のとき



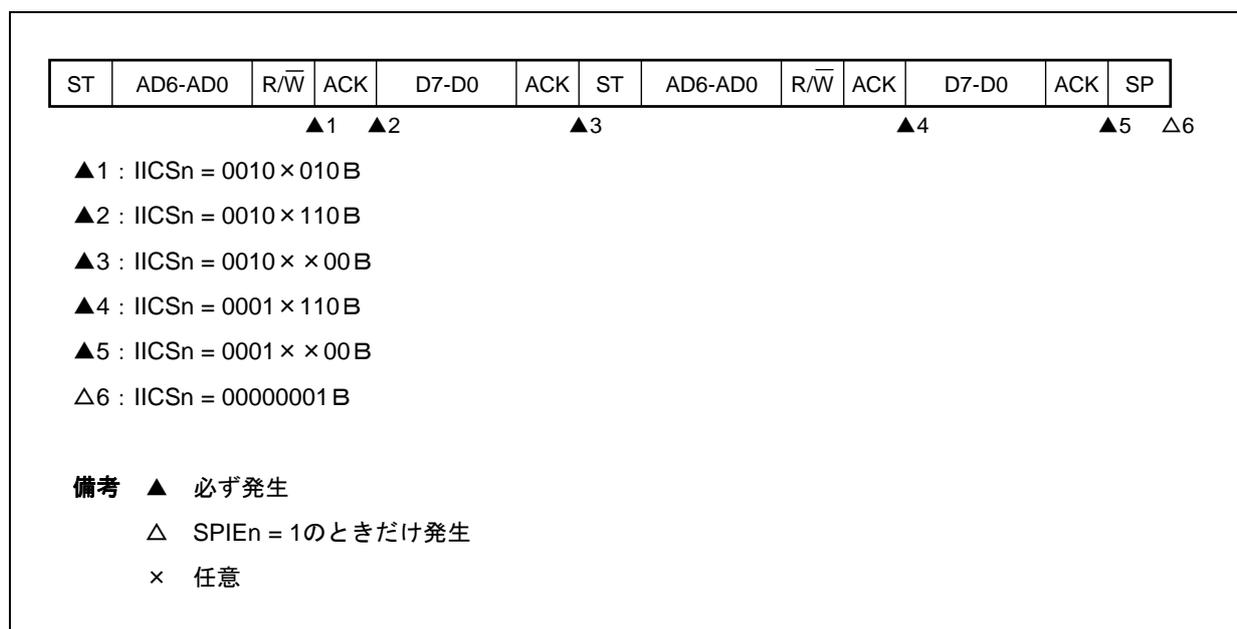
備考 n = 0

(b) Start~Code~Data~Start~Address~Data~Stop

(i) WTIMn = 0のとき (リスタート後, SVAn一致)

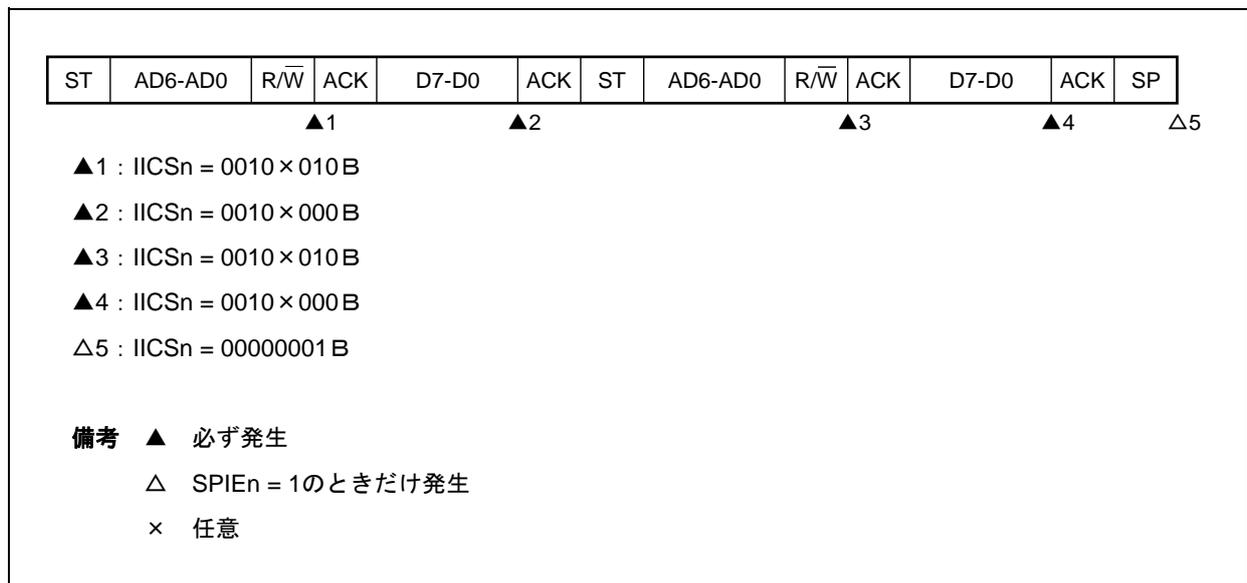


(ii) WTIMn = 1のとき (リスタート後, SVAn一致)

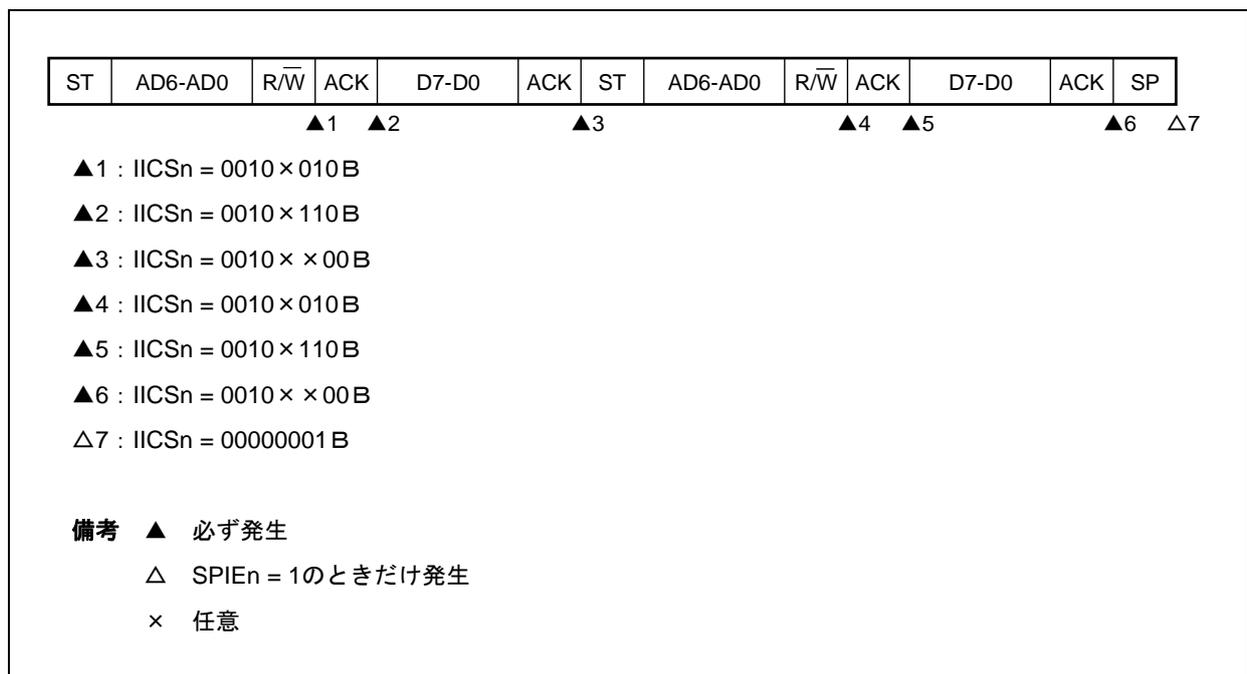
**備考** n = 0

(c) Start~Code~Data~Start~Code~Data~Stop

(i) WTIMn = 0のとき (リスタート後, 拡張コード受信)

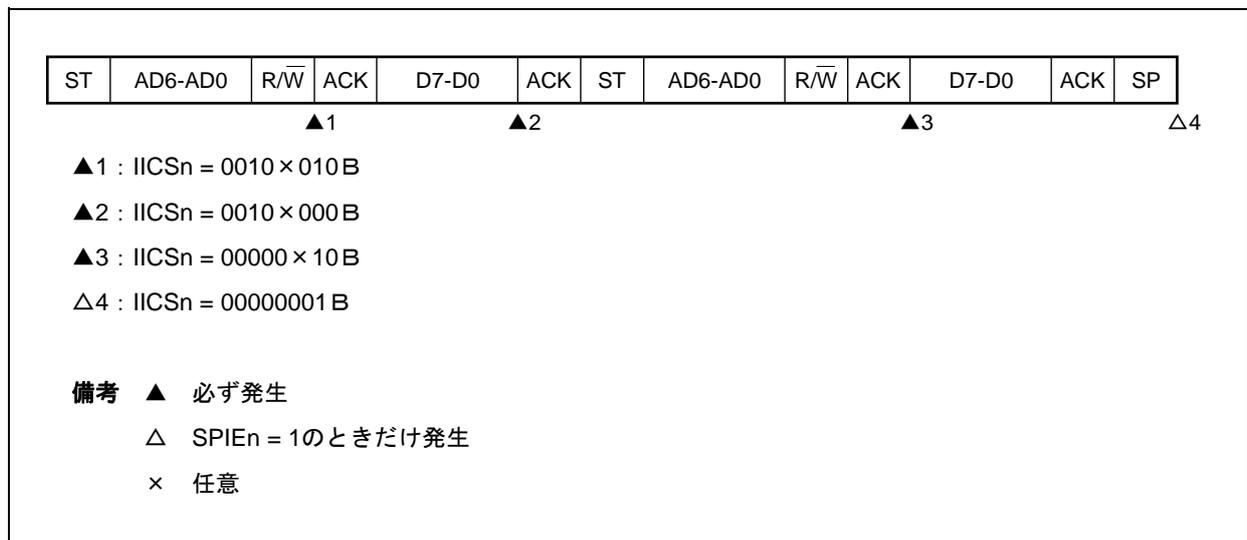


(ii) WTIMn = 1のとき (リスタート後, 拡張コード受信)

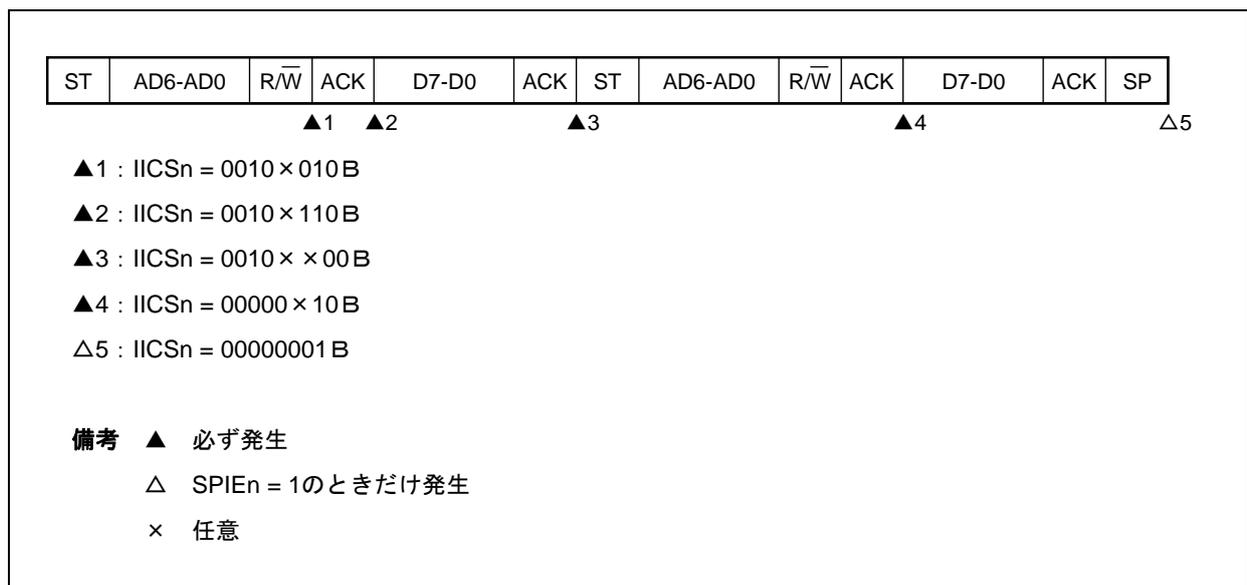
**備考** n = 0

(d) Start~Code~Data~Start~Address~Data~Stop

(i) WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

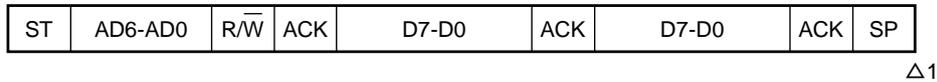


(ii) WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

**備考** n = 0

(4) 通信不参加の動作

(a) Start~Code~Data~Data~Stop



△1 : IICSn = 00000001 B

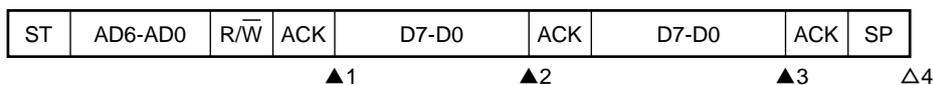
備考 △ SPIEn = 1のときだけ発生

(5) アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み要求信号の発生ごとに MSTSnビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0のとき



▲1 : IICSn = 0101 × 110 B

▲2 : IICSn = 0001 × 000 B

▲3 : IICSn = 0001 × 000 B

△4 : IICSn = 00000001 B

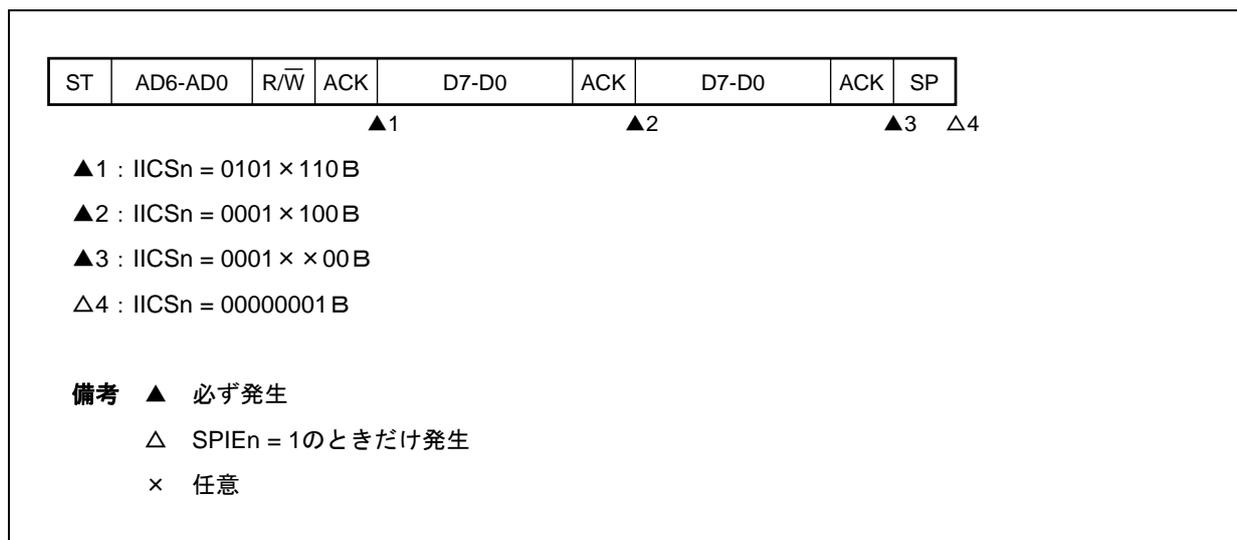
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

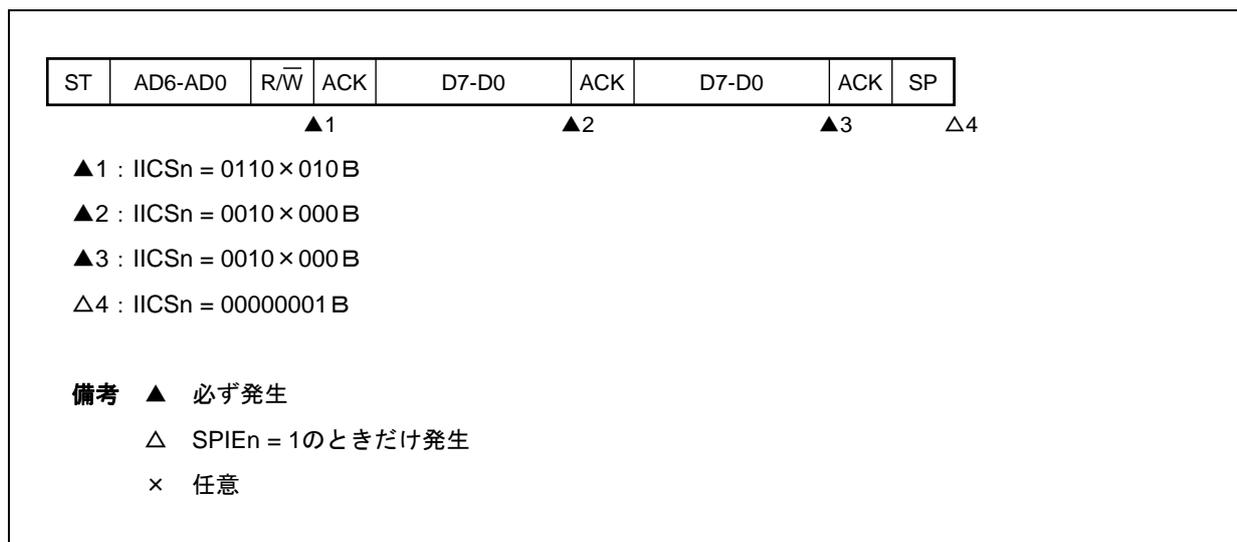
備考 n = 0

(ii) WTIMn = 1のとき



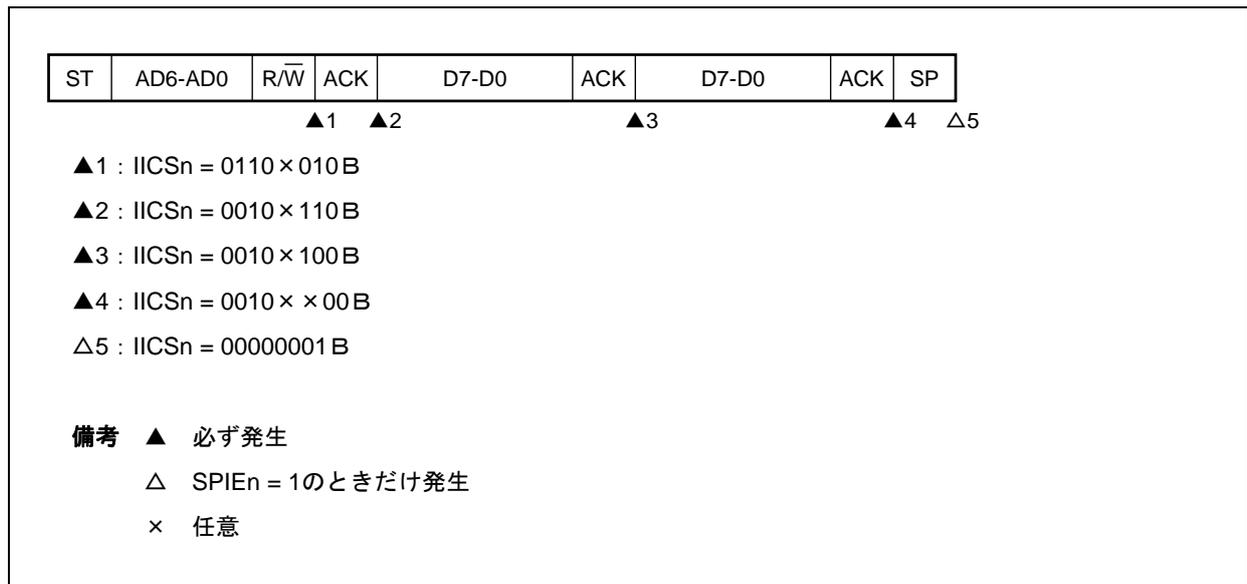
(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0のとき



備考 n = 0

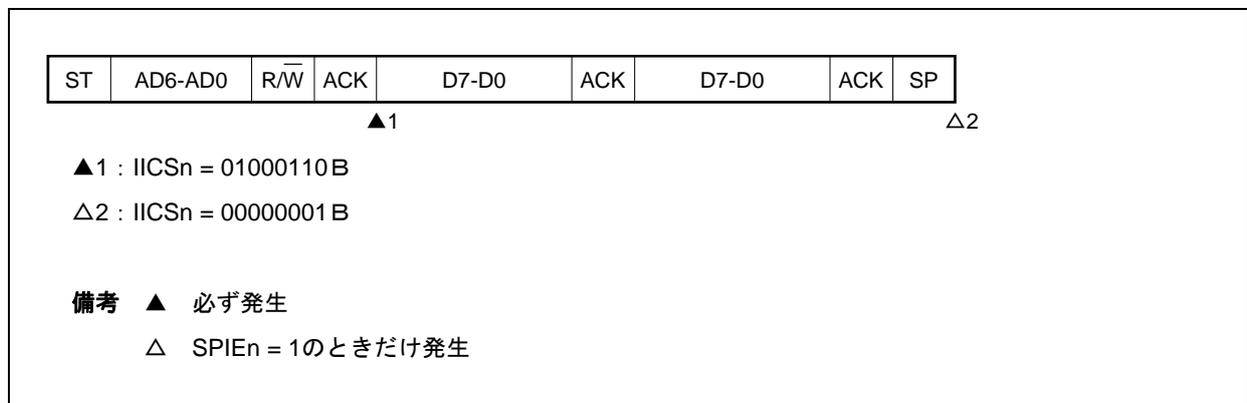
(ii) WTIMn = 1のとき



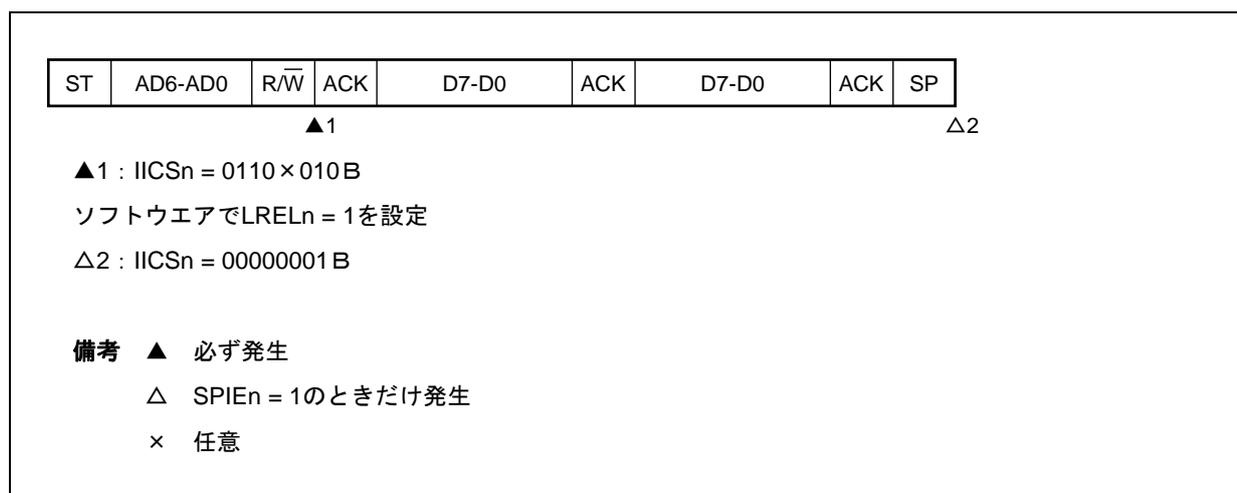
(6) アービトレーション負けの動作（アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み要求信号の発生ごとに MSTSnビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIMn = 1のとき）

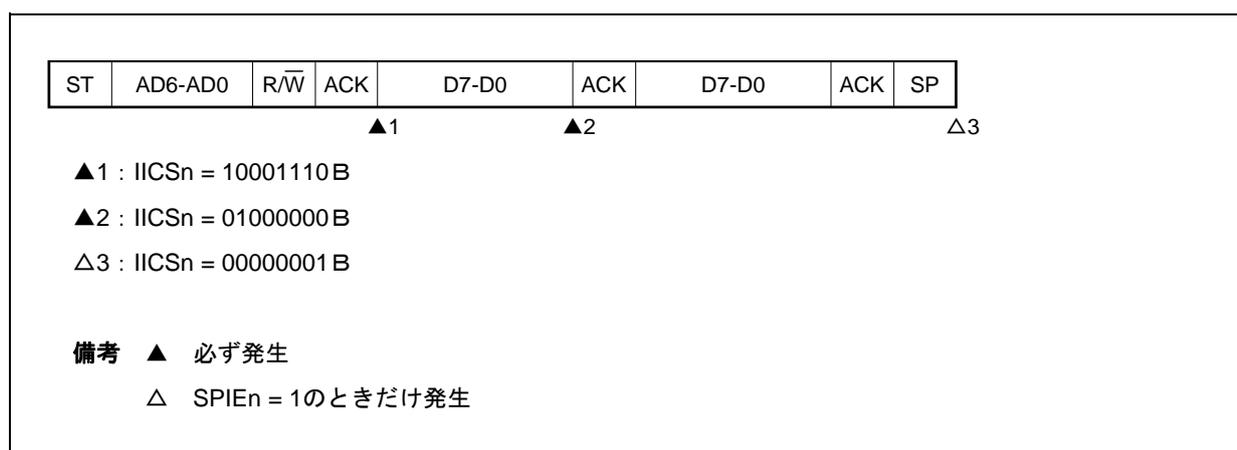
**備考** n = 0

(b) 拡張コード送信中にアービトレーションに負けた場合



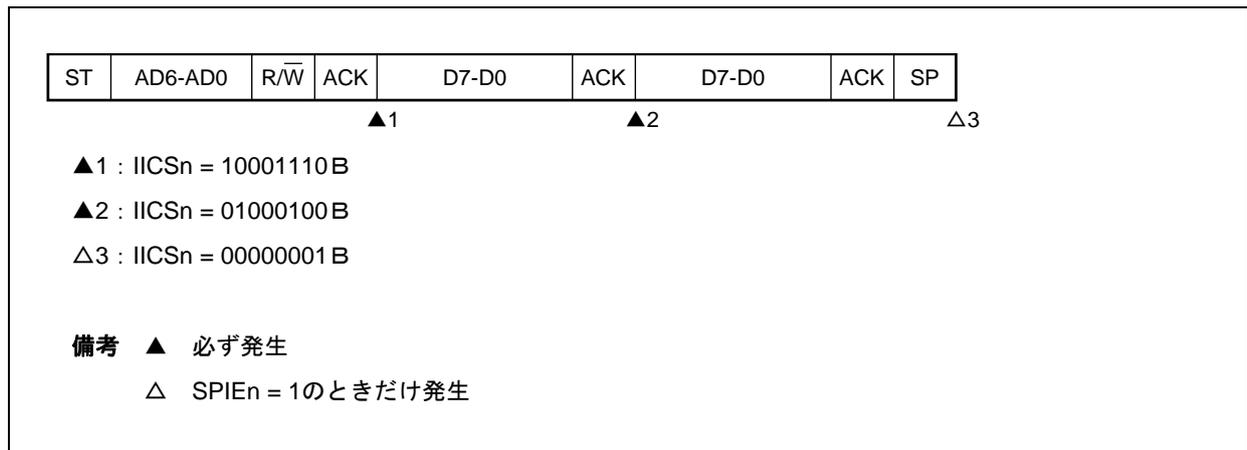
(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0のとき



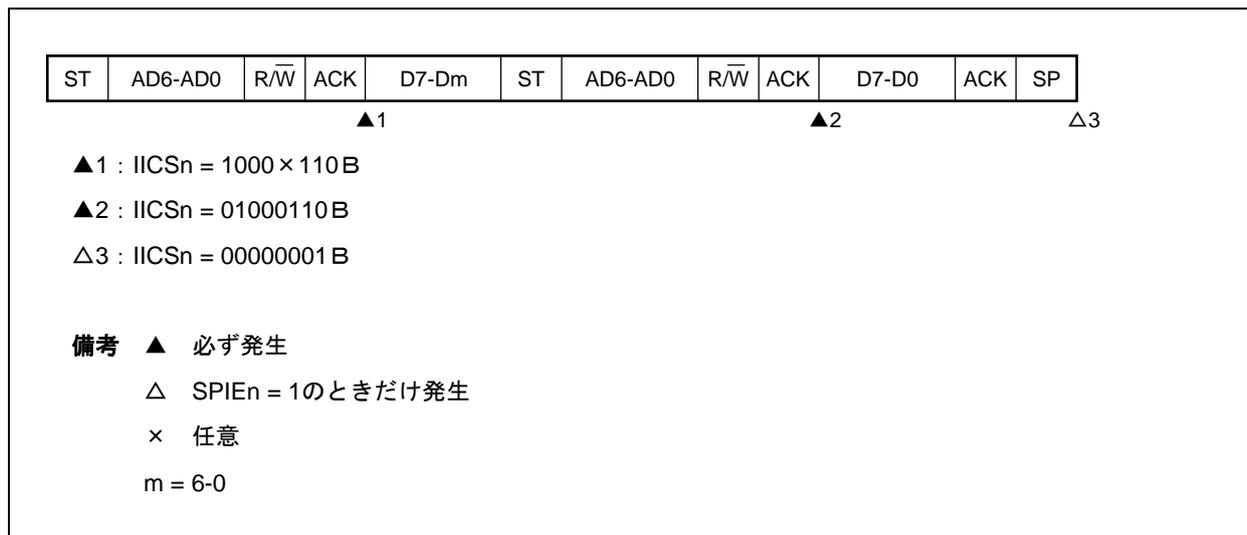
備考 n = 0

(ii) WTIMn = 1のとき

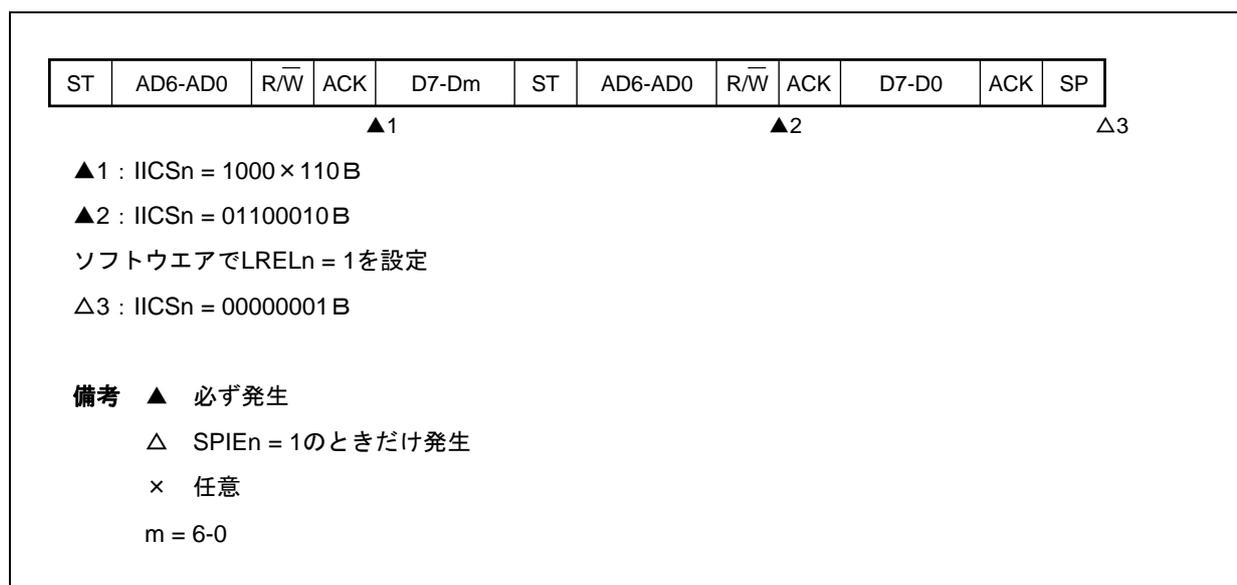


(d) データ転送時にリスタート・コンディションで負けた場合

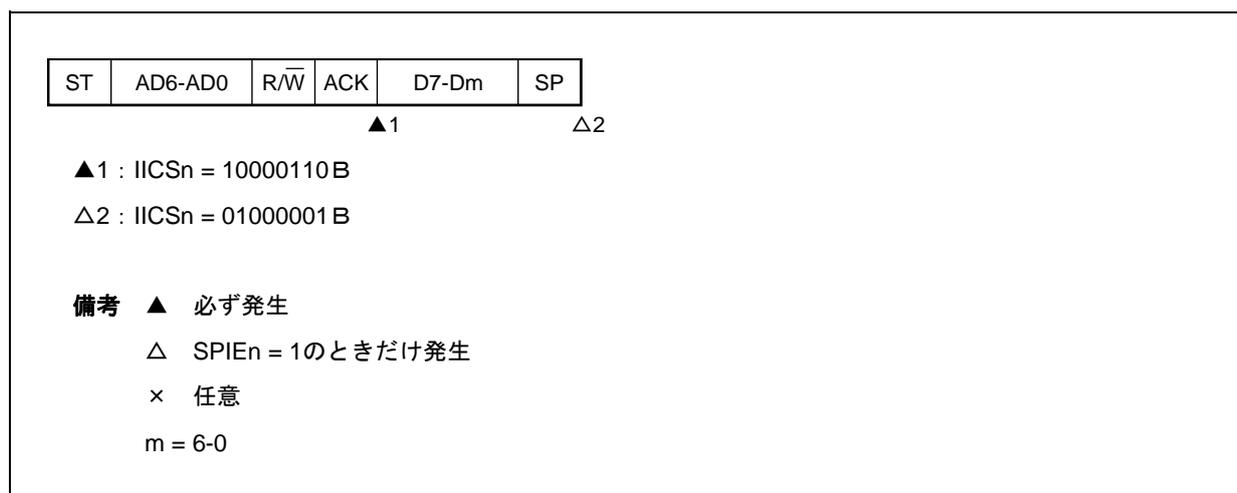
(i) 拡張コード以外 (例 SVAn不一致)

**備考** n = 0

(ii) 拡張コード



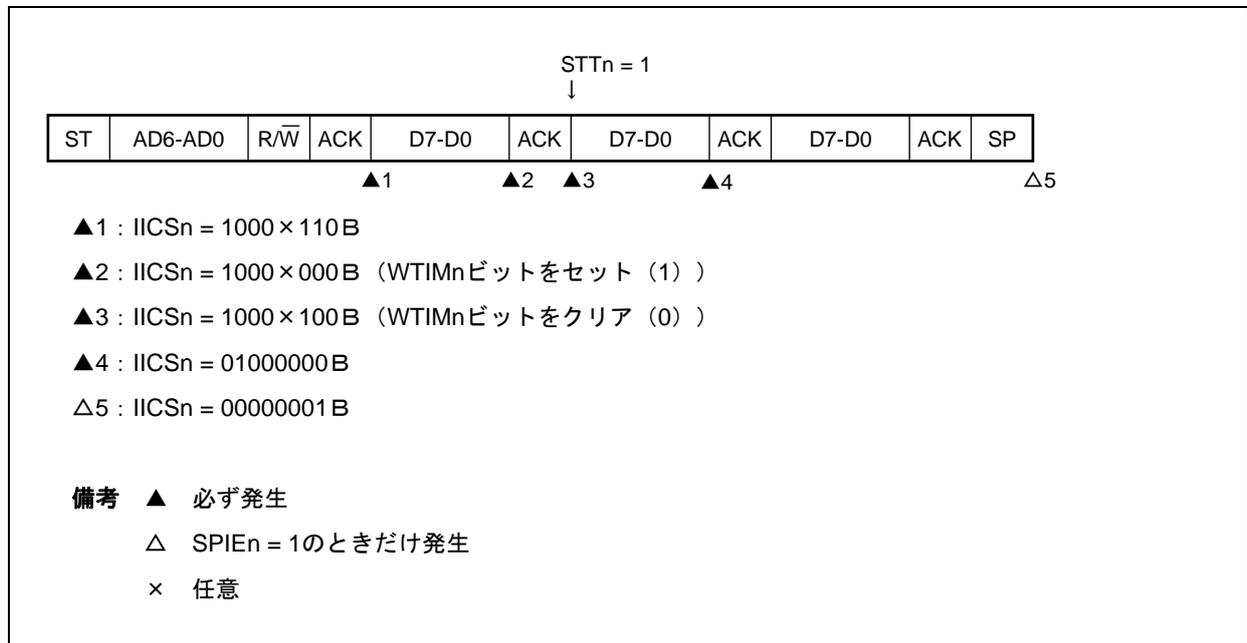
(e) データ転送時にストップ・コンディションで負けた場合



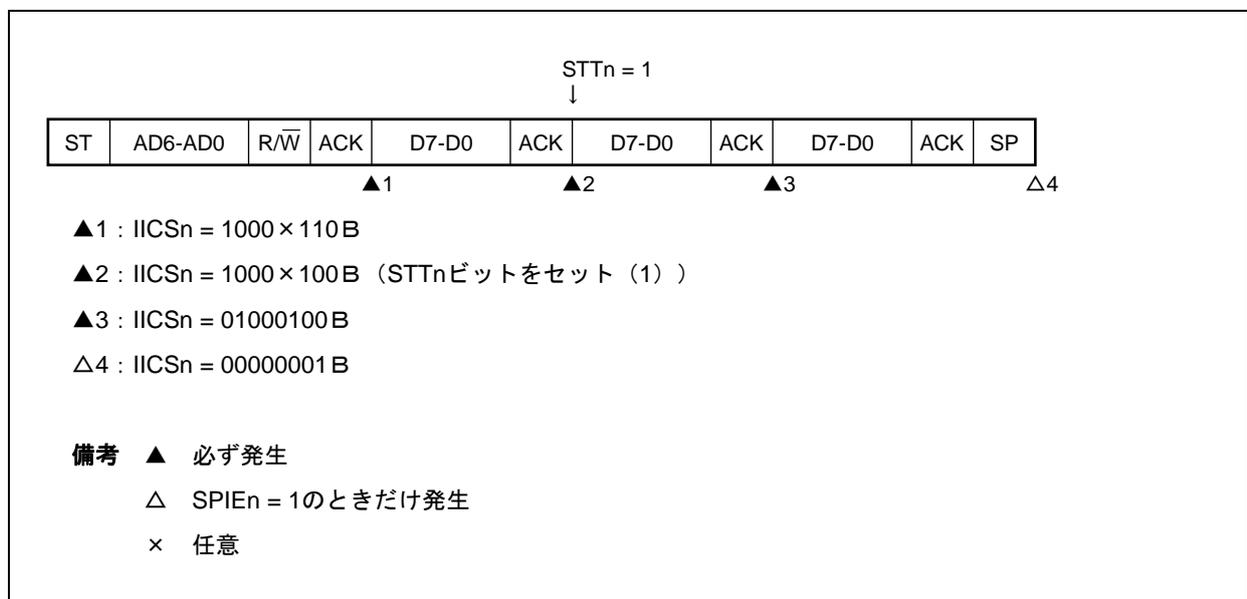
備考 n = 0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0のとき



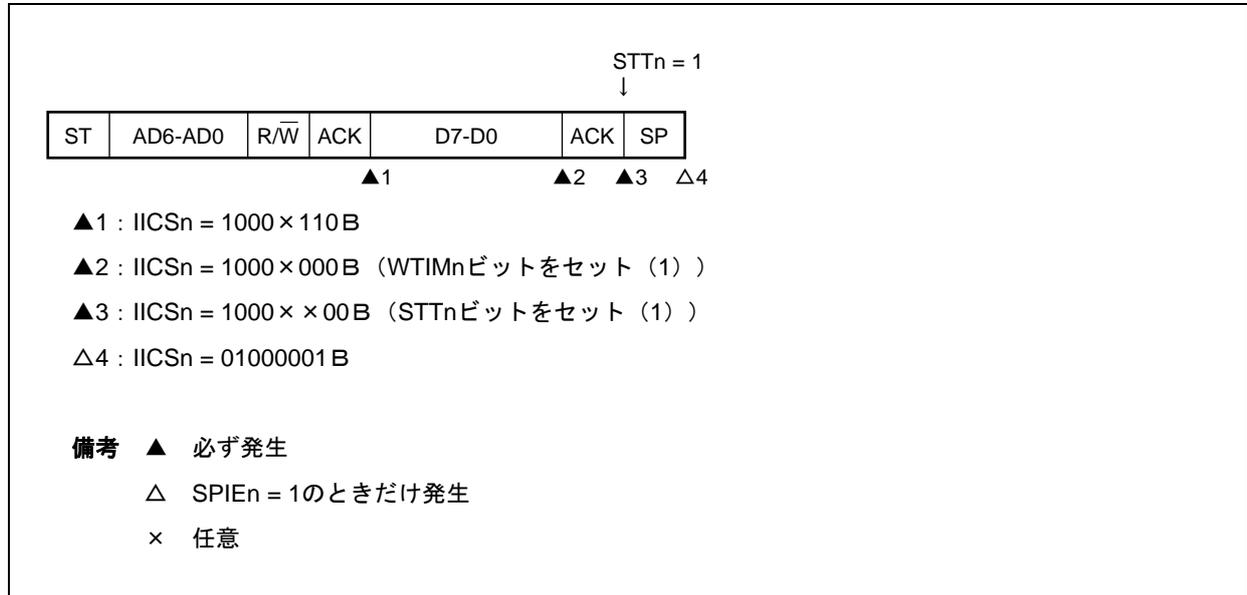
(ii) WTIMn = 1のとき



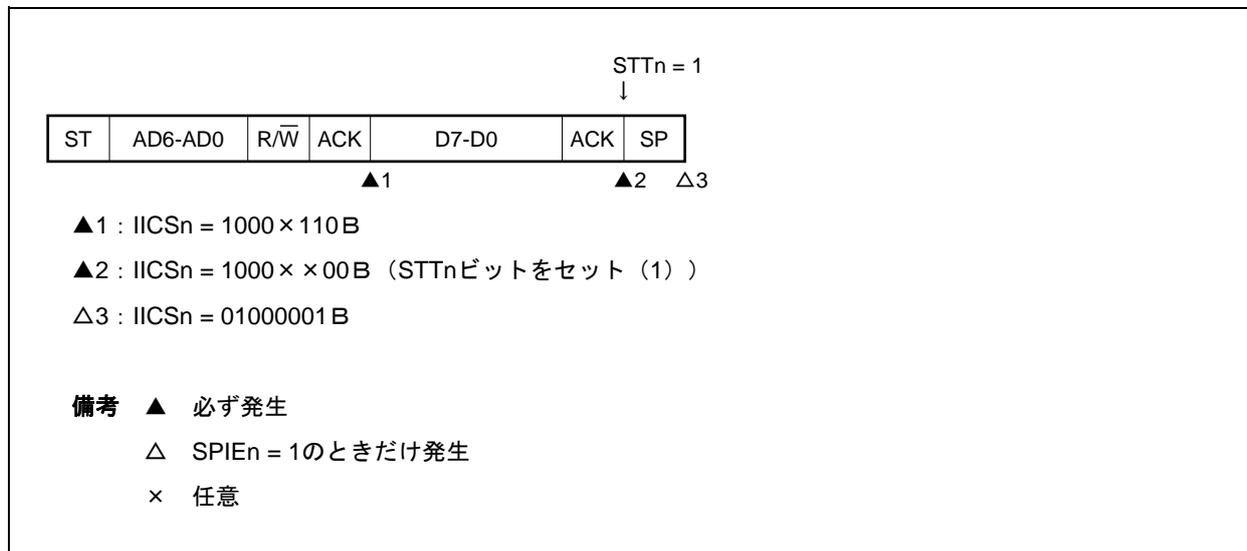
備考 n = 0

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0のとき



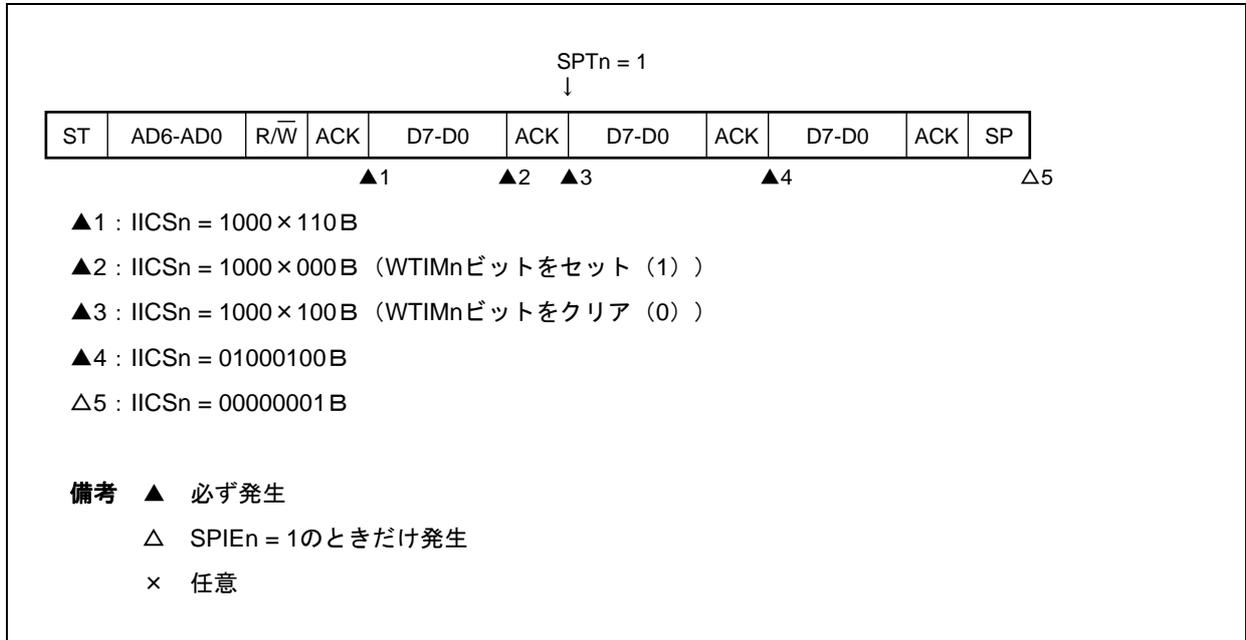
(ii) WTIMn = 1のとき



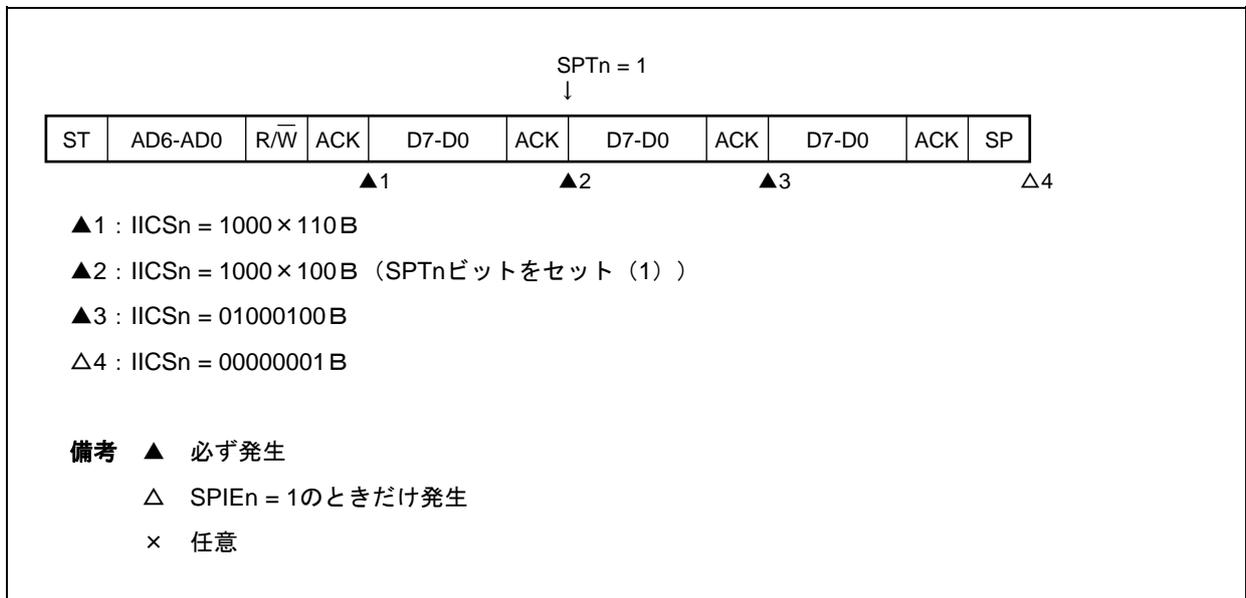
備考 n = 0

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0のとき



(ii) WTIMn = 1のとき



備考 n = 0

21.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCnビット (IICAステータス・レジスタn (IICSn) のビット3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図21-33, 図21-34に示します。

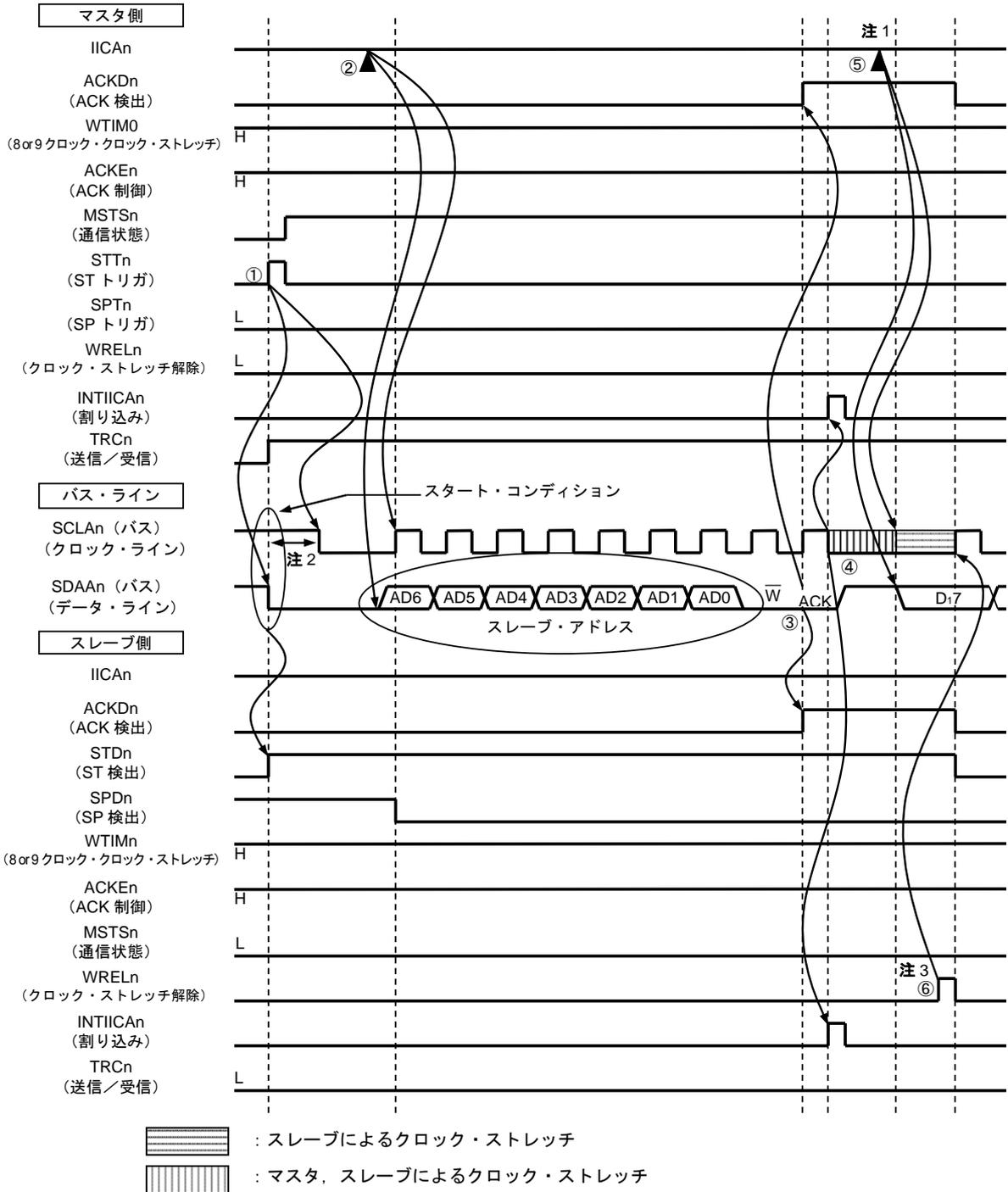
シリアル・クロック (SCLAn) の立ち下がりに同期してIICAシフト・レジスタn (IICAn) のシフト動作が行われ、送信データがSOラッチに転送され、SDAAn端子からMSBファーストで出力されます。

また、SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

備考 n = 0

図21-33 マスタ→スレーブ通信例 (マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択) (1/4)

(1) スタート・コンディション～アドレス～データ



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
- 3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図21-33 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTSn = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$) にアドレス+W (送信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス ($SVAn$ の値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出 ($ACKDn = 1$) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 ($WRELn = 1$) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません ($NACK$: $SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図21-33の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図21-33 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図21-33 (2) アドレス～データ～データでは手順③～⑩

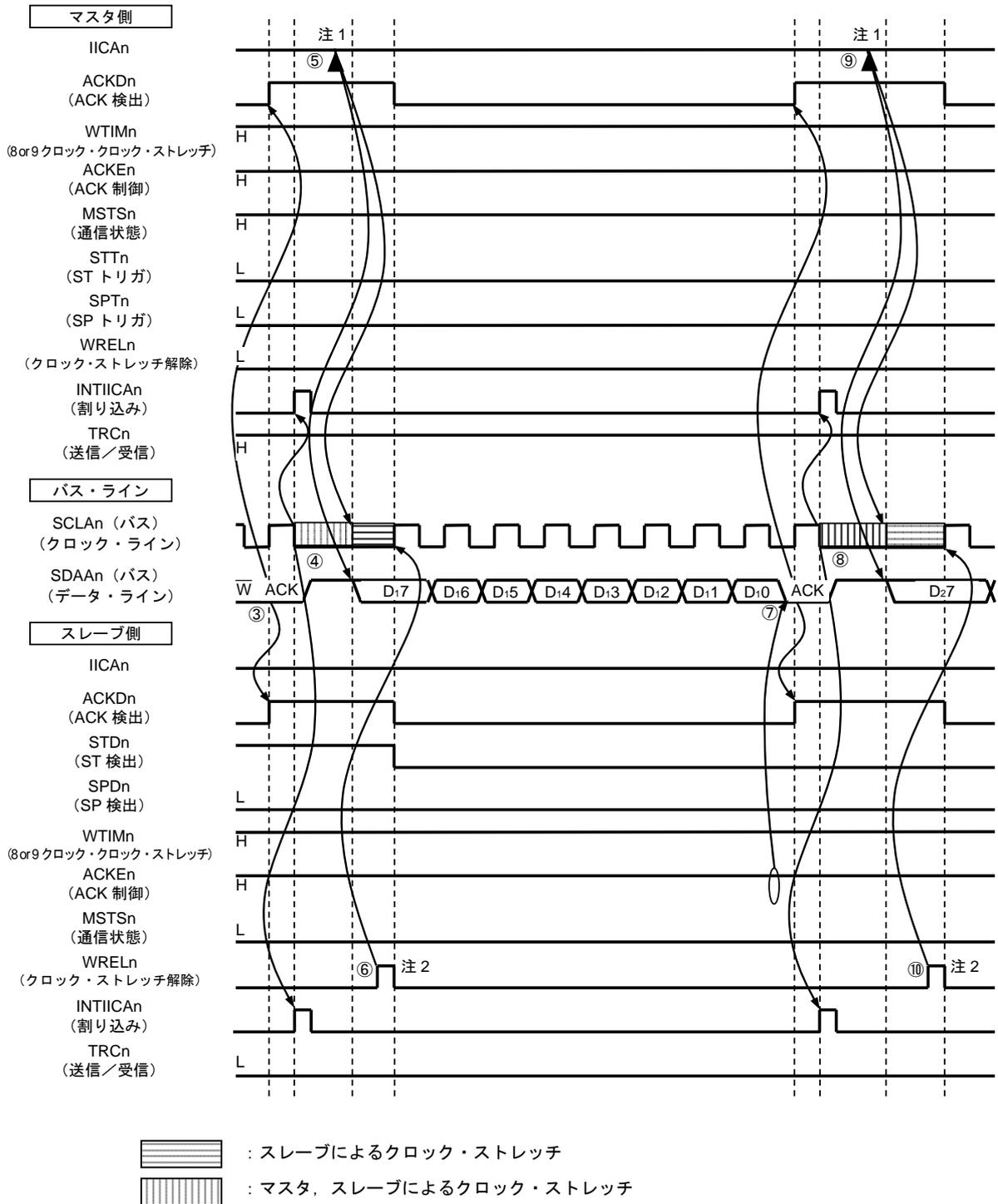
図21-33 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2. $n = 0$

図21-33 マスタ→スレーブ通信例 (マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択) (2/4)

(2) アドレス～データ～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図21-33 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス (SVAnの値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み (INTIICAn: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側がIICAシフト・レジスタn (IICAn) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑨ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDAAn = 1)。また、スレーブ側のINTIICAn割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK、NACKの両方に対して、INTIICAn割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図21-33の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図21-33 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図21-33 (2) アドレス～データ～データでは手順③～⑩

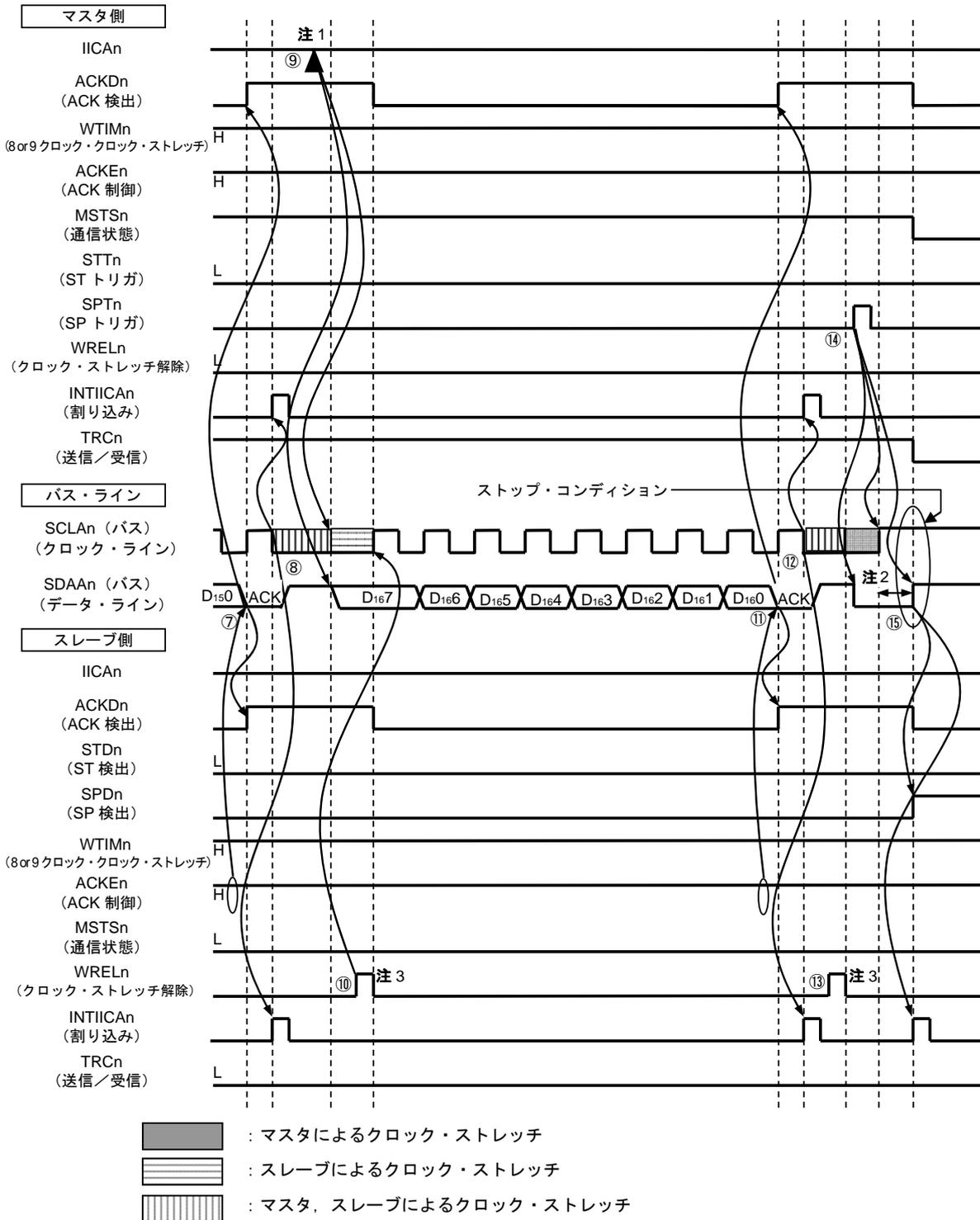
図21-33 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2. n = 0

図21-33 マスタ→スレーブ通信例 (マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択) (3/4)

(3) データ～データ～ストップ・コンディション



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がったからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図21-33 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑨ マスタ側がIICAシフト・レジスタn (IICAn) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側 (ACKEn = 1) のハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑫ 9クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、バス・クロック・ラインがセット (SCLAn = 1) され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット (SDAAn = 1) されることでストップ・コンディション (SCLAn = 1でSDAAn = 0→1) が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み (INTIICAn: ストップ・コンディション割り込み) が発生します。

備考 1. 図21-33の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図21-33 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図21-33 (2) アドレス～データ～データでは手順③～⑩

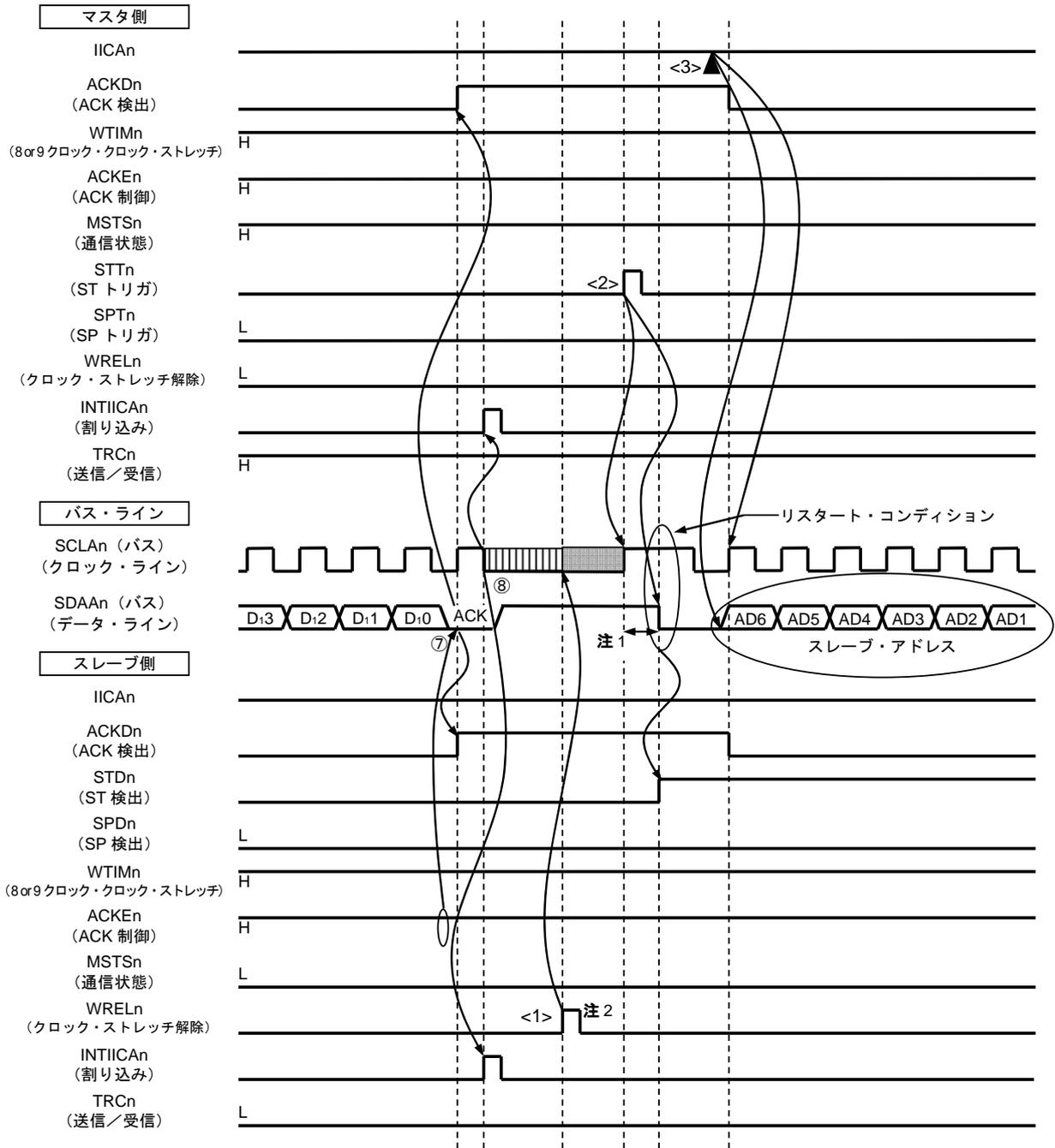
図21-33 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2. n = 0

図21-33 マスタ→スレーブ通信例 (マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択) (4/4)

(4) データ～リスタート・コンディション～アドレス



- : マスタによるクロック・ストレッチ
 - : スレーブによるクロック・ストレッチ
 - : マスタ, スレーブによるクロック・ストレッチ
- 注1.** リスタート・コンディションの発行後, SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は, 標準モード設定時は4.7 μs以上, ファースト・モード設定時は0.6 μs以上です。
- 2.** スレーブ側での受信時のクロック・ストレッチ解除は, IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

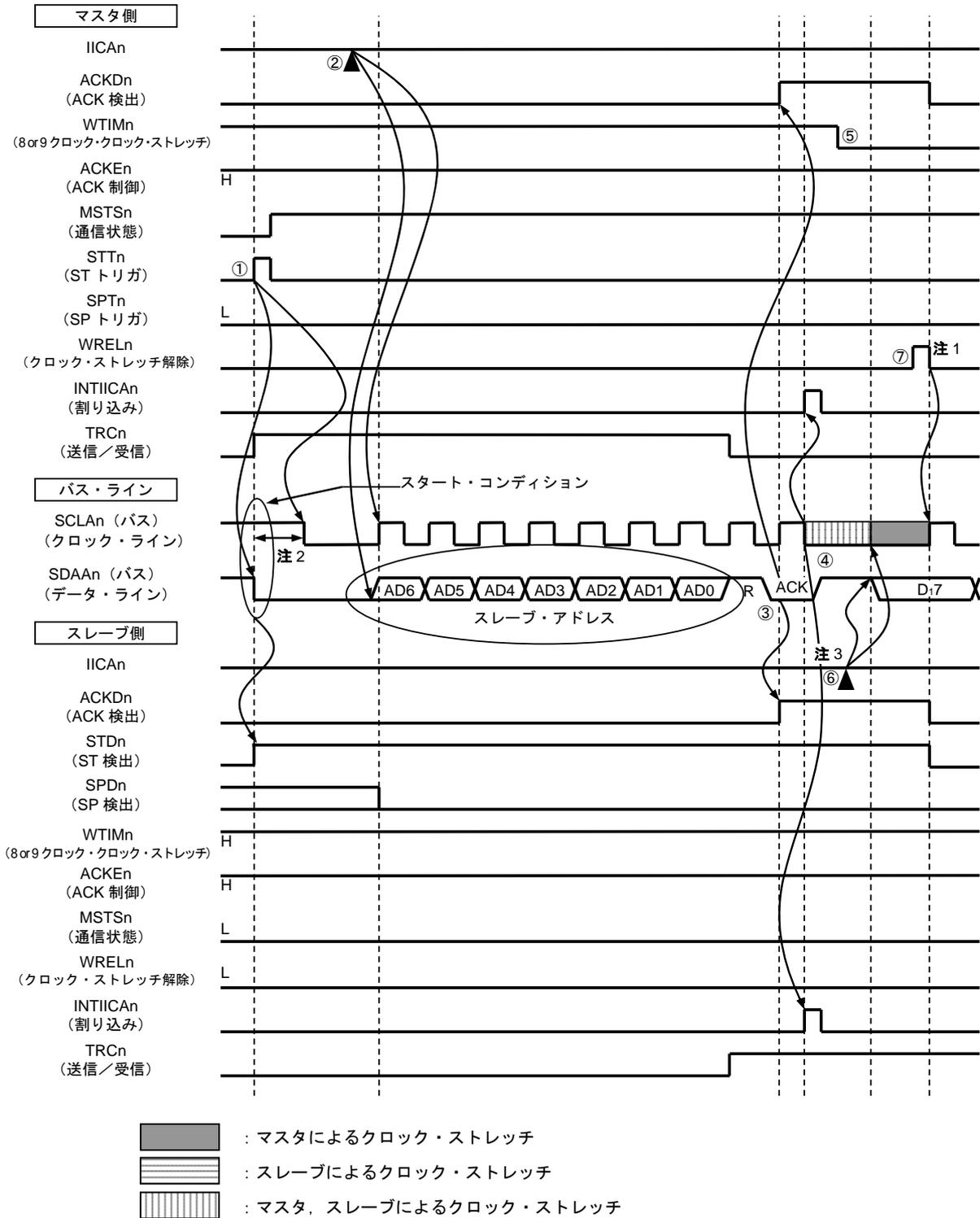
図21-33 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦, ⑧の動作後, <1>～<3>の動作を行います。それにより, 手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後, スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がり, マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり, マスタ側, スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
 - <1> スレーブ側が受信データを読み出して, クロック・ストレッチを解除 (WRELn = 1) します。
 - <2> マスタ側で再度スタート・コンディション・トリガがセット (STTn = 1) されると, バス・クロック・ラインが立ち上がり (SCLAn = 1), リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDAAn = 0) が立ち下がり, スタート・コンディション (SCLAn = 1でSDAAn = 1→0) が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり (SCLAn = 0), 通信準備が完了となります。
 - <3> マスタ側がIICAシフト・レジスタn (IICAn) にアドレス+R/W (送信) を書き込むと, スレーブ・アドレスが送信されます。

備考 n = 0

図21-34 スレーブ→マスタ通信例 (マスタ:8クロック, スレーブ:9クロックでクロック・ストレッチ選択) (1/3)

(1) スタート・コンディション～アドレス～データ



備考 n = 0

図21-34 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTS_n = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$) にアドレス+R (受信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA_n の値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 ($ACKDn = 1$) されません。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に ($WTIMn = 0$) に変更します。
- ⑥ スレーブ側がIICAnレジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 ($WRELn = 1$) して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが ($NACK$: $SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK、NACKの両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図21-34の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図21-34 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図21-34 (2) アドレス～データ～データでは手順③～⑫

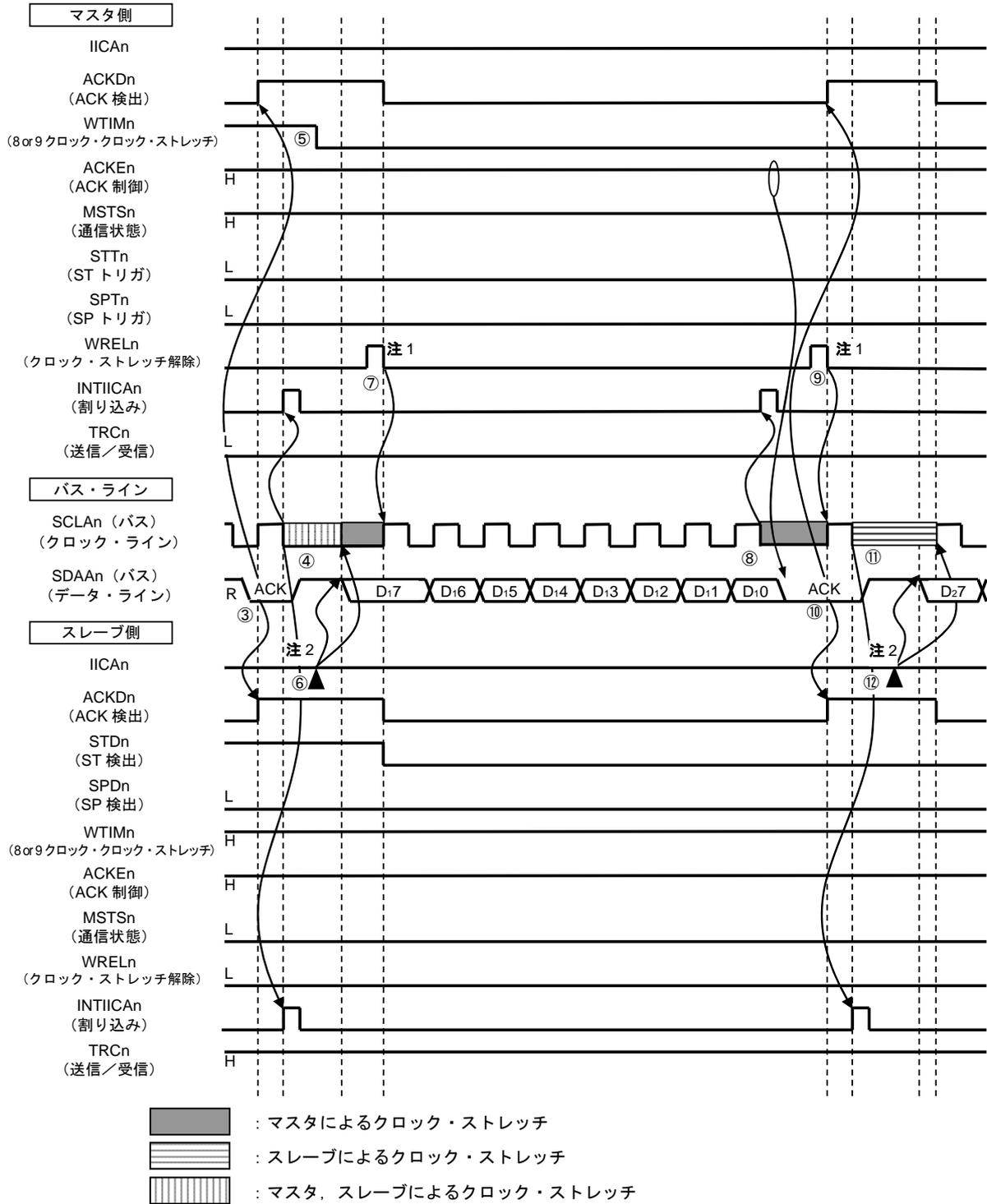
図21-34 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

2. $n = 0$

図21-34 スレーブ→マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでクロック・ストレッチ選択) (2/3)

(2) アドレス～データ～データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図21-34 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレス自局のアドレス (SVAnの値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ④ 9クロック目の立ち下がり時、マスタ側の割り込み (INTIICAn: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目に (WTIMn = 0) に変更します。
- ⑥ スレーブ側がIICAnシフト・レジスタn (IICAn) に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 (WRELn = 1) して、スレーブからのデータ転送を開始します。
- ⑧ 8クロック目の立ち下がり時、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn: 転送完了割り込み) が発生し、マスタ側ACKEn = 1なのでハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKDn = 1) されます。
- ⑪ 9クロック目の立ち下がり時、スレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑫ スレーブ側がIICAnレジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDAAn = 1)。また、スレーブ側のINTIICAn割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側はACK、NACKの両方に対して、INTIICAn割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図21-34の①～⑫は、I²Cバスによるデータ通信の一連の操作手順です。

図21-34 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図21-34 (2) アドレス～データ～データでは手順③～⑫

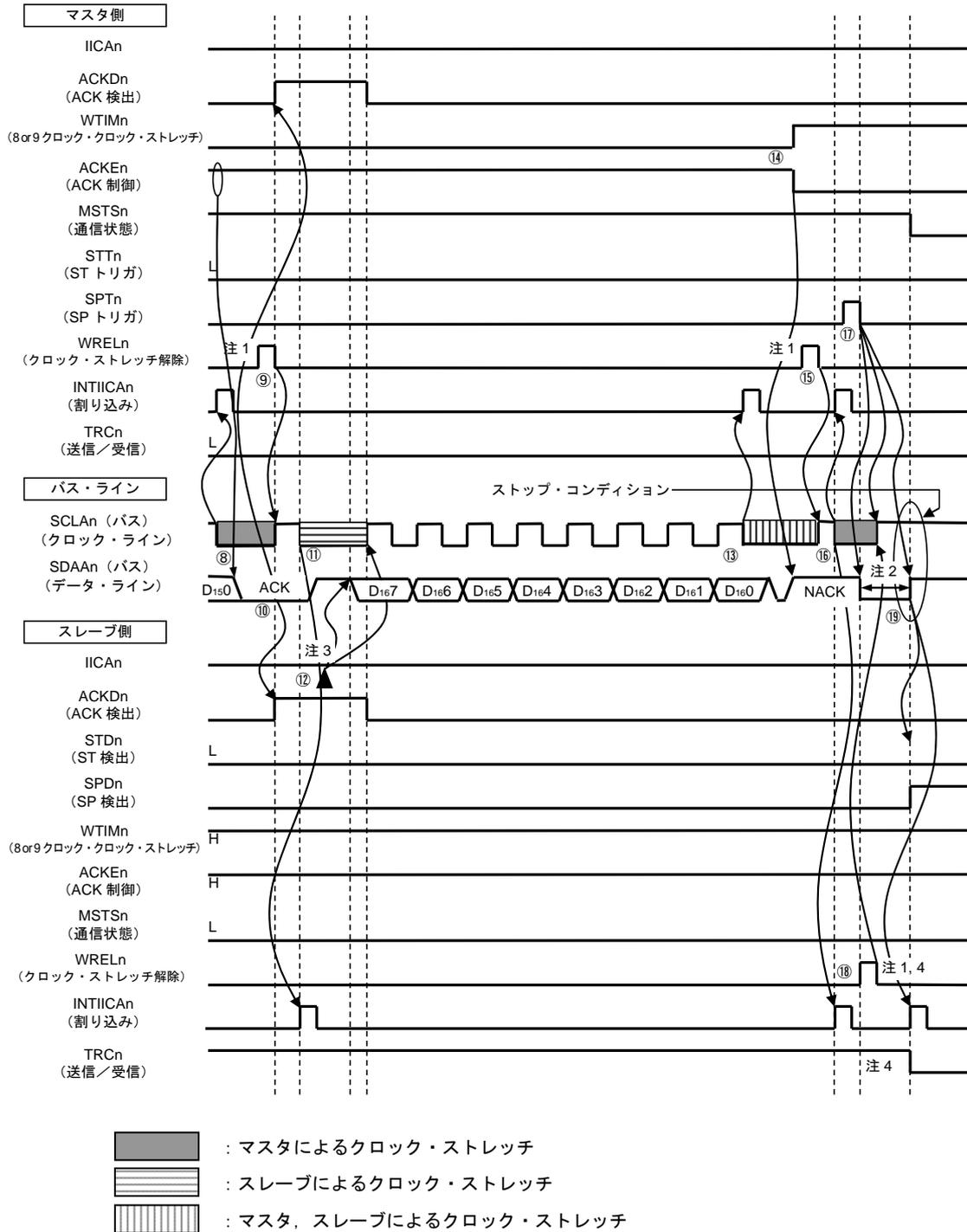
図21-34 (3) データ～データ～ストップ・コンディションでは手順⑧～⑫

について説明しています。

2. n = 0

図21-34 スレーブ→マスタ通信例 (マスタ : 8→9クロック, スレーブ : 9クロックでクロック・ストレッチ選択) (3/3)

(3) データ～データ～ストップ・コンディション



- 注1. クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 4. スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnビットはクリアされます。

備考 n = 0

図21-34 (3) データ～データ～ストップ・コンディションの⑧～⑱の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ ($SCLAn = 0$) がかかり、マスタ側の割り込み (INTIICAn: 転送完了割り込み) が発生し、マスタ側は $ACKEn = 0$ なので、ハードウェアにより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 ($WRELn = 1$) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側で ACK が検出 ($ACKDn = 1$) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ ($SCLAn = 0$) がかかり、スレーブ側は割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑫ スレーブ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn: 転送完了割り込み) が発生し、マスタ側によるクロック・ストレッチ ($SCLAn = 0$) がかかります。ACK制御 ($ACKEn = 1$) されているので、この段階でのバス・データ・ラインはロウ・レベル ($SDAAn = 0$) となります。
- ⑭ マスタ側は NACK 応答に設定 ($ACKEn = 0$) し、クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ ($WTIMn = 1$) に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除 ($WRELn = 1$) すると、スレーブ側は9クロック目の立ち上がりで NACK を検出 ($ACKDn = 0$) します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ ($SCLAn = 0$) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑰ マスタ側でストップ・コンディション発行 ($SPTn = 1$) すると、バス・データ・ラインがクリア ($SDAAn = 0$) され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット ($SCLAn = 1$) されるまで待機します。
- ⑱ スレーブ側は NACK を確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除 ($WRELn = 1$) します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット ($SCLAn = 1$) されます。
- ⑲ マスタ側はバス・クロック・ラインがセット ($SCLAn = 1$) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット ($SDAAn = 1$) してストップ・コンディション ($SCLAn = 1$ で $SDAAn = 0 \rightarrow 1$) を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICAn: ストップ・コンディション割り込み) が発生します。

備考 1. 図21-34の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図21-34 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図21-34 (2) アドレス～データ～データでは手順③～⑫

図21-34 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

2. $n = 0$

第22章 シリアル・インタフェースUARTMG

22.1 概要

シリアル・インタフェース (UARTMG n , $n = 0, 1$) には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

(2) UARTモード

連続送信機能対応のUARTモードです。機能の概要を次に示します。

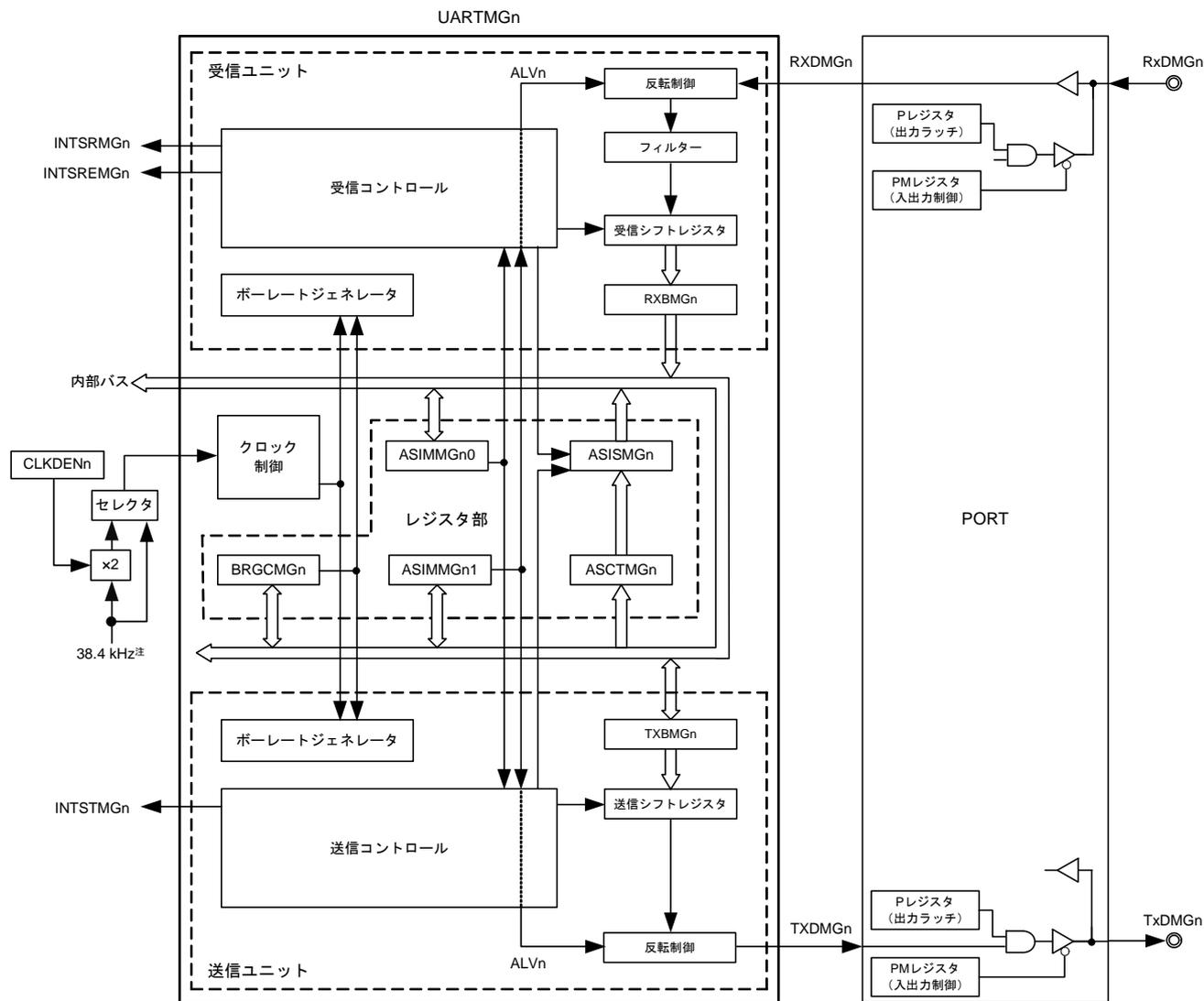
UARTMG n は非同期通信です。以下に機能概要を示します。

- 最大転送速度：9600bps (クロックダブラ使用時最大19200bps)
- 送受信は2端子構成
 - TxDMG n ：送信データ出力端子
 - RxDMG n ：受信データ入力端子
- 転送データのキャラクタ長は、5ビット/7ビット/8ビット可変
- 専用の8ビット・ポー・レート・ジェネレータ内蔵で任意のポー・レートの設定が可能
- 送信動作と受信動作は独立して動作可能 (全二重動作)
- MSB/LSBファースト転送選択可能
- 通信論理レベル反転制御が可能

備考 n ：チャンネル番号 ($n = 0, 1$)

図22-1に UARTMGnのブロック図を、表22-1に UARTMGnの端子構成を示します。

図22-1 UARTMGnのブロック図



注 必ずサブシステム・クロックを選択 (WUTMMCK0ビット = 0)してください。

備考 n : チャネル番号 (n = 0, 1)

表22-1 UARTMGnの端子構成 (n = 0, 1)

端子名	入出力	機能
RxDMGn	入力	シリアル・データ入力信号
TxDMGn	出力	シリアル・データ出力信号

22.2 レジスタの説明

表22-2に UARTMGnで使用するレジスタ一覧を示します。

表22-2 レジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセス・サイズ
周辺イネーブル・レジスタ2	PER2	00H	F00FCH	8
周辺リセット制御レジスタ2	PRR2	00H	F00FDH	8
クロックダブラ制御レジスタ	CLKDCTL	00H	F0076H	8
送信バッファレジスタn	TXBMGn	FFH	F0210H, F0218H	8
受信バッファレジスタn	RXBMGn	FFH	F0211H, F0219H	8
動作モード設定レジスタn0	ASIMMGn0	01H	F0212H, F021AH	8
動作モード設定レジスタn1	ASIMMGn1	1AH	F0213H, F021BH	8
ポー・レート・ジェネレータ・コントロール・レジスタn	BRGCMGn	FFH	F0214H, F021CH	8
ステータス・レジスタn	ASISMGn	00H	F0215H, F021DH	8
ステータス・クリア・トリガ・レジスタn	ASCTMGn	00H	F0216H, F021EH	8

備考1. UARTMGnでは上記のレジスタのほか、次のレジスタを使用します。

- ポート・モード・レジスタ0, 5 (PM0, PM5) (第4章 ポート機能参照)
 - ポート・レジスタ0, 5 (P0, P5) (第4章 ポート機能参照)
2. n : チャネル番号 (n = 0, 1)

22.2.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアのクロック供給／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースUARTMG0を使用するときは、必ずビット4 (UARTMG0EN) を1に設定してください。

シリアル・インタフェースUARTMG1を使用するときは、必ずビット5 (UARTMG1EN) を1に設定してください。

PER2レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。リセット信号の発生により、00H になります。

図22-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	OSDCEN	UARTMG1EN	UARTMG0EN	0	MACEN	0	VRTCEN

UARTMGnEN	シリアル・インタフェースUARTMGnの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースUARTMGnで使用するSFRへのライト不可、 リードした場合は00Hが読めます。ただし、初期化はされていません。 ^{注1, 2}
1	入カクロック供給 ・シリアル・インタフェースUARTMGnで使用するSFRへのリード／ライト可

注1. シリアル・インタフェースUARTMG0およびシリアル・インタフェースUARTMG0で使用するSFRを初期化する場合、PRR2のビット4 (UARTMG0RES) を使用してください。

2. シリアル・インタフェースUARTMG1およびシリアル・インタフェースUARTMG1で使用するSFRを初期化する場合、PRR2のビット5 (UARTMG1RES) を使用してください。

注意1. シリアル・インタフェースUARTMGnの設定をする際には、必ず最初にUARTMGnEN = 1 の状態で、下記のレジスタの設定を行ってください。UARTMGnEN = 0 の場合は、シリアル・インタフェースUARTMGnの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります (ポート・モード・レジスタ0, 5 (PM0, PM5), ポート・レジスタ0, 5 (P0, P5) は除く)。

- ・ クロックダブラ制御レジスタ (CLKDCTL)
- ・ 送信バッファレジスタn (TXBMGn)
- ・ 受信バッファレジスタn (RXBMGn)
- ・ 動作モード設定レジスタn0 (ASIMMGn0)
- ・ 動作モード設定レジスタn1 (ASIMMGn1)
- ・ ポー・レート・ジェネレータ・コントロール・レジスタn (BRGCMGn)
- ・ ステータス・レジスタn (ASISMGn)
- ・ ステータス・クリア・トリガ・レジスタn (ASCTMGn)

2. ビット1, 3には必ず“0”を設定してください。

備考 n : チャネル番号 (n = 0, 1)

22.2.2 周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・インタフェースUARTMG0 をリセットする場合は、必ずビット4 (UARTMG0RES) を1 に設定してください。

シリアル・インタフェースUARTMG1 をリセットする場合は、必ずビット5 (UARTMG1RES) を1 に設定してください。

PRR2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR2レジスタは00Hになります。

図22-3 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	OSDCRES	UARTMG1RES	UARTMG0RES	0	MACRES	0	0

UARTMGnRES	シリアル・インタフェースUARTMGn のリセット制御
0	シリアル・インタフェースUARTMGnのリセット解除
1	シリアル・インタフェースUARTMGnはリセット状態

備考 n : チャネル番号 (n = 0, 1)

22.2.3 クロックダブラ制御レジスタ (CLKDCTL)

シリアル・インタフェースUARTMGnの動作クロックの倍速クロックを設定するレジスタです。

CLKDCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-4 クロックダブラ制御レジスタ (CLKDCTL) のフォーマット

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CLKDCTL	0	0	0	0	0	0	CLKDEN1	CLKDEN0

CLKDENn	シリアル・インタフェースUARTMGnの動作クロック選択
0	f_{SX}
1	$f_{SX} \times 2$

- 注意1.** CLKDENnが1の場合にクロックダブラは動作開始します。
- 2.** UARTMGn動作中にCLKDENnビットの操作を禁止します。必ずUARTMGn通信開始前にCLKDENnビットに1を設定してください。

備考 n : チャネル番号 (n = 0, 1)

22.2.4 送信バッファレジスタ (TXBMGn) (n = 0, 1)

TXBMGnは8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

図22-5 送信バッファレジスタ (TXBMGn) のフォーマット

アドレス : F0210H (TXBMG0), F0218H (TXBMG1) リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
TXBMGn	—	—	—	—	—	—	—	—

ビット7~0	機能
—	<p>送信データを設定するバッファレジスタです。</p> <p>TXBMGnへ送信データを書き込むことにより、送信動作が開始されます。</p> <p>キャラクタ長を8ビット指定した場合 :</p> <ul style="list-style-type: none"> 送信データはTXBMGnのビット7~0が転送されます。 <p>キャラクタ長を7ビット指定した場合 :</p> <ul style="list-style-type: none"> MSB/LSBファーストどちらの設定でも送信データはTXBMGnのビット6~0が転送され、ビット7は無効になります。 <p>キャラクタ長を5ビット指定した場合 :</p> <ul style="list-style-type: none"> MSB/LSBファーストどちらの設定でも送信データはTXBMGnのビット4~0が転送され、ビット7~5は無効になります。

注意1. ASISMGnレジスタのTXBFMGn = 1のとき、TXBMGnへの書き込みは禁止です。

- TXEMGn = 1に設定したあと、基本クロック (fsx) の1クロック以上待ってから、TXBMGnに最初の送信データを設定してください。基本クロック1クロック経過前にTXBMGnに最初の送信データを設定した場合でも、正常に送信データの設定は行われますが、送信動作の開始が遅れます。

備考 送信シフト・レジスタ

TXBMGnから転送されたデータをシリアル・データとしてTXDMGn端子から送信します。TXBMGnからのデータ転送は、最初の送信時ではTXBMGnの書き込み直後、連続送信時では1フレーム送信後の送信完了割り込み発生直前のタイミングで転送されます。

送信シフト・レジスタはプログラムで直接操作できません。

22.2.5 受信バッファレジスタ (RXBMGn) (n = 0, 1)

RXBMGnは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

図22-6 受信バッファレジスタ (RXBMGn) のフォーマット

アドレス : F0211H (RXBMG0), F0219H (RXBMG1) リセット時 : FFH R

略号	7	6	5	4	3	2	1	0
RXBMGn	—	—	—	—	—	—	—	—

ビット7~0	機能
—	受信シフト・レジスタで変換したパラレルデータを格納するためのレジスタです。データを1バイト受信するごとに受信シフト・レジスタから新たな受信データが転送されます。 キャラクタ長を8ビット指定した場合 : ・ 受信データは本レジスタのビット7~0に転送されます。 キャラクタ長を7ビット指定した場合 : ・ MSB/LSBファーストどちらの設定でも受信データは本レジスタのビット6~0に転送され、ビット7は必ず0になります。 キャラクタ長を5ビット指定した場合 : ・ MSB/LSBファーストどちらの設定でも受信データは本レジスタのビット4~0に転送され、ビット7~5は必ず0になります。

注 RXDMGn端子に入力されたシリアル・データをパラレルデータに変換するレジスタです。受信シフト・レジスタはプログラムで直接操作できません。

注意 オーバーランエラー (OVEMGn) が発生した場合は、その時の受信データはRXBMGnには格納されません。

22.2.6 動作モード設定レジスタ0 (ASIMMGn0) (n = 0, 1)

シリアル・インタフェースUARTMGnのシリアル通信動作を制御する8ビット・レジスタです。

ASIMMGn0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01HIになります。

図22-7 動作モード設定レジスタ0 (ASIMMGn0) のフォーマット

アドレス : F0212H (ASIMMG00), F021AH (ASIMMG10) リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
ASIMMGn0	POWERMGn	TXEMGn	RXEMGn	—	—	—	ISSMMGn	ISRMMGn

POWERMGn 注1	UART動作許可
0	UART動作クロック動作禁止 (ロウ・レベル固定) 内部回路を非同期リセット注2
1	UART動作クロック動作許可

TXEMGn	送信許可
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXEMGn	受信許可
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

ISSMMGn	送信割り込みモード選択
0	送信転送完了時、INTSTMgn割り込みを発生
1	送信バッファ空き時にINTSTMgn割り込みを発生 (連続送信用)

ISRMMGn	受信割り込みモード選択
0	受信エラー発生時、INTSRMGn割り込みを発生 (INTSRMGnは発生しない)
1	受信エラー発生時、INTSRMGn 割り込みを発生 (INTSRMGnは発生しない)

注1. POWERMGn = 0にすると、ALVnビットの値によって TXDMGn端子の出力レベル、RXDMGn端子からの入力レベルは、次のようになります。

- ALVn = 0時は、TXDMGn端子の出力はハイ・レベルとなり、RXDMGn端子からの入力はハイ・レベルに固定されます。
- ALVn = 1時は、TXDMGn端子の出力はロウ・レベルとなり、RXDMGn端子からの入力はロウ・レベルに固定されます。

2. POWERMGn = 0でリセットされるレジスタはASISMGnレジスタ、RXBMGnレジスタです。

(注意は次ページにあります。)

- 注意1. 送信開始するときはPOWERMGn = 1にしてから、TXEMGn = 1としてください。送信停止するときはTXEMGn = 0にしてからPOWERMGn = 0にしてください。
2. 受信開始するときはPOWERMGn = 1にしてから、RXEMGn = 1としてください。受信停止するときはRXEMGn = 0にしてからPOWERMGn = 0にしてください。
3. POWERMGn = 1→RXEMGn = 1を設定する場合、次のようにしてください。
 - ALVn = 0時は、RXDMGn端子にHレベルが入力された状態で実施してください。Lレベル状態でPOWERMGn = 1→RXEMGn = 1と設定すると、その時点より受信が開始します。
 - ALVn = 1時は、RXDMGn端子にLレベルが入力された状態で実施してください。Hレベル状態でPOWERMGn = 1→RXEMGn = 1と設定すると、その時点より受信が開始します。
4. TXEMGnとRXEMGnは、サブ・クロック (fsx) により同期化されています。再度送信動作、または受信動作を許可する場合はTXEMGn = 0またはRXEMGn = 0に設定してからサブ・クロックの2クロック以降にTXEMGn = 1またはRXEMGn = 1を設定してください。サブ・クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXEMGn = 1に設定後、サブ・クロック (fsx) 1クロック以上まってから、TXBMGnに送信データを設定してください。
6. ISRMMGnビットを書き換えるときは、RXEMGn = 0にしてから行ってください。
7. ビット2, 3, 4には必ず0を設定してください。

22.2.7 動作モード設定レジスタ1 (ASIMMGn1) (n = 0, 1)

シリアル・インタフェースUARTMGnのシリアル通信動作を制御する8ビット・レジスタです。

ASIMMGn1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ASIMMGn1はTXEMGn = 0かつRXEMGn = 0の状態書き換えてください。

リセット信号の発生により、1AHになります。

図22-8 動作モード設定レジスタ1 (ASIMMGn1) のフォーマット

アドレス : F0213H (ASIMMG01), F021BH (ASIMMG11) リセット時 : 1AH R/W

略号	7	6	5	4	3	2	1	0
ASIMMGn1	—	PSn1	PSn0	CLn1	CLn0	SLn	DIRn	ALVn

PSn1 ^{注1}	PSn0 ^{注1}	送受信パリティビット指定1, 送受信パリティビット指定0	
		送信動作	受信動作
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 ^{注4}
1	0	奇数パリティを出力	奇数パリティとして判定
1	1	偶数パリティを出力	偶数パリティとして判定

CLn1 ^{注3}	CLn0 ^{注3}	送受信キャラクタ長指定1, 送受信キャラクタ長指定0
		データキャラクタ長
0	0	データのキャラクタ長 = 5ビット
0	1	データのキャラクタ長 = 5ビット
1	0	データのキャラクタ長 = 7ビット
1	1	データのキャラクタ長 = 8ビット

SLn ^{注2}	送信ストップビット長指定
0	ストップビット長 = 1ビット
1	ストップビット長 = 2ビット

DIRn ^{注1}	送受信転送順序指定
0	MSBファースト転送
1	LSBファースト転送

ALVn ^{注1}	送受信レベル指定 ^{注5}
0	正論理 (待機時 = ハイ・レベル, スタートビット = ロウ・レベル, ストップビット = ハイ・レベル)
1	負論理 (待機時 = ロウ・レベル, スタートビット = ハイ・レベル, ストップビット = ロウ・レベル)

(注, 注意は次ページにあります。)

- 注1. ALVnビット, DIRnビットおよびPSn0,PSn1ビットはTXEMGn = 0, RXEMGn = 0時 (送受信動作停止時) に書き換えてください。
2. SLnビットはTXEMGn = 0時 (送信動作停止時) に書き換えてください。
3. CLn0ビット / CLn1ビットはTXEMGn = 0, RXEMGn = 0 (送受信動作停止時) に書き換えてください。TXEMGn = 1またはRXEMGn = 1の時に書き換えた場合, 通信データのキャラクタ長は保証できません。
4. 「0パリティとして受信」を設定した場合, パリティ判定を行いません。したがって, PEMGn (ASISMGnレジスタ) はセットされないため, エラー割り込みも発生しません。
5. レベルの反転制御は, 図22-1 UARTMGnのブロック図の「反転制御」の部分で行います。

- 注意1. ASIMMGn1レジスタを書き換えるときは, TXEMGnとRXEMGnを両方ともクリア (0) してから行ってください。
2. 受信は常にストップビット長 = 1として動作するのでSLnビットの設定値の影響は受けません。
 3. ビット7には必ず0を設定してください。

22.2.8 ポー・レート・ジェネレータコントロールレジスタ (BRGCMGn)(n = 0, 1)

シリアル・インタフェースUARTMGnの8ビット・カウンタの分周値を設定するレジスタです。

BRGCMGnは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図22-9 ポー・レート・ジェネレータコントロールレジスタ (BRGCMGn) のフォーマット

アドレス : F0214H (BRGCMG0), F021CH (BRGCMG1) リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
BRGCMGn	—	—	—	—	—	—	—	—

ビット7~0	機能
—	UARTのポー・レート（シリアル転送スピード）を制御する。 設定値の詳細は表22-3を参照

注意 BRGCMGnはTXEMGn = 0, RXEMGn = 0時（送受信動作停止時）に書き換えてください。

表22-3 BRGCMGnの設定値

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	k	8bitカウンタ出カクロック選択
0	0	0	0	0	0	0	X	X	設定禁止
0	0	0	0	0	0	1	0	2	fsx/2
0	0	0	0	0	0	1	1	3	fsx/3
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	fsx/252
1	1	1	1	1	1	0	1	253	fsx/253
1	1	1	1	1	1	1	0	254	fsx/254
1	1	1	1	1	1	1	1	255	fsx/255

注意 8ビット・カウンタの出カクロックをさらに1/2分周したものが、ポー・レート値になります。

備考1. k : BRGCMGnで設定した値 (k = 2, 3, 4, 5, 6, ..., 255)

2. X : 任意

ポー・レートの設定例については22.3.4 (3) (c)ポー・レート設定例を参照ください。

22.2.9 ステータス・レジスタ (ASISMGn) (n = 0, 1)

シリアル・インタフェースUARTMGnの受信終了時のエラー・ステータスおよび送信ステータスを示すレジスタです。3ビットのエラー・フラグ (PEMGn, FEMGn, OVEMGn) と2ビットの送信ステータス・フラグ (TXBFMGn, TXSFMGn) で構成されています。

ASISMGnは、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生により、00Hになります。PEMGn, FEMGn, OVEMGnは、POWERMGn = 0またはRXEMGn = 0により、初期値になります。また、ASCTMGnレジスタへの書き込みによって、それぞれ対応するフラグは初期値になります。TXBFMGn, TXSFMGnは POWERMGn = 0またはTXEMGn = 0により、初期値になります。

図22-10 ステータス・レジスタ (ASISMGn) のフォーマット

アドレス : F0215H (ASISMG0), F021DH (ASISMG1) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASISMGn	—	—	TXBFMGn	TXSFMGn	—	PEMGn	FEMGn	OVEMGn

TXBFMGn	送信バッファデータフラグ
—	[1になる条件] ・ TXBMGnにデータを書いたとき (TXBMGnにデータが存在するとき) [0になる条件] ・ POWERMGn = 0またはTXEMGn = 0にしたとき ・ 送信シフト・レジスタにデータを転送したとき

TXSFMGn	送信シフト・レジスタデータフラグ
—	[1になる条件] ・ TXBMGnよりデータが転送されたとき (データ送信中のとき) [0になる条件] ・ POWERMGn = 0またはTXEMGn = 0にしたとき ・ 転送完了後にTXBMGnより次のデータ転送がなかったとき

PEMGn	パリティエラーフラグ
—	[1になる条件] ・ 受信時にデータのパリティとパリティビットが一致しないとき [0になる条件] ・ POWERMGn = 0またはRXEMGn = 0にしたとき ・ PECTMGnビットへ1を書いたとき

FEMGn	フレーミングエラーフラグ
—	[1になる条件] ・ 受信時にストップビットが検出されないとき [0になる条件] ・ POWERMGn = 0またはRXEMGn = 0にしたとき ・ FECTMGnビットへ1を書いたとき

OVEMGn	オーバランエラーフラグ
—	[1になる条件] ・ RXBMGn レジスタにセットされた受信データを読み出す前に次の受信動作が完了したとき [0になる条件] ・ POWERMGn = 0またはRXEMGn = 0にしたとき ・ OVECTMGn ビットへ1を書いたとき

(注意は次ページにあります。)

- 注意1. 連続送信を行う場合は、最初の送信データ（1バイト目）をTXBMGnレジスタに書き込んだあと、必ずTXBFMGnフラグが0であることを確認してから次の送信データ（2バイト目）をTXBMGnレジスタに書き込んでください。TXBFMGnフラグが1のときにTXBMGnレジスタにデータを書き込んだ場合の送信データは保証できません。但し、ISSMMGn = 1に設定し、送信バッファ空き割り込みを使用して連続送信を行う場合は、TXBFMGnフラグの確認は不要です。
2. 連続送信完了時に送信ユニットを初期化（TXEMGn = 0）する場合は、送信完了割り込み発生後に、必ずTXSFMGnフラグが0であることを確認してから初期化を実行してください。TXSFMGnフラグが1のときに初期化を実行した場合の送信データは保証できません。
3. PEMGnビットの発生条件は、ASIMMGn1レジスタのPSn1, PSn0ビットの設定値により異なります。
4. 受信データのストップビットはストップビット長に関係なく最初の1ビットだけをチェックします。
5. オーバランエラーが発生した場合、次の受信データはRXBMGnには書き込まれず、データは破棄されます。
6. ビット7, 6, 3には必ず0を設定してください。

22.2.10 ステータス・クリア・トリガ・レジスタ (ASCTMGn) (n = 0, 1)

シリアル・インタフェースUARTMGnの受信終了時のエラー・ステータスをクリアするトリガを設定するレジスタです。3ビットのエラー・クリア・トリガ・フラグ (PECTMGn, FECTMGn, OVECTMGn) で構成されています。

ASCTMGnは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で書き込みが可能です。

ASISMGnを読み出した場合は、常に全ビット0が読み出されます。

リセット信号の発生により、00Hになります。PECTMGn, FECTMGn, OVECTMGnへ1を書き込むことにより、ASISMGnレジスタのPEMGn, FEMGn, OVEMGnビットがクリアされます。0を書き込んだビットに対応するエラー・フラグはクリアされません。

図22-11 ステータス・クリア・トリガ・レジスタ (ASCTMGn) のフォーマット

アドレス : F0216H (ASCTMG0), F021EH (ASCTMG1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ASCTMGn	—	—	—	—	—	PECTMGn	FECTMGn	OVECTMGn

PECTMGn	パリティエラーフラグクリアトリガ
0	PEMGnフラグをクリアしない (保持)
1	PEMGnフラグをクリア

FECTMGn	フレーミングエラーフラグクリアトリガ
0	FEMGnフラグをクリアしない (保持)
1	FEMGnフラグをクリア

OVECTMGn	オーバランエラーフラグクリアトリガ
0	OVEMGnフラグをクリアしない (保持)
1	OVEMGnフラグをクリア

注意1. ASCTMGnをリードしたときは、0がリードされます。

- エラー・フラグのクリア動作は、トリガ・ビットへ1を書き込み後、次の動作クロック (fsx) の立ち上がりで行われます。したがって、トリガ・ビットへ1を書き込み後すぐにASISMGnレジスタを読み出した場合、対応するエラー・フラグがクリアされていない場合があります。

22.3 動作説明

UARTMGnは、次の2種類のモードがあります。

- 動作停止モード
- UARTモード

22.3.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIMMGn0のビット7, 6, 5 (POWERMGn, TXEMGn, RXEMGn) に0を設定してください。

上記設定ではバス・クロックが停止しません。完全に停止させるためには上記設定後PER2レジスタのUARTMGnENビットに0を設定してください。

備考 n : チャネル番号 (n = 0, 1)

22.3.2 UARTモード

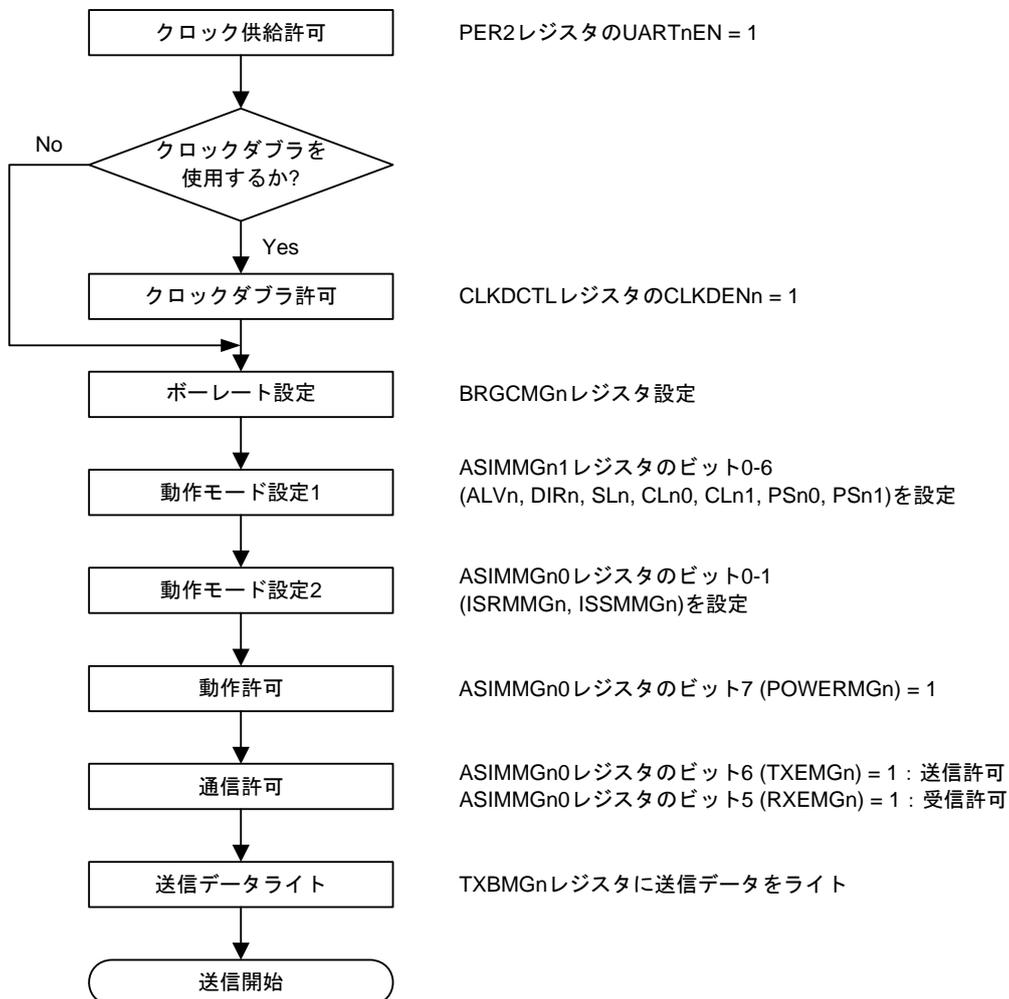
スタートビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 通信手順

図22-12に通信手順フローを示します。

図22-12 通信手順フロー



注意 受信機能を使用する場合はポート・モード・レジスタを入力にしてください。

送信機能を使用する場合はポート・モード・レジスタを出力、ポート・レジスタをHIにしてください。

CLKDCTL設定から実際に倍速クロックが供給されるまでにサブ・クロック (fsx) 1周期分遅れます。

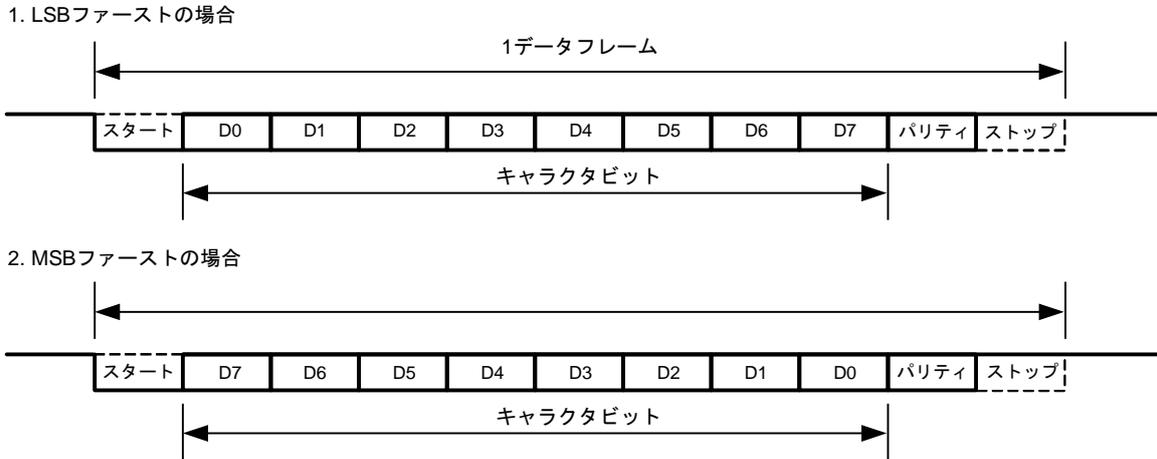
備考 n : チャネル番号 (n = 0, 1)

(2) 送信／受信データフォーマットと波形例

UARTMGnの通信データフォーマットについて以下に説明します。

図22-13にデータフォーマットを示します。

図22-13 送受信データフォーマット



1データフレームは次に示すビットで構成されています。

- スタートビット 1ビット
- キャラクタ長 5ビット／7ビット／8ビット
- パリティビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ストップビット 1ビット／2ビット

1データフレーム内のキャラクタビット長の指定, パリティ選択, ストップビット長の指定, 転送方向 (LSB/MSB) の指定, TXDMGn端子の通常出力／反転出力の指定はASIMMGn1レジスタによって行います。

備考 n : チャネル番号 (n = 0, 1)

図22-14に送受信データの波形例を示します。

図22-14 送受信データの波形例

キャラクタ長：8ビット，LSBファースト，偶数パリティ，ストップビット：1ビット，転送データ55H



キャラクタ長：8ビット，MSBファースト，偶数パリティ，ストップビット：1ビット，転送データ55H



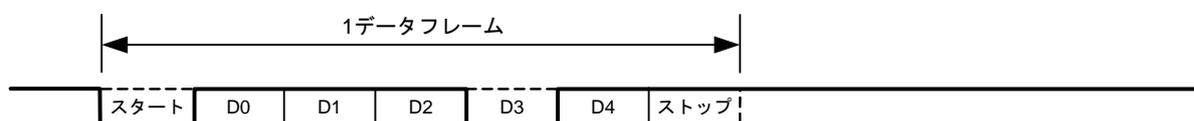
キャラクタ長：8ビット，MSBファースト，偶数パリティ，ストップビット：1ビット，転送データ55H，送受信レベル反転



キャラクタ長：7ビット，LSBファースト，奇数パリティ，ストップビット：2ビット，転送データ36H



キャラクタ長：5ビット，LSBファースト，パリティなし，ストップビット：1ビット，転送データ17H



(3) パリティの種類と動作

パリティビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(a) 偶数パリティ

• 送信時

パリティビットを含めた送信データ中の、値が1のビット数を偶数個にするように制御します。パリティビットの値は次のようになります。

送信データ中に、値が1のビット数が奇数個：1

送信データ中に、値が1のビット数が偶数個：0

• 受信時

パリティビットを含めた受信データ中の、値が1のビット数をカウントし、奇数個であった場合にパリティエラーを発生します。

(b) 奇数パリティ

• 送信時

偶数パリティとは逆に、パリティビットを含めた送信データ中の値に含まれる1のビット数を奇数個になるように制御します。

送信データ中に、値が1のビット数が奇数個：0

送信データ中に、値が1のビット数が偶数個：1

• 受信時

パリティビットを含めた受信データ中の、値が1のビット数をカウントし、偶数個であった場合にパリティエラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティビットを0にします。

受信時にはパリティビットの検出を行いません。したがって、パリティビットが0でも1でもパリティエラーを発生しません。

(d) パリティなし

送信データにパリティビットを付加しません。

受信時にもパリティビットがないものとして受信動作を行います。パリティビットがないため、パリティエラーを発生しません。

(4) 通常送信

動作モードレジスタ0 (ASIMMGn0) のビット7 (POWERMGn) をセット (1) し、次にASIMMGn0のビット6 (TXEMGn) をセット (1) すると送信許可状態になり、送信バッファレジスタ (TXBMGn) に送信データを書き込むことによって送信動作は起動します。スタートビット、パリティビット、ストップビットは自動的に付加されます。

送信動作の開始により、TXBMGn内のデータは送信シフト・レジスタに転送されます。その後、送信データが送信シフト・レジスタより転送方向指定に従って順次、TXDMGn端子に出力されます。送信が完了すると、ASIMMGn0で設定したパリティビット、ストップビットが付加され、送信完了割り込み要求 (INTSTMGn) が発生します。

次に送信するデータをTXBMGnに書き込むまで、送信動作は中断します。

割り込み要求 (INTSTMGn) のタイミングを図22-15に示します。INTSTMGnは以下のタイミングで出力されます。

(a) ISSMMGn = 0 (INTSTMGnは送信完了割り込み) の場合

INTSTMGnは最後のストップビット出力後に出力されます。

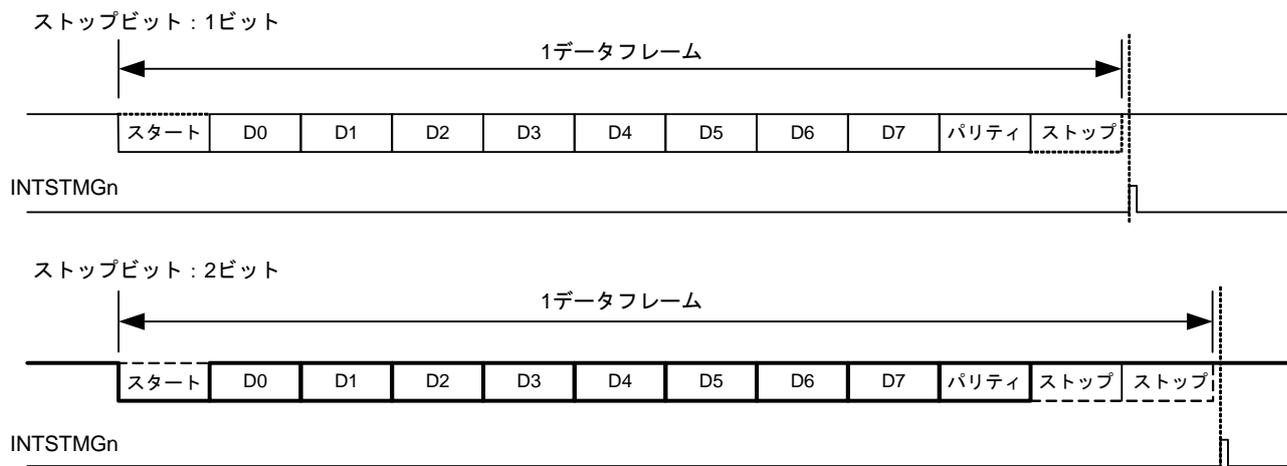
(b) ISSMMGn = 1 (INTSTMGnは送信バッファ空き割り込み) の場合

スタートビット出力時に出力されます。

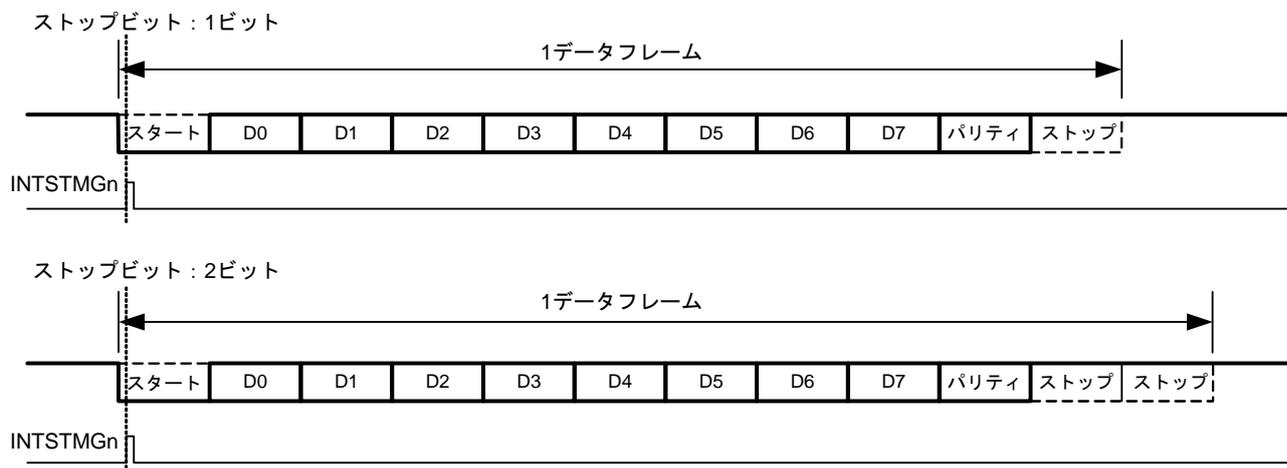
備考 n : チャネル番号 (n = 0, 1)

図22-15 割り込み出力タイミング

(1) ISSMMGn = 0の場合 (送信完了割り込み)



(2) ISSMMGn = 1の場合 (送信バッファ空き割り込み)



備考 n : チャネル番号 (n = 0, 1)

(5) 連続送信

UARTMGnでは連続送信を実現するために送信バッファレジスタ (TXBMGn) と送信シフト・レジスタを分離しています。

送信シフト・レジスタがシフト動作を開始した時点で、次の送信データを送信バッファレジスタ (TXBMGn) へ書き込むことができます。これにより、連続送信することができ、効率的な通信レートを実現できます。

連続送信手順には以下にあげる2つの方法があります。

(a) ポーリングによる連続転送

ステータス・レジスタ (ASISMGn) のビット5 (TXBFMGn) である送信バッファデータフラグとビット4 (TXSFMGn) である送信シフト・レジスタデータフラグのポーリングにより、連続送信を実現する方法です。

また、本方法で実現する場合、動作モード設定レジスタ0 (ASIMMGn0) のビット1 (ISSMMGn) は、0に設定してください。

• 連続送信開始時

連続送信を開始する際に、最初 (1バイト目) のデータをTXBMGnに書き込んだ後、送信バッファデータフラグが、0であることを確認して、次 (2バイト目) のデータをTXBMGnに書き込んでください。

TXBFMGn	連続送信開始時のTXBMGnへの書き込み可否判断用フラグ
0	書き込み可
1	書き込み不可

注意 連続送信開始時は、本フラグのみで判断してください。TXSFMGnフラグと組み合わせで判断しないでください。

TXSFMGnフラグは、「0」→「1」と変化してしまいます。

• 連続送信実行中

連続送信実行中は、送信完了割り込み後に送信シフト・レジスタデータフラグの値を確認することで、以降のTXBMGnへの書き込み処理を判断することが出来ます。

1の場合：連続送信中です。1バイトのデータを書き込むことができます。

0の場合：連続送信が完了しています。2バイトのデータを書き込むことができますが、その際は連続送信開始時の方法に従ってください。

TXSFMGn	連続送信実行中の書き込み処理判断用フラグ
0	2バイトの書き込み、または送信終了処理を許可する
1	1バイトの書き込みを許可する

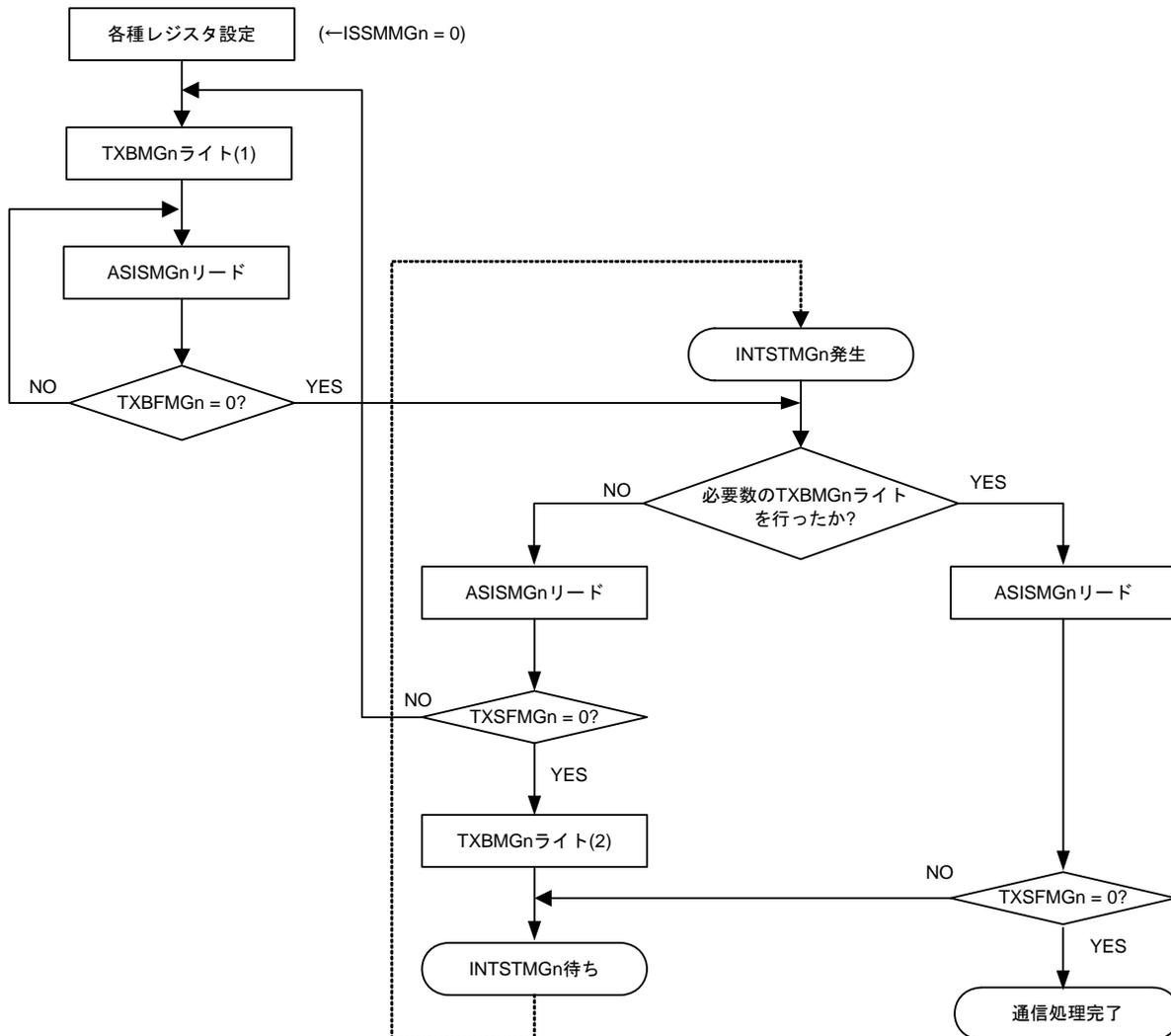
注意1. 連続送信実行中は、送信完了割り込み後に本フラグが0であることを確認して初期化を実行してください。本フラグが1の時に初期化を実行した場合は、送信データの保証ができません。

注意2. 連続送信は、1データフレーム送信後のINTSTMgn割り込み処理を実行する前に次の送信が完了してしまう可能性があります (オーバーラン)。対策としては、送信データ数をカウントできるプログラムを組み込むことと、TXSFMGnフラグを参照することでオーバーランを検出できます。

備考 n : チャネル番号 (n = 0, 1)

図22-16にポーリングによる連続送信処理フロー例を示します。

図22-16 ポーリングによる連続送信処理フロー例



TXBFMGn

- 0 : TXBMGnへの書き込み可
- 1 : TXBMGnへの書き込み不可

TXSFMGn

- 0 : 2バイトの書き込み可または送信終了処理許可
- 1 : 1バイトの書き込みを許可

備考 n : チャネル番号 (n = 0, 1)

(b) 割り込みによる連続転送

割り込み (INTSTMn) を使用して、連続送信を実現する方法です。

動作モード設定レジスタ0 (ASIMMGn0) のビット1 (ISSMMGn) を1に設定することにより、転送完了割り込みから送信バッファ (TXBMGn) レジスタ空き割り込みとすることができます。

これにより、INTSTMn割り込みの発生で、TXBMGnレジスタへデータを書き込むことができ、連続送信が可能となります。

また、連続送信終了時は、最後の送信データをTXBMGnにライトした後に、ISSMMGnビットを0に設定することにより、転送完了割り込みを発生させることが可能です。

なお、送信バッファ (TXBMGn) レジスタ空き割り込みが発生してから、TXBMGnレジスタへデータを書き込みの際に、以下で定義する最大クロック数以内に書き込みが完了していないと連続送信にはなりません。

$$\text{最大クロック数} = \text{転送長} \times 2K - (2K + 3)$$

K : BRGCMGnで設定した値 (k = 2, 3, 4, 5, 6, ..., 255)

以下に最大クロック数の算出例を示します。

BRGCMGnレジスタに02H (K = 2)

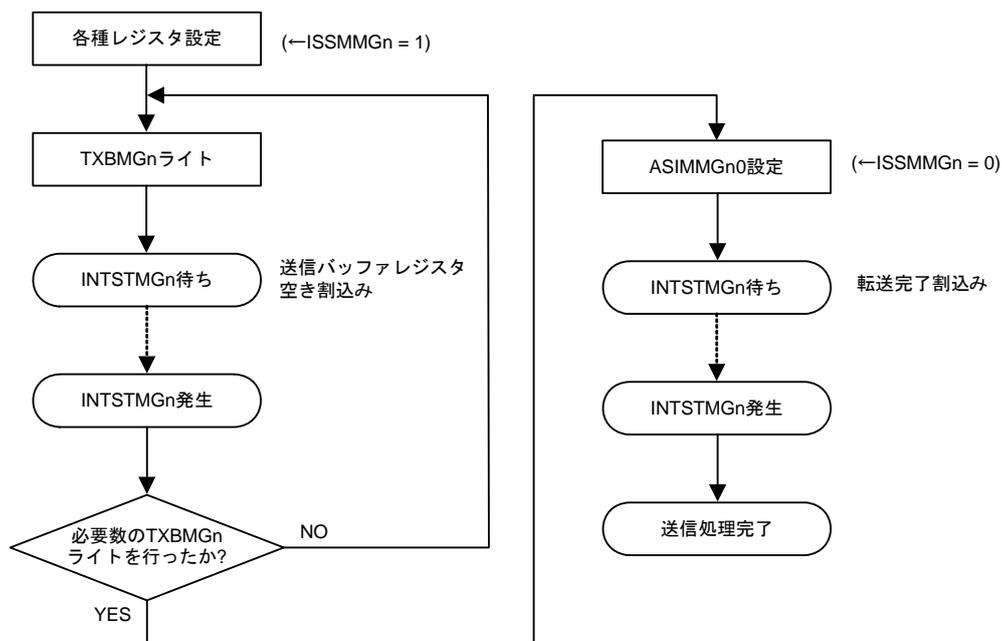
スタートビット1bit, キャラクタ長8bit, パリティ有り, ストップビット1bitの場合

$$\text{最大クロック数} = \text{転送長} \times 2K - (2K + 3) = 11 \times 2 \times 2 - (2 \times 2 + 3) = 37$$

(37クロック以内の書き込み完了が必要)

図22-17に割り込みによる連続送信処理フロー例を示します。

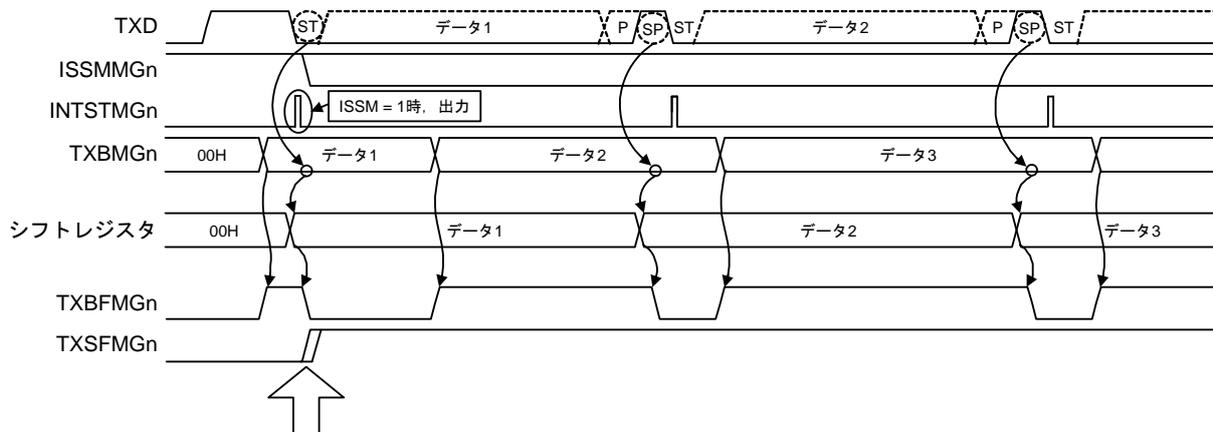
図22-17 割り込みによる連続送信処理フロー例



備考 n : チャネル番号 (n = 0, 1)

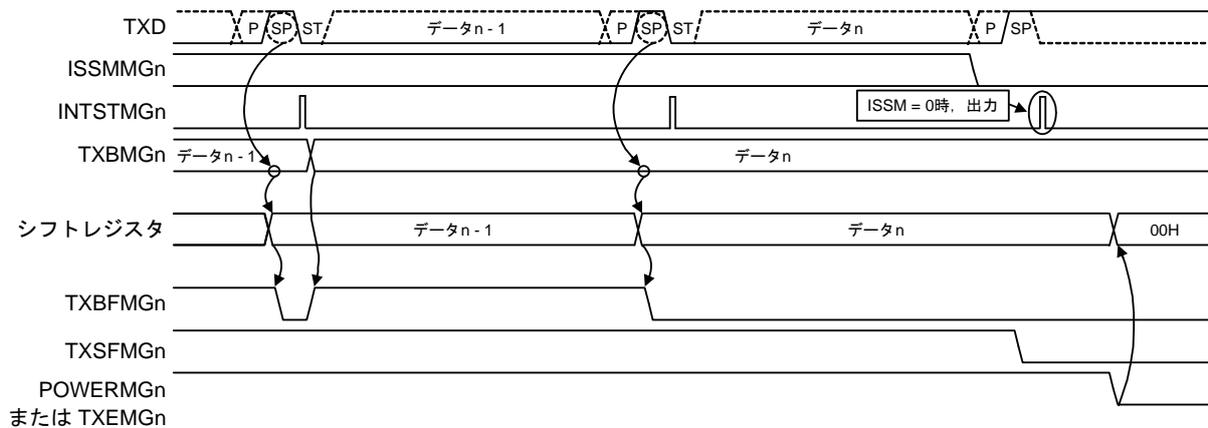
連続送信を開始する際のタイミングを図22-18に、連続送信を終了する際のタイミングを図22-19に示します。

図22-18 連続送信開始タイミング



注意 ASISMGnをリードした場合、TXBFMgn, TXSFMgn = 11の期間が存在します。したがって、書き込み可否の判断はTXBFMgnの1ビットのみで行ってください。

図22-19 連続送信終了タイミング



備考 n : チャネル番号 (n = 0, 1)

(6) 通常受信

動作モードレジスタ0 (ASIMMGn0) のビット7 (POWERMGn) をセット (1) し、次にASIMMGn0のビット5 (RXEMGn) をセット (1) すると受信許可状態となり、RXDMGn端子入力のサンプリングを行います。

ALVn = 0の場合、RXDMGn端子入力の立ち下がりを検出すると、ポー・レート・ジェネレータの8ビットカウンタがカウントを開始し、ポー・レート・ジェネレータコントロールレジスタ (BRGCMGn) の設定値をカウントした時点で、再度RXDMGn端子入力をサンプリング (図22-20の▽印に相当) した結果、RXDMGn端子がLレベルであれば、スタートビットと認識します。

また、ALVn = 1の場合、RXDMGn端子入力の立ち上がりを検出すると、ポー・レート・ジェネレータの8ビットカウンタがカウントを開始し、ポー・レート・ジェネレータコントロールレジスタ (BRGCMGn) の設定値をカウントした時点で、再度RXDMGn端子入力をサンプリング (図22-20の▽印に相当) した結果、RXDMGn端子がHレベルであれば、スタートビットと認識します。図22-20に受信動作のタイミング図を示します。

スタートビットを検出したら、受信動作を開始し、設定されたポー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタに格納していきます。ストップビットを受信したら、受信完了割り込み (INTSRMGn) を発生すると同時に、受信シフト・レジスタのデータは受信バッファレジスタ (RXBMGn) に書き込まれます。

ただし、オーバランエラー (OVEMGn) が発生した場合、発生時の受信データはRXBMGnに書き込みません。

受信途中に、パリティエラー (PEMGn) , フレーミングエラー (FEMGn) が発生しても、ストップビットの受信位置までは受信を継続し、受信完了後にISRMMGnで設定した受信エラー割り込み (INTSRMGn/INTSREMGn) を発生します。

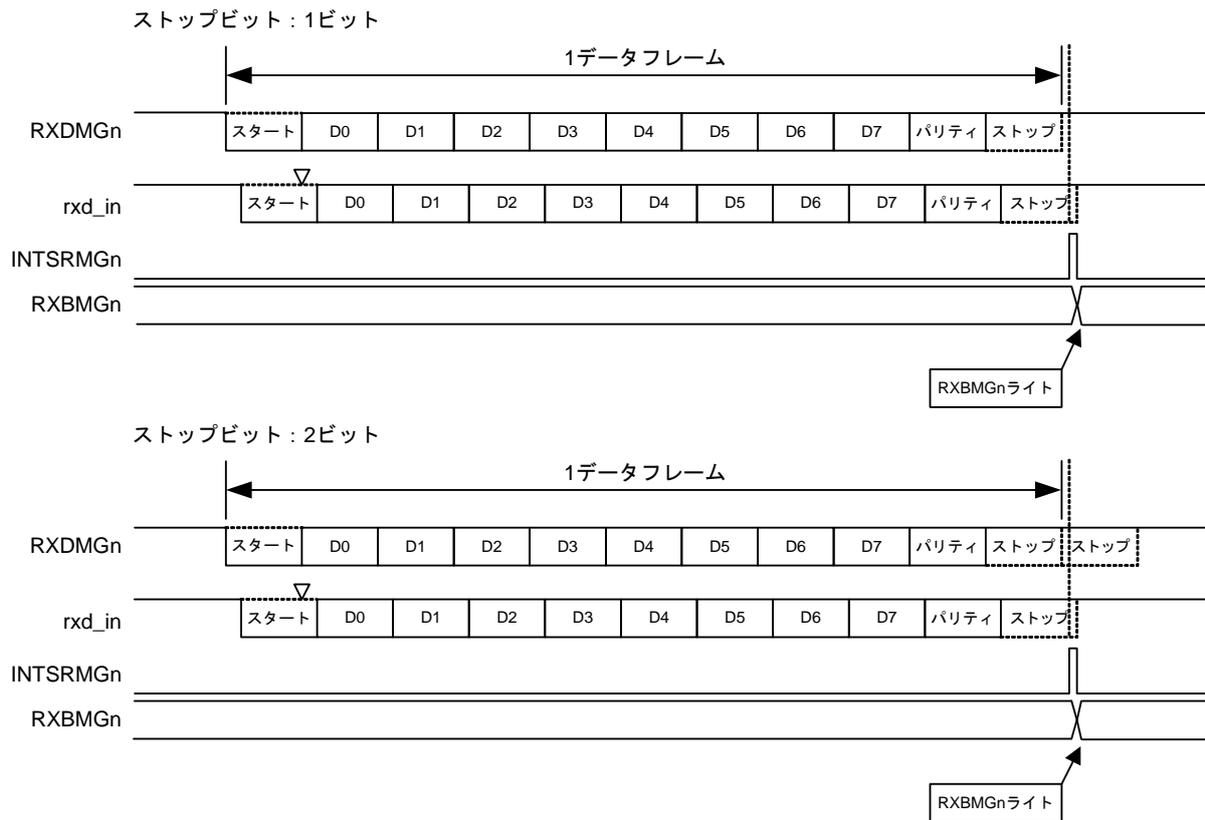
受信エラーが発生した場合はステータス・レジスタ (ASISMGn) を読み出したあと、受信バッファレジスタ (RXBMGn) を読み出し、エラー・フラグをクリアしてください。

受信バッファレジスタ (RXBMGn) を読み出さないと次のデータ受信時にオーバランエラーが発生し、いつまでも受信エラーの状態が継続します。

受信は常にストップビット長 = 1として動作します。そのため2ビット目のストップビットは無視されます。

備考 n : チャネル番号 (n = 0, 1)

図22-20 UART受信動作タイミング



- 備考1.** rxd_inは、ノイズフィルタによりRXDMGnをラッチした内部信号。(RXDMGnよりUART動作クロックで最大3クロック遅延する。)
- 2.** 図のINTSRMGnの出カタイミングは一例。BRGCMGnレジスタの設定によりRXDMGnとの相対的なタイミングは変化する。
- 3.** n : チャネル番号 (n = 0, 1)

(7) 受信エラー

受信動作時のエラーには、パリティエラー、フレーミングエラー、オーバランエラーの3種類があります。エラー発生時にはステータス・レジスタ (ASISMGn) にエラー・フラグがセットされ、受信エラー割り込み (INTSRMGnまたはINTSREMGn) を発生します。

受信エラー割り込み処理ルーチンでステータスレジスタ (ASISMGn) の内容を読み出すことで、エラー・フラグの判別を行うことが可能です。

ステータス・クリア・トリガ・レジスタ (ASCTMGn) へ1を設定することによりステータス・レジスタ (ASISMGn) の内容はクリア (0) されます。

表22-4に受信エラー要因を示します。

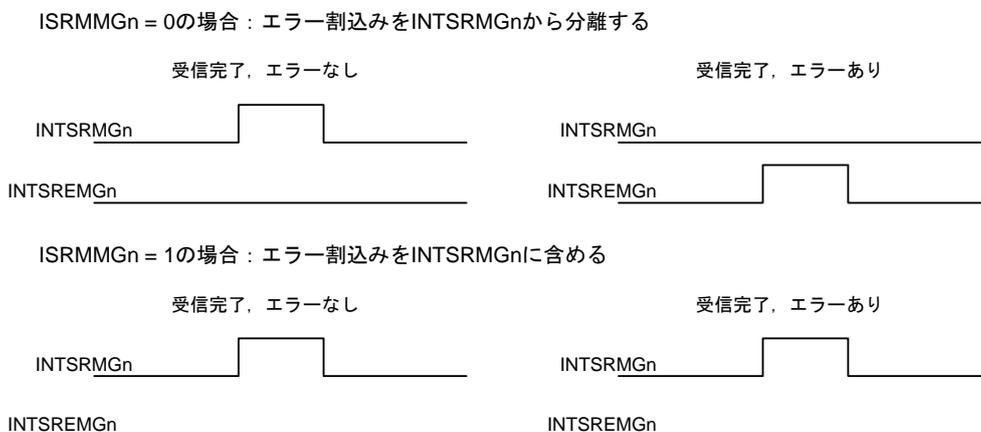
表22-4 受信エラー要因

エラー・フラグ	受信エラー	要因
PEMGn	パリティエラー	受信データと受信パリティが一致しない
FEMGn	フレーミングエラー	ストップビットが検出されない
OVEMGn	オーバランエラー	受信バッファからデータを読み出す前に次のデータ受信が完了した

動作モードレジスタ0 (ASIMMGn0) のビット0 (ISRMMGn) に0を設定することにより、受信エラー割り込みを受信完了割り込み (INTSRMGn) と分離し、エラー割り込み (INTSREMGn) として発生させることができます。

図22-21にISRMMGnによる割り込み出力波形を図示します。

図22-21 ISRMMGnによる割り込み出力波形



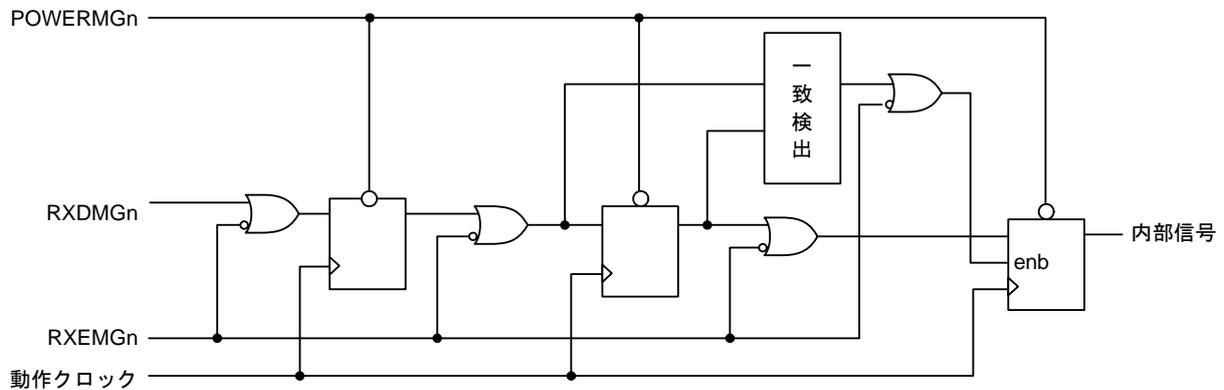
備考 n : チャネル番号 (n = 0, 1)

22.3.3 受信データのノイズフィルタ

受信データ (RXDMGn) をサンプリングし、2回一致したらレベルが確定したとみなします。回路構成上、受信データは最大3動作クロック遅れます。

図22-22ノイズフィルタ回路を示します。

図22-22 ノイズフィルタ



注意1. ALVn = 0 (待機時 = Hレベル, スタートビット = Lレベル) の場合, 受信データ (RXDMGn) の初期値をHレベルとする必要があります。

2. ALVn = 1 (待機時 = Lレベル, スタートビット = Hレベル) の場合, 受信データ (RXDMGn) の初期値をLレベルとする必要があります。

備考 n : チャネル番号 (n = 0, 1)

22.3.4 ボー・レート・ジェネレータ

ボー・レート・ジェネレータは、8ビットのプログラマブルカウンタにより構成され、UARTMGnにおける送受信時のシリアルクロックを生成します。

なお、8ビットカウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

(a) 基本クロック

動作モードレジスタ0 (ASIMMGn0) のビット7 (POWERMGn) = 1のとき、UARTMGnの動作クロック (fsxまたはfsx x2) を各モジュールに供給します。このクロックを基本クロックと呼びます。

POWERMGn = 0のときは、基本クロックはLレベルに固定となります。

(b) 送信用カウンタ

動作モードレジスタ0 (ASIMMGn0) のビット7 (POWERMGn) = 0またはビット6 (TXEMGn) = 0のときはクリア (0) の状態で動作を停止します。POWERMGn = 1かつTXEMGn = 1でカウントをスタートします。

最初の送信では送信バッファレジスタ (TXBMGn) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレームデータの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWERMGnまたはTXEMGnがクリア (0) されるまでカウント動作をそのまま続けます。ASIMMGn0のPOWERMGn = 0またはTXEMGn = 0のときは00Hの状態に動作を停止します。

(c) 受信用カウンタ

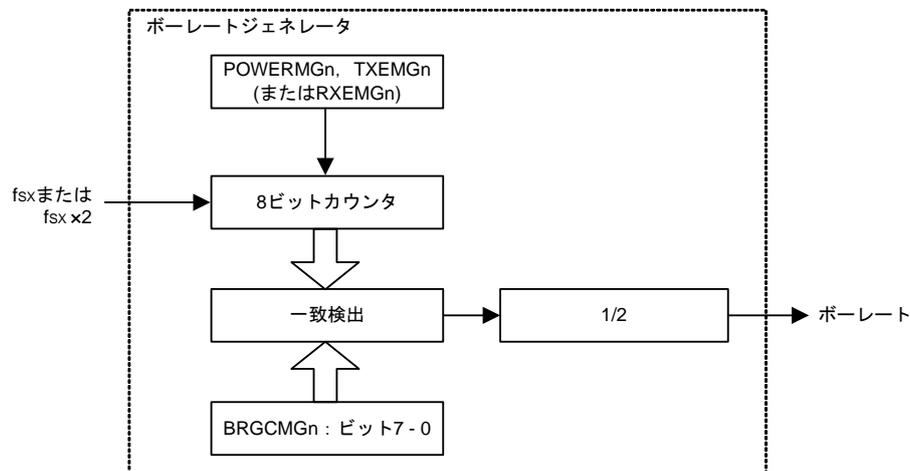
動作モードレジスタ0 (ASIMMGn0) のビット7 (POWERMGn) = 0またはビット5 (RXEMGn) = 0のときはクリア (0) の状態で動作を停止します。スタートビット検出によりカウントをスタートします。

1フレーム受信後は次のスタートビット検出まで動作を停止します。ASIMMGn0のPOWERMGn = 0またはRXEMGn = 0のときは00Hの状態に動作を停止します。

図22-23にポー・レート・ジェネレータ構成を示します。

備考 n : チャネル番号 (n = 0, 1)

図22-23 ポー・レート・ジェネレータ構成



備考 n : チャネル番号 (n = 0, 1)

(2) シリアルクロックの生成

ポー・レート・ジェネレータコントロールレジスタ (BRGCMGn) の設定により、生成するシリアルクロックを設定できます。

BRGCMGnのビット7-0により、8ビットカウンタの分周値 ($fsx/2$ - $fsx/255$) を設定できます。

(3) ボー・レートの算出

(a) ボー・レート計算式

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = f_{SX} \div (2 \times k) \text{ [bps]}$$

f_{SX} : 動作クロックの周波数

k : BRGCMGnレジスタのビット7-0で設定した値 ($k = 2, 3, 4, \dots, 255$)

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差} = \left[\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right] \times 100 \text{ [%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内に設定すること。

2. 受信時のボー・レート誤差は、受信時の許容ボー・レート誤差範囲を満たすように設定すること。受信時の許容ボー・レート誤差については 22. 3. 4 (3) (d)受信時の許容ボー・レート範囲で説明します。

備考 n : チャネル番号 ($n = 0, 1$)

(c) ボー・レート設定例

表22-5 ボー・レート・ジェネレータ設定データ

目標 ボー・レート	fsx = 38.4kHz動作時				fsx = 32.768kHz動作時	
	CLKDENn = 0		CLKDENn = 1		CLKDENn = 0	
	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差
200bps	96	±0.00%	192	±0.00%	82	-0.10%
300bps	64	±0.00%	128	±0.00%	55	-0.70%
1200bps	16	±0.00%	32	±0.00%	14	-2.48%
2400bps	8	±0.00%	16	±0.00%	7	-2.48%
4800bps	4	±0.00%	8	±0.00%	使用不可	
9600bps	2	±0.00%	4	±0.00%	使用不可	
19200bps	使用不可		2	±0.00%	使用不可	

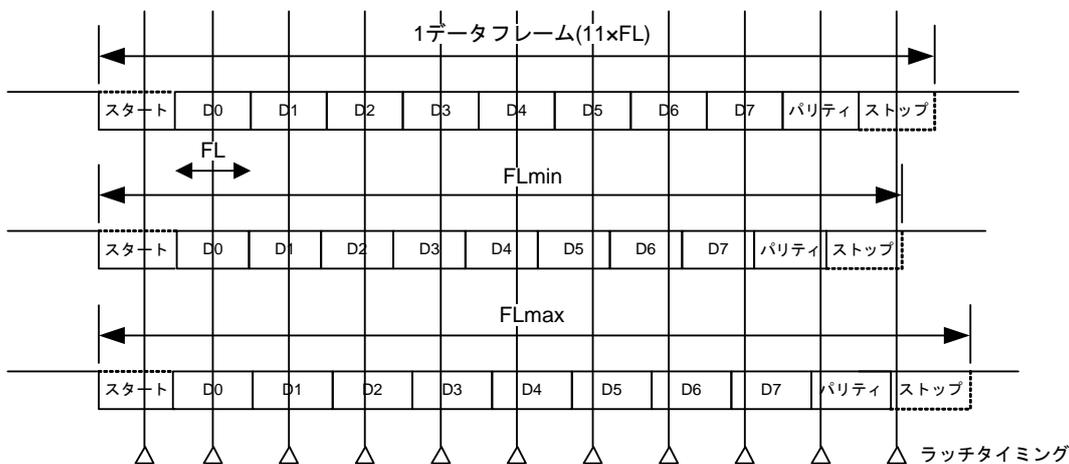
備考 k: ボー・レート・ジェネレータ・コントロール・レジスタ (BRGCMGn) のビット 7-0 で設定した値 (k = 2, 3, 4, ..., 255)

(d) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを図22-24に示します。

図22-24 受信時の許容ボー・レート範囲

データ長: 8ビット, パリティあり, ストップビット: 1ビット



注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定が必要です。

スタートビット検出後はボー・レート・ジェネレータ・コントロール・レジスタ (BRGCMGn) で設定したカウンタにより、受信データのラッチタイミングが決定されます。このラッチタイミングに最終データ (ストップビット) までが間に合えば正常に受信できます。これを11ビット受信に当てはめると理論上、次のようになります。

備考 n: チャネル番号 (n = 0, 1)

- 1ビットデータ長とボー・レートの関係

$$FL = (\text{Brate})^{-1}$$

Brate: UARTのボー・レート

K: BRGCMGnの設定値

FL: 1ビットデータ長

ラッチタイミングの-marginは1クロック

- 許容最小データフレーム長 (FLmin)

$$FL_{\min} = 11 \times FL - \frac{k-1}{2k} \times FL = \frac{21k+1}{2k} FL$$

- 受信可能な送信先の最大ボー・レート (BRmax)

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+1} \text{ Brate}$$

- 許容最大データフレーム長 (FLmax)

$$FL_{\max} = \frac{21k+1}{20k} FL \times 11$$

- 受信可能な送信先の最小ボー・レート (BRmin)

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-1} \text{ Brate}$$

前述の最小／最大ボー・レート値の算出式から求めたUARTと送信先とのボー・レートの許容誤差を表22-6に示します。

表22-6 許容最大／最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
2	+2.32%	-2.43%
4	+3.52%	-3.61%
8	+4.14%	-4.19%
20	+4.51%	-4.53%
50	+4.66%	-4.67%
100	+4.71%	-4.71%
255	+4.74%	-4.74%

備考1. 受信の許容誤差は、1フレームビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなる。

- k: BRGCMGnの設定値
- n: チャンネル番号 (n = 0, 1)

22.4 使用上の注意事項

22.4.1 RXDMGn端子のPORT設定手順

ALVn = 0 (待機時 = Hレベル, スタートビット = Lレベル) の場合は, 受信データ (RXDMGn) の初期値はHレベルとする必要があります。

また, ALVn = 1 (待機時 = Lレベル, スタートビット = Hレベル) の場合は, 受信データ (RXDMGn) の初期値はLレベルとする必要があります。

そのためPOWERMGnを1にする前にPORTの設定を行う必要があります。

備考 n: チャネル番号 (n = 0, 1)

第23章 IrDA

IrDAはシリアル・アレイ・ユニット（SAU）と連携してIrDA（Infrared Data Association）規格バージョン1.0に基づくIrDA通信波形の送受信を実現します。

23.1 IrDAの機能

IRCRレジスタのIREビットでIrDA機能を有効にすると、SAUのTxD2、RxD2信号はIrDA規格バージョン1.0に準拠した波形のエンコード/デコードを行います（IrTxD/IrRxD端子）。これを赤外線送受信トランスミッタ/レシーバと接続することで、IrDA規格バージョン1.0システムに準拠した赤外線送受信を実現できます。

IrDA規格バージョン1.0システムでは、9600 bpsの転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。IrDAでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより、設定を変更してください。

高速オンチップオシレータ（ $f_{IH} = 32/24/12/6/3$ MHz）選択時、以下のボーレートを設定可能です。

- 115.2 kbps/57.6 kbps/38.4 kbps/19.2 kbps/9600 bps/2400 bps

図23-1にIrDAとSAUの連携イメージのブロック図を示します。

図23-1 IrDAとSAUの連携イメージのブロック図

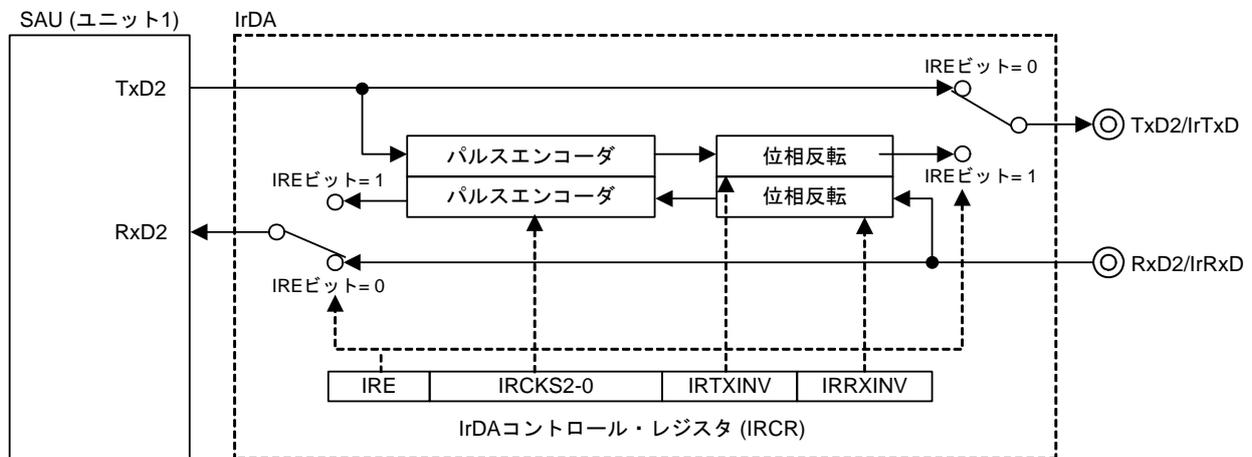


表23-1 IrDAの端子構成

端子名	入出力	機能
IrTxD	出力	送信データ出力端子
IrRxD	入力	受信データ入力端子

23.2 レジスタの説明

表23-2にIrDAのレジスタ構成を示します。

表23-2 IrDAのレジスタ構成

項 目	構 成
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	周辺リセット制御レジスタ0 (PRR0)
	IrDAコントロール・レジスタ (IRCR)

23.2.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

IrDAを使用するときは、必ずビット6 (IRDAEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	SAU2EN	TAU0EN

IRDAEN	IrDAの入カクロック供給の制御
0	入カクロック供給停止 ・IrDAで使用するSFRへのライト不可，リードした場合は00Hが読めます。ただし，初期化はされていません。 ^注
1	入カクロック供給 ・IrDAで使用するSFRへのリード／ライト可

注. IrDAおよびIrDAで使用するSFRを初期化する場合，PRR0のビット6(IRDAEN)を使用してください。

注意1. IrDAの設定をする際には、必ず最初にIRDAEN = 1の設定を行ってください。

IRDAEN = 0の場合は、IrDAの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. ビット7には必ず0を設定してください。

23.2.2 周辺リセット制御レジスタ0 (PRR0)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

IrDAをリセットする場合は、必ずビット6 (IRDARES)を1に設定してください。

PRR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR0レジスタは00HIになります。

図23-3 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	SAU2RES	TAU0RES

IRDARES	IrDAのリセット制御
0	IrDAのリセット解除
1	IrDAはリセット状態

23.2.3 IrDAコントロール・レジスタ (IRCR)

IrDA機能を制御するレジスタです。受信データ、送信データの極性切り替え、IrDAのクロックの選択、シリアル入出力端子機能（通常のシリアル機能／IrDA機能）の切り替えを選択します。

IRCRレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-4 IrDAコントロール・レジスタ (IRCR) のフォーマット

アドレス : F03A0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IRCR	IRE	IRCKS2	IRCKS1	IRCKS0	IRTXINV	IRRXINV	0	0

IRE	IrDAイネーブル
0	シリアル入出力端子は、通常のシリアル機能として動作
1	シリアル入出力端子は、IrDA機能として動作

IRCKS2	IRCKS1	IRCKS0	IrDAクロックセレクト
0	0	0	$B \times 3/16$ (B = ビットレート)
0	0	1	fCLK/2
0	1	0	fCLK/4
0	1	1	fCLK/8
1	0	0	fCLK16
1	0	1	fCLK/32
1	1	0	fCLK/64
1	1	1	設定禁止

IRTXINV	IrTxDデータ極性切り替え
0	送信データをそのままIrTxD出力
1	送信データを反転してIrTxD出力

IRRXINV	IrRxDデータ極性切り替え
0	IrRxD入力をそのまま受信データとして使用
1	IrRxD入力を反転して受信データとして使用

注意1. ビット1, 0には必ず0を設定してください。

2. IRCKS[2:0], IRTXINV, IRRXINVは、IREビットが0の時のみ設定可能です。

23.3 動作説明

23.3.1 IrDA通信操作手順

(1) IrDA通信 初期設定フロー

IrDA初期設定は、以下の手順で行ってください。

1. PER0レジスタのIRDAENビットに1を設定します。
2. IRCRレジスタを設定します。
3. SAU関連レジスタ（UARTモード設定の手順を参照）を設定します。

(2) IrDA通信停止フロー

1. ポート・レジスタとポート・モード・レジスタの設定で、IrDA通信停止後のIrTxD端子の状態を設定します。

備考 手順3でIrDAリセット時にIrTxD端子は通常のシリアル・インタフェースUARTのデータ出力に切り替わるため、出力状態が変化する場合があります。

- ・ IrTxD端子からロウ・レベルを出力する場合

ポート・レジスタに0を設定します。本設定の直後にIrTxD端子はロウ・レベルに固定されます。

- ・ IrTxD端子からハイ・レベルを出力する場合

ポート・レジスタに1を設定します。本設定により、手順3 IrDAリセット直後、IrTxD端子はハイ・レベルに固定されます。

- ・ IrTxD端子をHi-Z状態に設定する場合

ポート・モード・レジスタに1を設定します。本設定の直後にIrTxD端子はHi-Z状態となります。

2. STmレジスタ（SAU関連レジスタ）のSTm0ビットおよびSTm1ビットに1を設定（SAUのチャンネル0、チャンネル1動作停止）します。
3. PER0レジスタのIRDAENビットに0を設定し、IrDAをリセットします。

上記手順以外でSTmレジスタのSTm0ビットおよびSTm1ビットに1を設定、またはIrDAのIREビットに0を設定しないでください。

(3) IrDAフレーミング・エラー発生時の手順

IrDA通信中にフレーミング・エラーが発生した場合、後続のデータを受信可能な状態にするため、以下の手順が必要です。

1. SAU STmレジスタのSTm1ビットに1を設定（SAU CH1動作停止）
2. SAU SSmレジスタのSSm1ビットに1を設定（SAU CH1動作開始）

備考 m : ユニット番号 (m = 0, 1)

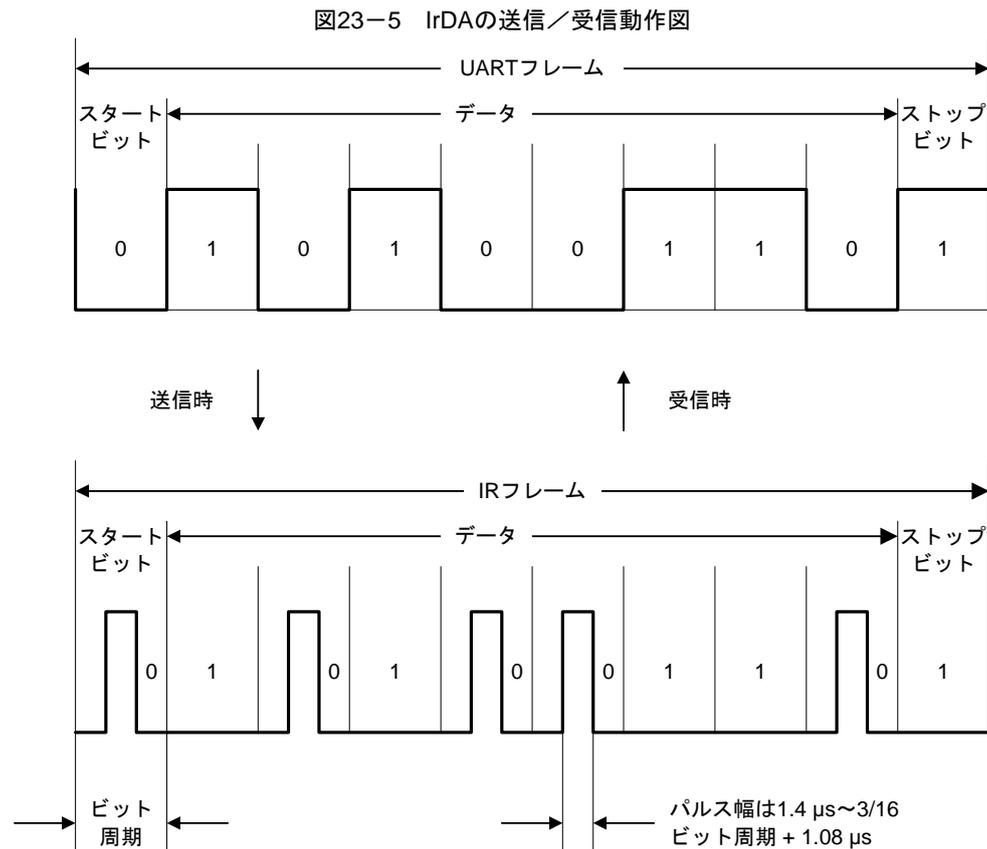
SAUフレーミング・エラー処理については、SAUの章も参照してください。

23.3.2 送信

送信時には、SAUからの出力信号(UARTフレーム)はIrDAによりIRフレームに変換されます(図23-5参照)。

IRTXINVビットが0でシリアルデータが0のとき、ビットレート(1ビット幅の期間)の3/16のハイ・パルスが出力されます(初期値)。なお、ハイ・パルス幅は、IRCKS2-IRCKS0ビットの設定値により変化させることもできます。規格では、ハイ・パルス幅は最小1.41 μ s、最大 $(3/16 + 2.5\%) \times$ ビットレート、または $(3/16 \times$ ビットレート) + 1.08 μ sと定められています。

CPU/周辺ハードウェア・クロック(f_{CLK})が20 MHzのとき、1.41 μ s以上で最大のハイ・パルス幅としては1.6 μ sが設定可能です。また、シリアルデータが1のときは、パルスは出力されません。



23.3.3 受信

受信時には、IRフレームのデータはIrDAによりUARTフレームに変換され、SAUに入力されます。IRRXINVビットが0で、ハイ・パルスが検出されたときにロウ・データを出力し、1ビット期間中にパルスがない場合にはハイ・データを出力します。最小パルス幅の1.41 μ sより短いパルスは認識されませんので注意してください。

23.3.4 ハイ・パルス幅の選択

送信時にビットレート \times 3/16よりパルス幅を短くする場合に、適用可能なIRCKS2-IRCKS0ビットの設定（最小パルス幅）と設定時のハイ・パルス幅を表23-3に示します。

表23-3 IRCKS2-IRCKS0ビットの設定値

f _{CLK} [MHz]	項目	<上段>ビットレート [kbps]					
		<下段>ビットレート \times 3/16 [μ s]					
		2.4	9.6	19.2	38.4	57.6	115.2
		78.13	19.53	9.77	4.87	3.26	1.63
1	IRCKS2-IRCKS0	001	001	001	—注1	—注1	—注1
	ハイパルス幅[μ s]	2.00	2.00	2.00	—注1	—注1	—注1
2	IRCKS2-IRCKS0	010	010	010	010	010	—注1
	ハイパルス幅[μ s]	2.00	2.00	2.00	2.00	2.00	—注1
3	IRCKS2-IRCKS0	011	011	011	011	011	—注1
	ハイパルス幅[μ s]	2.67	2.67	2.67	2.67	2.67	—注1
4	IRCKS2-IRCKS0	011	011	011	011	011	000注2
	ハイパルス幅[μ s]	2.00	2.00	2.00	2.00	2.00	1.50
6	IRCKS2-IRCKS0	100	100	100	100	100	000注2
	ハイパルス幅[μ s]	2.67	2.67	2.67	2.67	2.67	1.50
8	IRCKS2-IRCKS0	100	100	100	100	100	000注2
	ハイパルス幅[μ s]	2.00	2.00	2.00	2.00	2.00	1.50
12	IRCKS2-IRCKS0	101	101	101	101	101	000注2
	ハイパルス幅[μ s]	2.67	2.67	2.67	2.67	2.67	1.50
16	IRCKS2-IRCKS0	101	101	101	101	101	000注2
	ハイパルス幅[μ s]	2.00	2.00	2.00	2.00	2.00	1.50
24	IRCKS2-IRCKS0	110	110	110	110	110	000注2
	ハイパルス幅[μ s]	2.67	2.67	2.67	2.67	2.67	1.50
32	IRCKS2-IRCKS0	110	110	110	110	110	000注2
	ハイパルス幅[μ s]	2.00	2.00	2.00	2.00	2.00	1.50

注1. “—”の意味は、通信Specを満たせないことです。

2. ビットレート \times 3/16よりパルス幅を小さくすることはできません。

23.4 IrDA使用上の注意事項

- (1) IrDA機能を使用してIrRxD受信によるSNOOZE遷移はできません。
- (2) 周辺イネーブルレジスタにより、IrDAの動作クロックの供給禁止/許可を設定することができます。初期状態では、クロック供給が禁止状態であるため、レジスタへのアクセスができません。レジスタ設定の前に、周辺イネーブルレジスタによりIrDAの動作クロックを供給許可状態にしてください。
- (3) HALTモード時は、IrDA機能は動作を継続します。
- (4) IrDA通信中にSAUの初期化機能（SSビット= 1）は使用禁止です。
- (5) IRCRレジスタのIRRXINVビット、IRTXINVビット、及びIRCKS[2:0]ビットは、IREビットが0の時のみ設定可能です。

第24章 LCDコントローラ／ドライバ

RL78/I1C (512 KB) のLCD表示機能端子は製品ごとに搭載する数が異なります。次の表に製品ごとのLCD表示機能端子数を示します。

表24-1 製品ごとのLCD表示機能端子

項目	RL78/I1C (512 KB)																
	80ピン (R5F10NML)								100ピン (R5F10NPL)								
LCD コントローラ/ ドライバ	セグメント信号出力 : 34 (30) ^{注1} コモン信号出力 : 8								セグメント信号出力 : 42 (38) ^{注1} コモン信号出力 : 8								
兼用I/Oポート ^{注2}	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
セグメント	P0	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32	—	—	—	—	—	—	—	—	—	
	P1	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7	SEG 6	SEG 5	SEG 4	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7	SEG 6	SEG 5	SEG 4
	P3	—	—	—	—	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24
	P5	—	—	—	—	—	—	—	—	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32
	P7	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16
	P8	—	—	—	—	SEG 15	SEG 14	SEG 13	SEG 12	—	—	SEG 41	SEG 40	SEG 15	SEG 14	SEG 13	SEG 12
COM信号 出力端子と I/Oポートの 兼用関係	P9	COM7/ SEG3	COM6/ SEG2	COM5/ SEG1	COM4/ SEG0	COM3	COM2	COM1	COM0	COM7/ SEG3	COM6/ SEG2	COM5/ SEG1	COM4/ SEG0	COM3	COM2	COM1	COM0

注1. () 内は8 com使用時の信号出力本数です。

- 製品および周辺I/Oリダイレクション・レジスタ0(PIOR0)の設定によってLCD表示機能端子が異なります。詳細は図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマットを参照してください。

24.1 LCDコントローラ／ドライバの機能

RL78/I1C (512 KB) に内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) A波形, B波形の選択が可能
- (2) LCD駆動電圧生成回路は, 内部昇圧／容量分割／外部抵抗分割の切り替えが可能
- (3) 表示データ・レジスタの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (4) 昇圧回路動作時に生成する基準電圧を16段階から選択可能 (コントラスト調整)
- (5) LCD点滅が可能

各表示モードにおける表示可能な最大画素数を表24-2に示します。

表24-2 最大表示画素数 (1/2)

(a) 80ピン製品

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数		
A波形	外部抵抗分割	-	スタティック	34 (34セグメント×1コモン)		
			2	68 (34セグメント×2コモン)		
		1/3	3	102 (34セグメント×3コモン)		
			4	136 (34セグメント×4コモン)		
			6	192 (32セグメント×6コモン)		
			8	240 (30セグメント×8コモン)		
		1/4	8			
		内部昇圧	1/3	3	102 (34セグメント×3コモン)	
	4			136 (34セグメント×4コモン)		
	6			192 (32セグメント×6コモン)		
	8			240 (30セグメント×8コモン)		
	1/4		6	192 (32セグメント×6コモン)		
			8	240 (30セグメント×8コモン)		
			容量分割	1/3	3	102 (34セグメント×3コモン)
					4	136 (34セグメント×4コモン)
	6	192 (32セグメント×6コモン)				
8	240 (30セグメント×8コモン)					
B波形	外部抵抗分割, 内部昇圧	1/3	3	102 (34セグメント×3コモン)		
			4	136 (34セグメント×4コモン)		
			6	192 (32セグメント×6コモン)		
			8	240 (30セグメント×8コモン)		
		1/4	8			
	容量分割	1/3	3	102 (34セグメント×3コモン)		
			4	136 (34セグメント×4コモン)		
			6	192 (32セグメント×6コモン)		
			8	240 (30セグメント×8コモン)		

表24-2 最大表示画素数 (2/2)

(b) 100ピン製品

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数	
A波形	外部抵抗分割	—	スタティック	42 (42セグメント×1コモン)	
			1/2	2	84 (42セグメント×2コモン)
		3		126 (42セグメント×3コモン)	
		1/3	3	168 (42セグメント×4コモン)	
			4		
			6		240 (40セグメント× 6コモン)
			8		304 (38セグメント× 8コモン)
		1/4	8		
	内部昇圧	1/3	3	126 (42セグメント×3コモン)	
			4	168 (42セグメント×4コモン)	
			6	240 (40セグメント× 6コモン)	
			8	304 (38セグメント× 8コモン)	
		1/4	6	240 (40セグメント×6コモン)	
			8	304 (38セグメント×8コモン)	
	容量分割	1/3	3	126 (42セグメント×3コモン)	
			4	168 (42セグメント×4コモン)	
6			240 (40セグメント× 6コモン)		
8			304 (38セグメント× 8コモン)		
B波形	外部抵抗分割, 内部昇圧	1/3	3	126 (42セグメント× 3コモン)	
			4	168 (42セグメント× 4コモン)	
			6	240 (40セグメント× 6コモン)	
			8	304 (38セグメント× 8コモン)	
		1/4	8		
	容量分割	1/3	3	126 (42セグメント× 3コモン)	
			4	168 (42セグメント× 4コモン)	
			6	240 (40セグメント× 6コモン)	
			8	304 (38セグメント× 8コモン)	

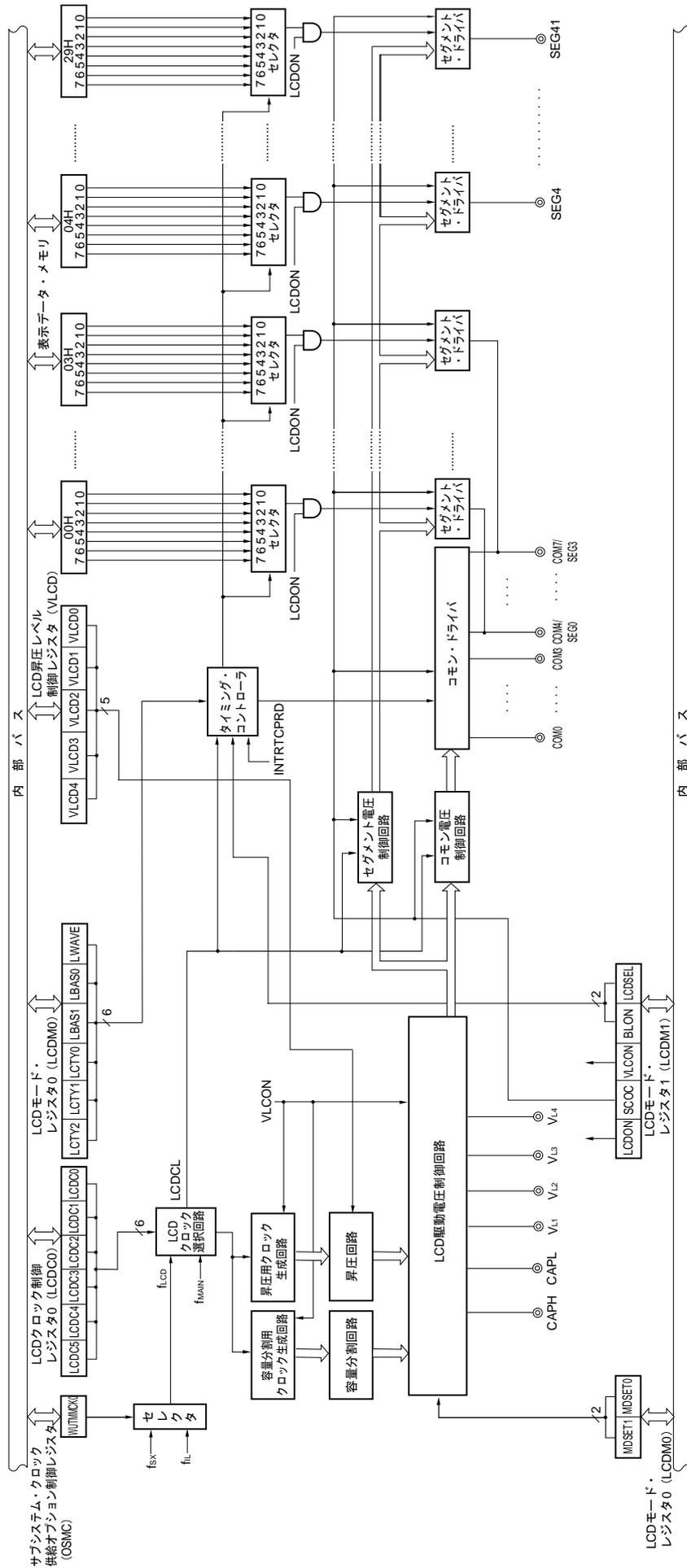
24.2 LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表24-3 LCDコントローラ／ドライバの構成

項 目	構 成
制御レジスタ	LCDモード・レジスタ0 (LCDM0) LCDモード・レジスタ1 (LCDM1) サブシステム・クロック供給オプション制御レジスタ (OSMC) LCDクロック制御レジスタ0 (LCDC0) LCD昇圧レベル制御レジスタ (VLCD) LCD入力切り替え制御レジスタ (ISCLCD) LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6) ポート・モード・レジスタ0, 1, 3, 5, 7, 8, 9 (PM0, PM1, PM3, PM5, PM7, PM8, PM9)

図24-1 LCDコントローラ／ドライバのブロック図



24.3 LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバは、次の8種類のレジスタで制御します。

- ・ LCDモード・レジスタ0 (LCDM0)
- ・ LCDモード・レジスタ1 (LCDM1)
- ・ サブシステム・クロック供給オプション制御レジスタ (OSMC)
- ・ LCDクロック制御レジスタ0 (LCDC0)
- ・ LCD昇圧レベル制御レジスタ (VLCD)
- ・ LCD入力切り替え制御レジスタ (ISCLCD)
- ・ LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6)
- ・ ポート・モード・レジスタ0, 1, 3, 5, 7, 8, 9 (PM0, PM1, PM3, PM5, PM7, PM8, PM9)

24.3.1 LCDモード・レジスタ0 (LCDM0)

LCDの動作を設定するレジスタです。

LCDM0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24-2 LCDモード・レジスタ0 (LCDM0) のフォーマット (1/2)

アドレス : FFF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0

MDSET1	MDSET0	LCD駆動電圧生成回路の選択
0	0	外部抵抗分割方式
0	1	内部昇圧方式
1	0	容量分割方式
1	1	設定禁止

LWAVE	LCD表示波形の選択
0	A波形
1	B波形

LDTY2	LDTY1	LDTY0	LCD表示の時分割数選択
0	0	0	スタティック
0	0	1	2時分割
0	1	0	3時分割
0	1	1	4時分割
1	0	0	6時分割
1	0	1	8時分割
上記以外			設定禁止

図24-2 LCDモード・レジスタ0 (LCDM0) のフォーマット (2/2)

アドレス : FFF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0

LBAS1	LBAS0	LCD表示のバイアス法選択
0	0	1/2バイアス法
0	1	1/3バイアス法
1	0	1/4バイアス法
1	1	設定禁止

注意1. LCDM1のSCOC = 1のときに、LCDM0の値を書き換えしないでください。

2. スタティックを選択した場合 (LDTY2-LDTY0ビット = 000B) , LBAS1, LBAS0ビットの設定は必ず初期値 (00B) にしてください。初期値以外の値を設定した場合の動作は保証しません。
3. 表示波形, 時分割数, バイアス法の設定は表24-4に示す組み合わせのみサポートします。表24-4で示す組み合わせ以外は設定禁止です。

表24-4 表示波形／時分割数／バイアス法とフレーム周波数の組み合わせ

表示モード			設定値						駆動電圧生成方式		
表示波形	時分割数	バイアス法	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0	外部抵抗分割	内部昇圧	容量分割
A波形	8	1/4	0	1	0	1	1	0	○ (24~128 Hz)	○ (24~64 Hz)	×
A波形	6	1/4	0	1	0	0	1	0	×	○ (32~86 Hz)	×
A波形	8	1/3	0	1	0	1	0	1	○ (32~128 Hz)	○ (32~64 Hz)	○ (32~128 Hz)
A波形	6	1/3	0	1	0	0	0	1	○ (32~128 Hz)	○ (32~86 Hz)	○ (32~128 Hz)
A波形	4	1/3	0	0	1	1	0	1	○ (24~128 Hz)	○ (24~128 Hz)	○ (24~128 Hz)
A波形	3	1/3	0	0	1	0	0	1	○ (32~128 Hz)	○ (32~128 Hz)	○ (32~128 Hz)
A波形	3	1/2	0	0	1	0	0	0	○ (32~128 Hz)	×	×
A波形	2	1/2	0	0	0	1	0	0	○ (24~128 Hz)	×	×
A波形	スタティック		0	0	0	0	0	0	○ (24~128 Hz)	×	×
B波形	8	1/4	1	1	0	1	1	0	○ (24~128 Hz)	○ (24~64 Hz)	×
B波形	8	1/3	1	1	0	1	0	1	○ (32~128 Hz)	○ (32~64 Hz)	○ (32~128 Hz)
B波形	6	1/3	1	1	0	0	0	1	○ (32~128 Hz)	○ (32~86 Hz)	○ (32~128 Hz)
B波形	4	1/3	1	0	1	1	0	1	○ (24~128 Hz)	○ (24~128 Hz)	○ (24~128 Hz)
B波形	3	1/3	1	0	1	0	0	1	○ (32~128 Hz)	○ (32~128 Hz)	○ (32~128 Hz)

備考 ○ : 対応 × : 非対応

24.3.2 LCDモード・レジスタ1 (LCDM1)

表示動作の許可／禁止，昇圧回路もしくは容量分割回路の動作許可／停止，表示データ領域，低電圧モードを設定するレジスタです。

LCDM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図24-3 LCDモード・レジスタ1 (LCDM1) のフォーマット (1/2)

アドレス：FFF41H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM

SCOC	LCDON	LCD表示の許可／禁止 通常液晶波形 (A波形/B波形) 出力時
0	0	セグメント端子／コモン端子にグランド・レベルを出力
0	1	
1	0	表示オフ (セグメント出力はすべて非選択信号出力)
1	1	表示オン

VLCON ^{注1}	昇圧回路もしくは容量分割回路の動作許可／停止
0	昇圧回路もしくは容量分割回路の動作停止
1	昇圧回路もしくは容量分割回路の動作許可

BLON ^{注2}	LCDSEL	表示データ領域の制御
0	0	Aパターン領域 (LCD表示データ・レジスタの下位4ビット) のデータを表示
0	1	Bパターン領域 (LCD表示データ・レジスタの上位4ビット) のデータを表示
1	0	Aパターン領域とBパターン領域のデータを交互に表示 (独立電源RTCの周期割込み (INTRTCPRD) タイミングに対応した点滅表示)
1	1	

注1. 外部抵抗分割モード時には設定禁止。

2. LCDソース・クロック (f_{LCD}) としてf_{IL}を選択する場合は，必ずBLONビット = 0にしてください。

(注意は次ページにあります。)

図24-3 LCDモード・レジスタ1 (LCDM1) のフォーマット (2/2)

アドレス : FFF41H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM

LCDVLM ^注	昇圧端子の初期値の切り替え制御
0	V _{DD} 電圧 \geq 2.7 Vの場合
1	V _{DD} 電圧 \leq 4.2 Vの場合

注 昇圧回路使用時に、V_{Lx}端子の初期状態を設定して効率的に昇圧を行うための機能です。

昇圧開始時のV_{DD}電圧が2.7 V以上の場合にはLCDVLMビット = 0、V_{DD}電圧が4.2 V以下の場合にはLCDVLMビット = 1としてください。

ただし、 $2.7\text{ V} \leq V_{DD} \leq 4.2\text{ V}$ では、LCDVLM = 0、LCDVLM = 1のいずれでも動作可能です。

注意1. 昇圧回路使用時にLCD表示を行わないときに消費電力を削減したい場合は、SCOC = 0、VLCON = 0を設定し、さらにMDSET1、MDSET0 = 00を設定してください。MDSET1、MDSET0 = 01の場合、内部の基準電圧生成部が動作するため電力を消費します。

2. 外部抵抗分割方式設定時 (LCDM0のMDSET1、MDSET0ビット = 00B) または容量分割方式設定時 (MDSET1、MDSET0ビット = 10B) は、LCDVLMに0を設定してください。

3. SCOC = 1のときVLCON、LCDVLMを書き換えしないでください。

4. 表示モードに8時分割数を選択した場合、BLONとLCDSELに0を設定してください。

5. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0レジスタのMDSET1、MDSET0ビット = 01B) にしてから)、基準電圧セットアップ時間 (5 ms (MIN.)) をウエイトしたあとに、VLCONに1を設定してください。

24.3.3 サブシステム・クロック供給オプション制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブ・クロック (f_{sx}) でCPU動作中のHALTモード時に、独立電源RTC、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、発振停止検出回路、周波数測定回路、シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1、タイマRJ0, 1以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタでは12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、周波数測定回路、シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1、タイマRJ0, 1の動作クロックを選択できます。

ただし、シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1の動作クロックに低速オンチップ・オシレータ・クロックを選択することはできません。シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1を使用する場合は、WUTMMCK0ビットを0に設定して、動作クロックにサブ・クロック (f_{sx}) を選択してください。

OSMCレジスタは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24-4 サブシステム・クロック供給オプション制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W^{注1}

略号	<input checked="" type="checkbox"/>	6	5	<input checked="" type="checkbox"/>	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC ^{注4}	STOPモード時およびサブ・クロック(f_{sx})でCPU動作中のHALTモード時の設定
0	周辺機能へのサブ・クロック(f_{sx})供給許可 (動作許可となる周辺機能については、表29-1~表29-3参照)
1	独立電源RTC, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力／ブザー出力制御回路, LCDコントローラ／ドライバ, 発振停止検出回路, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ／ディテクタ0, 1, タイマRJ0, 1以外の周辺機能へのサブ・クロック(f_{sx})供給停止

WUTMMCK0	12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ／ドライバ, 周波数測定回路, タイマRJ0, 1の動作クロックの選択	周波数測定回路のカウント動作／停止トリガクロック選択	クロック出力／ブザー出力制御回路の出力クロックの選択	シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ／ディテクタ0, 1の動作クロック選択
0	サブ・クロック(f_{sx})	サブ・クロック(f_{sx})を選択	サブ・クロック(f_{sx})	サブ・クロック(f_{sx})
1	低速オンチップ・オシレータ・クロック(f_{il}) <small>注2,3,6,7</small>	低速オンチップ・オシレータ・クロック(f_{il})を選択 ^{注6}	クロック出力禁止 ^{注5}	設定禁止

注1. ビット0-3, 5, 6には、必ず0を設定してください。

- サブ・クロック(f_{sx})発振中にWUTMMCK0ビットを“1”に設定することは禁止です。
- WUTMMCK0ビットによるサブ・クロック(f_{sx})と低速オンチップ・オシレータ・クロック(f_{il})の切り替えは、12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力／ブザー出力制御回路, LCDコントローラ／ドライバ, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ／ディテクタ0, 1, タイマRJ0, 1の全ての機能が停止中のみ可能です。
- CKSELレジスタのビット0 (SELLOSC)によりサブ・クロック(f_{sx})を選択(SELLOSC = 0)してRTCLPC = 1とした場合、サブシステム・クロック(f_{sub})は停止しますが、低速オンチップ・オシレータ・クロックを選択 (SELLOSC = 1)してRTCLPC = 1とした場合、サブシステム・クロック(f_{sub})は停止しません。
- WUTMMCK0を“1”に設定した場合、PCLBUZn端子からクロック出力を禁止します。
- WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロック(f_{il})が発振します。
- WUTMMCK0を“1”に設定した場合、LCDコントローラ／ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

24.3.4 LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック，LCDクロックを設定するレジスタです。

LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図24-5 LCDクロック制御レジスタ (LCDC0) のフォーマット

アドレス：FFF42H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	0	LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00

LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00	LCDクロック (LCDCL)	
						WUTMMCK0 = 0	WUTMMCK0 = 1
0	0	0	0	0	1	$f_{sx}/2^2$	$f_{il}/2^2$
0	0	0	0	1	0	$f_{sx}/2^3$	$f_{il}/2^3$
0	0	0	0	1	1	$f_{sx}/2^4$	$f_{il}/2^4$
0	0	0	1	0	0	$f_{sx}/2^5$	$f_{il}/2^5$
0	0	0	1	0	1	$f_{sx}/2^6$	$f_{il}/2^6$
0	0	0	1	1	0	$f_{sx}/2^7$	$f_{il}/2^7$
0	0	0	1	1	1	$f_{sx}/2^8$	$f_{il}/2^8$
0	0	1	0	0	0	$f_{sx}/2^9$	$f_{il}/2^9$
0	0	1	0	0	1	$f_{sx}/2^{10}$	
0	1	0	0	0	1	$f_{MAIN}/2^8$	
0	1	0	0	1	0	$f_{MAIN}/2^9$	
0	1	0	0	1	1	$f_{MAIN}/2^{10}$	
0	1	0	1	0	0	$f_{MAIN}/2^{11}$	
0	1	0	1	0	1	$f_{MAIN}/2^{12}$	
0	1	0	1	1	0	$f_{MAIN}/2^{13}$	
0	1	0	1	1	1	$f_{MAIN}/2^{14}$	
0	1	1	0	0	0	$f_{MAIN}/2^{15}$	
0	1	1	0	0	1	$f_{MAIN}/2^{16}$	
0	1	1	0	1	0	$f_{MAIN}/2^{17}$	
0	1	1	0	1	1	$f_{MAIN}/2^{18}$	
1	0	1	0	1	1	$f_{MAIN}/2^{19}$	
上記以外						設定禁止	

注意1. ビット6, 7には，必ず0を設定してください。

2. フレーム周波数は32~128 Hz (f_{il} 選択時は24~128 Hz) の範囲内で設定してください。さらに，内部昇圧方式，容量分割方式に設定した場合，LCDクロック (LCDCL) は，512 Hz以下 (f_{il} 選択時は235 Hz以下) に設定してください。
3. LCDM1レジスタのSCOCビット = 1のときLCDC0を設定しないでください。

備考 f_{MAIN} : メイン・システム・クロック周波数

f_{sx} : サブクロック

f_{il} : 低速オンチップ・オシレータ・クロック周波数

24.3.5 LCD昇圧レベル制御レジスタ (VLCD)

昇圧回路動作時に生成する基準電圧を選択（コントラスト調整）するレジスタです。基準電圧は、16段階から選択することができます。

VLCDは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、04Hになります。

図24-6 LCD昇圧レベル制御レジスタ (VLCD) のフォーマット

アドレス：FFF43H リセット時：04H R/W

略号	7	6	5	4	3	2	1	0
VLCD	0	0	0	VLCD4	VLCD3	VLCD2	VLCD1	VLCD0

VLCD4	VLCD3	VLCD2	VLCD1	VLCD0	基準電圧選択 (コントラスト調整)	VL4電圧	
						1/3バイアス法時	1/4バイアス法時
0	0	1	0	0	1.00 V (デフォルト)	3.00 V	4.00 V
0	0	1	0	1	1.05 V	3.15 V	4.20 V
0	0	1	1	0	1.10 V	3.30 V	4.40 V
0	0	1	1	1	1.15 V	3.45 V	4.60 V
0	1	0	0	0	1.20 V	3.60 V	4.80 V
0	1	0	0	1	1.25 V	3.75 V	5.00 V
0	1	0	1	0	1.30 V	3.90 V	5.20 V
0	1	0	1	1	1.35 V	4.05 V	設定禁止
0	1	1	0	0	1.40 V	4.20 V	設定禁止
0	1	1	0	1	1.45 V	4.35 V	設定禁止
0	1	1	1	0	1.50 V	4.50 V	設定禁止
0	1	1	1	1	1.55 V	4.65 V	設定禁止
1	0	0	0	0	1.60 V	4.80 V	設定禁止
1	0	0	0	1	1.65 V	4.95 V	設定禁止
1	0	0	1	0	1.70 V	5.10 V	設定禁止
1	0	0	1	1	1.75 V ^注	5.25 V	設定禁止
上記以外					設定禁止		

注 LCD駆動電圧 V_{L1} は、 $V_{DD} \geq V_{L1}$ で使用してください。

注意1. VLCDレジスタの設定は、昇圧回路動作時のみ有効です。

- ビット5-7には、必ず0を設定してください。
- VLCDレジスタの値を変更する場合は、必ず昇圧回路の動作を停止（VLCON = 0）してから行ってください。
- 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから）、基準電圧セットアップ時間（5 ms (MIN.)）をウエイトしたあとに、VLCONに1を設定してください。
- 外部抵抗分割方式または容量分割方式では、VLCDレジスタは初期値（04H）で使用してください。

24.3.6 LCD入力切り替え制御レジスタ (ISCLCD)

CAPL/P126, CAPH/P127, VL3/P125端子をLCD機能として動作するように設定を行うまでの期間, 貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCDレジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図24-7 LCD入力切り替え制御レジスタ (ISCLCD) のフォーマット

アドレス : F0308H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	VL3/P125端子のシュミット・トリガ・バッファの制御
0	入力無効
1	入力有効

ISCCAP	CAPL/P126, CAPH/P127端子のシュミット・トリガ・バッファの制御
0	入力無効
1	入力有効

注意1. ISCVL3ビット = 0の場合, 対応するポート制御レジスタは, 次のように設定してください。

PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

2. ISCCAPビット = 0の場合, 対応するポート制御レジスタは, 次のように設定してください。

PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0

(1) VL3, CAPL, CAPH端子兼用ポートの動作

VL3/P125, CAPL/P126, CAPH/P127端子の機能は, LCD入力切り替え制御レジスタ (ISCLCD), LCDモード・レジスタ0 (LCDM0), ポート・モード・レジスタ12 (PM12) の設定で決定します。

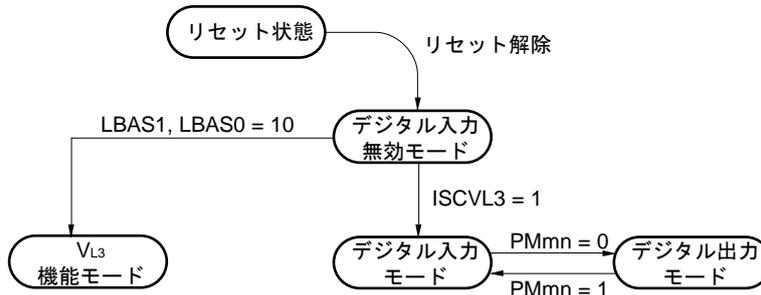
・ VL3/P125

表24-5 VL3/P125端子機能の設定

バイアス法設定 (LCDM0レジスタのLBAS1, LBAS0 ビットで設定)	ISCLCDレジスタの ISCVL3ビット	PM12レジスタの PM125ビット	端子機能	初期状態
1/4バイアス法以外 (LBAS1, LBAS0 = 00または 01)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
1/4バイアス法 (LBAS1, LBAS0 = 10)	0	1	VL3機能モード	—
上記以外			設定禁止	

V_{L3}/P125端子機能の状態遷移を次に示します。

図24-8 V_{L3}/P125端子機能の状態遷移図



注意 V_{L3}機能モードに設定する場合は、セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。

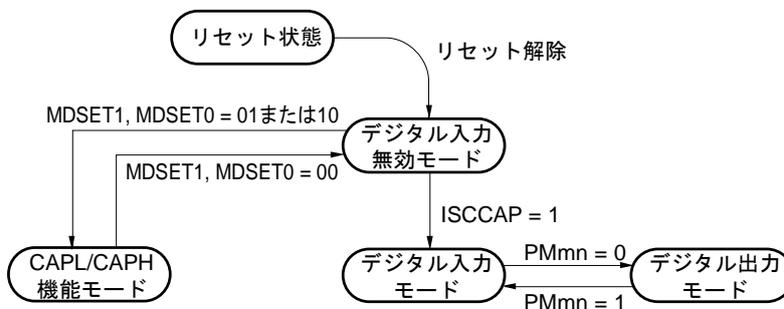
・CAPL/P126, CAPH/P127

表24-6 CAPL/P126, CAPH/P127端子機能の設定

LCD駆動電圧生成 (LCDM0レジスタのMDSET1, MDSET0ビット)	ISCLCDレジスタの ISCCAPビット	PM12レジスタの PM126, PM127ビット	端子機能	初期状態
外部抵抗分割 (MDSET1, MDSET0 = 00)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01または10)	0	1	CAPL/CAPH機能モード	—
上記以外			設定禁止	

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図24-9 CAPL/P126, CAPH/P127端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。

24.3.7 LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6)

P02-P07, P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P90-P97端子をポート（セグメントまたはコモン出力以外）／セグメントまたはコモン出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、**図24-10**に示すリセット時の値になります。

備考 コモン出力端子（COMx）とPFSEGレジスタ（PFCOMxビット）の対応と、製品によるCOMx端子の有無を表24-7 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFCOMビット）に示します。

また、セグメント出力端子（SEGxx）とPFSEGレジスタ（PFSEGxxビット）の対応と、製品によるSEGxx端子の有無を表24-8 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）に示します。

図24-10 LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6) のフォーマット

アドレス：F0300H	リセット時：0FH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG0	0	0	0	0	PFCOM3	PFCOM2	PFCOM1	PFCOM0

アドレス：F0301H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG07	PFSEG06	PFSEG05	PFSEG04	PFSEG03	PFSEG02	PFSEG01	PFSEG00

アドレス：F0302H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08

アドレス：F0303H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

アドレス：F0304H	リセット時：FFH(R5F10NPL), 0FH(R5F10NML)	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG31 注1,2	PFSEG30 注1,2	PFSEG29 注1,2	PFSEG28 注1,2	PFSEG27	PFSEG26	PFSEG25	PFSEG24

アドレス：F0305H	リセット時：FFH(R5F10NPL), 3FH(R5F10NML)	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG5	PFSEG39 注1,2	PFSEG38 注1,2	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32

アドレス：F0306H	リセット時：03H	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG6 ^{注3}	0	0	0	0	0	0	PFSEG41	PFSEG40

(注、注意は、次ページにあります。)

PFCOMx (x = 0-3)	Pmn端子のポート（コモン出力以外）／コモン出力の指定 (mn = 90-93)
0	ポート（コモン出力以外）として使用
1	コモン出力として使用

PFSEGxx (xx = 00-41)	Pmn端子のポート（セグメント、コモン出力以外）／セグメント、コモン出力の指定 (mn = 02-07, 10-17, 30-37, 50-57, 70-77, 80-85, 94-97)
0	ポート（セグメント、コモン出力以外）として使用
1	セグメント、コモン出力として使用

注1. R5F10NMLの初期値は“0”になります。“1”を設定しても動作に影響はなく“0”になります。

2. 80ピン製品では必ず“1”を設定してください。

3. R5F10NPLDFBのみ。

注意 セグメントまたはコモン出力として使用する（PFSEGxx = 1またはPFCOMx = 1）場合には必ずPUmレジスタのPUmnビット = 0、POMmレジスタのPOMmnビット = 0、PIMmレジスタのPIMmnビット = 0 に設定してください。

表24-7 各製品で搭載しているコモン出力端子と対応するPFSEGレジスタ（PFCOMビット）

PFSEGレジスタのビット名	対応するCOMx端子	兼用するポート	100-pin	80-pin
PFCOM0	COM0	P90, (P37)	○	—
		P90	—	○
PFCOM1	COM1	P91, (P36)	○	—
		P91	—	○
PFCOM2	COM2	P92, (P35)	○	—
		P92	—	○
PFCOM3	COM3	P93, (P34)	○	—
		P93	—	○

備考 () 内の端子は、周辺I/Oリダイレクション・レジスタ（PIOR0）の設定により、割り当て可能です。

詳細は、図4-7 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマットを参照してください。

表24-8 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）（1/2）

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	100-pin	80-pin
PFSEG00	SEG0	P94, (P33)	○	—
		P94	—	○
PFSEG01	SEG1	P95, (P32)	○	—
		P95	—	○
PFSEG02	SEG2	P96, (P31)	○	—
		P96	—	○
PFSEG03	SEG3	P97, (P30)	○	—
		P97	—	○
PFSEG04	SEG4	P10	○	○
PFSEG05	SEG5	P11	○	○
PFSEG06	SEG6	P12	○	○
PFSEG07	SEG7	P13	○	○

表24-8 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ (PFSEGビット) (2/2)

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	100-pin	80-pin
PFSEG08	SEG8	P14	○	○
PFSEG09	SEG9	P15	○	○
PFSEG10	SEG10	P16	○	○
PFSEG11	SEG11	P17	○	○
PFSEG12	SEG12	P80	○	○
PFSEG13	SEG13	P81	○	○
PFSEG14	SEG14	P82	○	○
PFSEG15	SEG15	P83	○	○
PFSEG16	SEG16	P70	○	○
PFSEG17	SEG17	P71	○	○
PFSEG18	SEG18	P72	○	○
PFSEG19	SEG19	P73	○	○
PFSEG20	SEG20	P74	○	○
PFSEG21	SEG21	P75	○	○
PFSEG22	SEG22	P76	○	○
PFSEG23	SEG23	P77	○	○
PFSEG24	SEG24	P30, (P97)	○	—
		P30	—	○
PFSEG25	SEG25	P31, (P96)	○	—
		P31	—	○
PFSEG26	SEG26	P32, (P95)	○	—
		P32	—	○
PFSEG27	SEG27	P33, (P94)	○	—
		P33	—	○
PFSEG28	SEG28	P34, (P93)	○	—
PFSEG29	SEG29	P35, (P92)	○	—
PFSEG30	SEG30	P36, (P91)	○	—
PFSEG31	SEG31	P37, (P90)	○	—
PFSEG32	SEG32	P50	○	—
		P02	—	○
PFSEG33	SEG33	P51	○	—
		P03	—	○
PFSEG34	SEG34	P52	○	—
		P04	—	○
PFSEG35	SEG35	P53	○	—
		P05	—	○
PFSEG36	SEG36	P54	○	—
		P06	—	○
PFSEG37	SEG37	P55	○	—
		P07	—	○
PFSEG38	SEG38	P56	○	—
PFSEG39	SEG39	P57	○	—
PFSEG40	SEG40	P84	○	—
PFSEG41	SEG41	P85	○	—

備考 () 内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR0) の設定により、割り当て可能です。

詳細は、**図4-7 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**を参照してください。

(1) SEGxx端子またはCOMx端子兼用ポートの動作

セグメント出力端子 (SEGxx) またはコモン出力端子 (COMx) の機能は、ポート・モード・レジスタ (PMxx) , LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6) の設定で決定します。

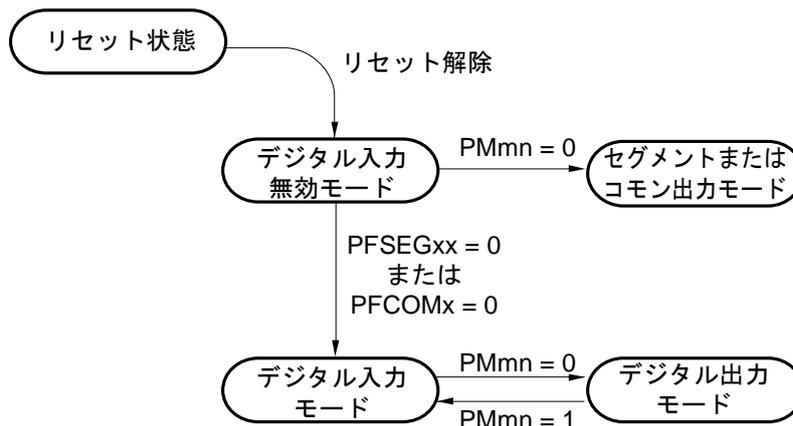
- ・ P02-P07, P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P90-P97
(アナログ入力端子 (ANlxx) を兼用していないポート)

表24-9 SEGxxまたはCOMx/ポート端子機能の設定

PFSEG0-PFSEG6レジスタの PFSEGxx, PFCOMxビット	PMxxレジスタの PMxxビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	—
0	1	デジタル入力モード	—
1	0	セグメントまたはコモン出力モード	—

SEGxxまたはCOMx/Pxx端子機能の状態遷移を次に示します。

図24-11 SEGxxまたはCOMx/Pxx端子機能の状態遷移図



注意 セグメントまたはコモン出力モードに設定する場合は、セグメントまたはコモン出力開始前 (LCDモード・レジスタ1 (LCDM1) のSCOCビット = 0の期間) に設定してください。

24.3.8 ポート・モード・レジスタ0, 1, 3, 5, 7, 8, 9 (PM0, PM1, PM3, PM5, PM7, PM8, PM9)

ポート0, 1, 3, 5, 7, 8, 9の入力／出力を1ビット単位で設定するレジスタです。

セグメント出力端子またはコモン出力端子を兼用するポート (P10/SEG4など) をセグメントまたはコモン出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

例) P10/SEG4をセグメント出力として使用する場合

ポート・モード・レジスタ1のPM10ビットを0に設定

ポート・レジスタ1のP10ビットを0に設定

PM0, PM1, PM3, PM5, PM7, PM8, PM9レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図24-12 ポート・モード・レジスタ0, 1, 3, 5, 7, 8, 9 (PM0, PM1, PM3, PM5, PM7, PM8, PM9) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	1	1	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FFF29H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 5, 7, 8, 9; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、80ピン製品のポート・モード・レジスタ0, 1, 3, 5, 7, 8, 9のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、**図4-1 ポート・モード・レジスタのフォーマット**を参照してください。

24.4 LCD表示データ・レジスタ

LCD表示データ・レジスタは、表24-10のようにマッピングしています。LCD表示データ・レジスタの内容を変更することでLCD表示内容を変更できます。

表24-10 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (1/4)

(a) 6時分割, 8時分割以外 (スタティック, 2時分割, 3時分割, 4時分割) (1/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	F0400H	SEG0 (Bパターン領域)				SEG0 (Aパターン領域)				○	○
SEG1	F0401H	SEG1 (Bパターン領域)				SEG1 (Aパターン領域)				○	○
SEG2	F0402H	SEG2 (Bパターン領域)				SEG2 (Aパターン領域)				○	○
SEG3	F0403H	SEG3 (Bパターン領域)				SEG3 (Aパターン領域)				○	○
SEG4	F0404H	SEG4 (Bパターン領域)				SEG4 (Aパターン領域)				○	○
SEG5	F0405H	SEG5 (Bパターン領域)				SEG5 (Aパターン領域)				○	○
SEG6	F0406H	SEG6 (Bパターン領域)				SEG6 (Aパターン領域)				○	○
SEG7	F0407H	SEG7 (Bパターン領域)				SEG7 (Aパターン領域)				○	○
SEG8	F0408H	SEG8 (Bパターン領域)				SEG8 (Aパターン領域)				○	○
SEG9	F0409H	SEG9 (Bパターン領域)				SEG9 (Aパターン領域)				○	○
SEG10	F040AH	SEG10 (Bパターン領域)				SEG10 (Aパターン領域)				○	○
SEG11	F040BH	SEG11 (Bパターン領域)				SEG11 (Aパターン領域)				○	○
SEG12	F040CH	SEG12 (Bパターン領域)				SEG12 (Aパターン領域)				○	○
SEG13	F040DH	SEG13 (Bパターン領域)				SEG13 (Aパターン領域)				○	○
SEG14	F040EH	SEG14 (Bパターン領域)				SEG14 (Aパターン領域)				○	○
SEG15	F040FH	SEG15 (Bパターン領域)				SEG15 (Aパターン領域)				○	○
SEG16	F0410H	SEG16 (Bパターン領域)				SEG16 (Aパターン領域)				○	○
SEG17	F0411H	SEG17 (Bパターン領域)				SEG17 (Aパターン領域)				○	○
SEG18	F0412H	SEG18 (Bパターン領域)				SEG18 (Aパターン領域)				○	○
SEG19	F0413H	SEG19 (Bパターン領域)				SEG19 (Aパターン領域)				○	○
SEG20	F0414H	SEG20 (Bパターン領域)				SEG20 (Aパターン領域)				○	○
SEG21	F0415H	SEG21 (Bパターン領域)				SEG21 (Aパターン領域)				○	○
SEG22	F0416H	SEG22 (Bパターン領域)				SEG22 (Aパターン領域)				○	○
SEG23	F0417H	SEG23 (Bパターン領域)				SEG23 (Aパターン領域)				○	○
SEG24	F0418H	SEG24 (Bパターン領域)				SEG24 (Aパターン領域)				○	○
SEG25	F0419H	SEG25 (Bパターン領域)				SEG25 (Aパターン領域)				○	○
SEG26	F041AH	SEG26 (Bパターン領域)				SEG26 (Aパターン領域)				○	○
SEG27	F041BH	SEG27 (Bパターン領域)				SEG27 (Aパターン領域)				○	○
SEG28	F041CH	SEG28 (Bパターン領域)				SEG28 (Aパターン領域)				○	—
SEG29	F041DH	SEG29 (Bパターン領域)				SEG29 (Aパターン領域)				○	—
SEG30	F041EH	SEG30 (Bパターン領域)				SEG30 (Aパターン領域)				○	—
SEG31	F041FH	SEG31 (Bパターン領域)				SEG31 (Aパターン領域)				○	—
SEG32	F0420H	SEG32 (Bパターン領域)				SEG32 (Aパターン領域)				○	○
SEG33	F0421H	SEG33 (Bパターン領域)				SEG33 (Aパターン領域)				○	○

表24-10 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (2/4)

(a) 6時分割, 8時分割以外 (スタティック, 2時分割, 3時分割, 4時分割) (2/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG34	F0422H	SEG34 (Bパターン領域)				SEG34 (Aパターン領域)				○	○
SEG35	F0423H	SEG35 (Bパターン領域)				SEG35 (Aパターン領域)				○	○
SEG36	F0424H	SEG36 (Bパターン領域)				SEG36 (Aパターン領域)				○	○
SEG37	F0425H	SEG37 (Bパターン領域)				SEG37 (Aパターン領域)				○	○
SEG38	F0426H	SEG38 (Bパターン領域)				SEG38 (Aパターン領域)				○	—
SEG39	F0427H	SEG39 (Bパターン領域)				SEG39 (Aパターン領域)				○	—
SEG40	F0428H	SEG40 (Bパターン領域)				SEG40 (Aパターン領域)				○	—
SEG41	F0429H	SEG41 (Bパターン領域)				SEG41 (Aパターン領域)				○	—

備考 ○ : サポートする — : サポートしない

表24-10 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (3/4)

(b) 6時分割, 8時分割 (1/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	F0400H	SEG0 ^注								○	○
SEG1	F0401H	SEG1 ^注								○	○
SEG2	F0402H	SEG2 ^注								○	○
SEG3	F0403H	SEG3 ^注								○	○
SEG4	F0404H	SEG4								○	○
SEG5	F0405H	SEG5								○	○
SEG6	F0406H	SEG6								○	○
SEG7	F0407H	SEG7								○	○
SEG8	F0408H	SEG8								○	○
SEG9	F0409H	SEG9								○	○
SEG10	F040AH	SEG10								○	○
SEG11	F040BH	SEG11								○	○
SEG12	F040CH	SEG12								○	○
SEG13	F040DH	SEG13								○	○
SEG14	F040EH	SEG14								○	○
SEG15	F040FH	SEG15								○	○
SEG16	F0410H	SEG16								○	○
SEG17	F0411H	SEG17								○	○
SEG18	F0412H	SEG18								○	○
SEG19	F0413H	SEG19								○	○
SEG20	F0414H	SEG20								○	○
SEG21	F0415H	SEG21								○	○
SEG22	F0416H	SEG22								○	○
SEG23	F0417H	SEG23								○	○
SEG24	F0418H	SEG24								○	○
SEG25	F0419H	SEG25								○	○
SEG26	F041AH	SEG26								○	○
SEG27	F041BH	SEG27								○	○
SEG28	F041CH	SEG28								○	—
SEG29	F041DH	SEG29								○	—
SEG30	F041EH	SEG30								○	—
SEG31	F041FH	SEG31								○	—
SEG32	F0420H	SEG32								○	○
SEG33	F0421H	SEG33								○	○
SEG34	F0422H	SEG34								○	○
SEG35	F0423H	SEG35								○	○
SEG36	F0424H	SEG36								○	○
SEG37	F0425H	SEG37								○	○
SEG38	F0426H	SEG38								○	—
SEG39	F0427H	SEG39								○	—
SEG40	F0428H	SEG40								○	—

表24-10 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (4/4)

(b) 6時分割, 8時分割 (2/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG41	F0429H	SEG41								○	—

注 COM4-COM7端子とSEG0-SEG3端子は兼用しています。

備考 ○ : サポートする — : サポートしない

スタティック, 2時分割, 3時分割, または4時分割で使用する場合, LCD表示データ・レジスタの各アドレスの下位4ビットはAパターン領域, 上位4ビットはBパターン領域となります。

Aパターン領域のデータとCOM信号の対応は, ビット0⇔COM0, ビット1⇔COM1, ビット2⇔COM2, ビット3⇔COM3となります。

Bパターン領域のデータとCOM信号の対応は, ビット4⇔COM0, ビット5⇔COM1, ビット6⇔COM2, ビット7⇔COM3となります。

BLON = LCDSEL = 0選択時にはAパターン領域のデータを, BLON = 0, LCDSEL = 1選択時には, Bパターン領域のデータを, LCDパネルに表示します。

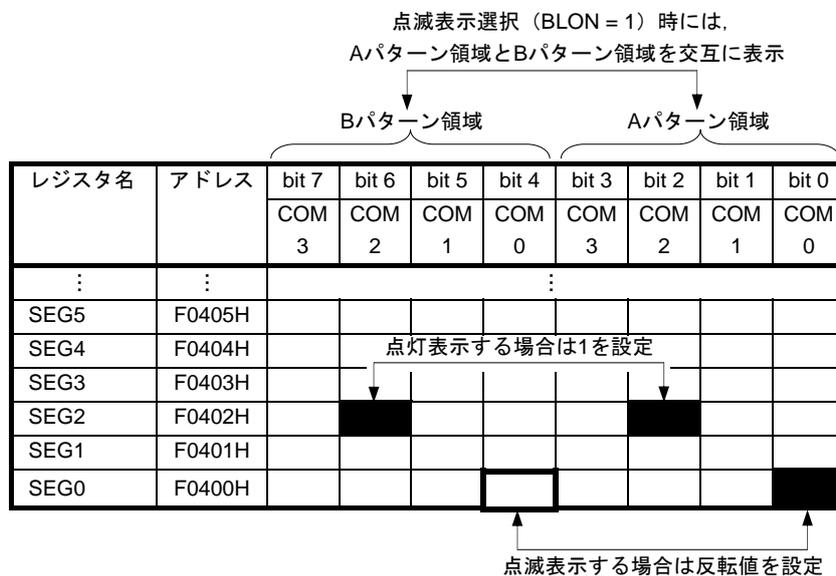
24.5 LCD表示レジスタの選択

RL78/I1C (512 KB) では、スタティック、2時分割、3時分割、または4時分割で使用する場合、BLONビットとLCDSELビットの設定により、LCD表示データ・レジスタを次の3種類から選択することができます。

- ・ Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータ表示
- ・ Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータ表示
- ・ Aパターン領域とBパターン領域のデータを交互に表示（独立電源RTCの定周期割り込みタイミングに対応した点滅表示）

注意 6時分割または8時分割使用時は、LCD表示データ・レジスタ（Aパターン、Bパターンまたは点滅表示）を選択することはできません。

図24-13 パターン切り替え表示時のLCD表示レジスタの設定例



24.5.1 Aパターン領域, Bパターン領域のデータ表示

BLON = LCDSEL = 0設定時では, Aパターン領域 (LCD表示データ・レジスタの下位4ビット) のデータがLCD表示レジスタとして出力されます。

BLON = 0, LCDSEL = 1設定時では, Bパターン領域 (LCD表示データ・レジスタの上位4ビット) のデータがLCD表示レジスタとして出力されます。

表示領域については, 24.4 LCD表示データ・レジスタを参照してください。

24.5.2 点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)

BLON = 1設定時では, 独立電源RTCの周期割り込み(INTRTCPRD) タイミングに対応して, Aパターン領域とBパターン領域のデータを交互に表示します。独立電源RTCの周期割り込み (INTRTCPRD, 0.5 s設定のみ) タイミングの設定については, 第9章 独立電源RTCを参照してください。

LCDを点滅表示する場合, Aパターン領域のビットに対応するBパターン領域のビットに反転値を設定してください (ex. F0400Hのビット0に1を設定し, 点滅表示する場合は, F0400Hのビット4に0を設定)。また, LCDを点滅表示しない場合は, 同値を設定してください (ex. F0402Hのビット2に1を設定し, 点灯表示する場合は, F0402Hのビット6に1を設定)。

表示領域については, 24.4 LCD表示データ・レジスタを参照してください。

次に, 表示切り替えのタイミング動作を示します。

図24-14 Aパターン表示から点滅表示への切り替え動作

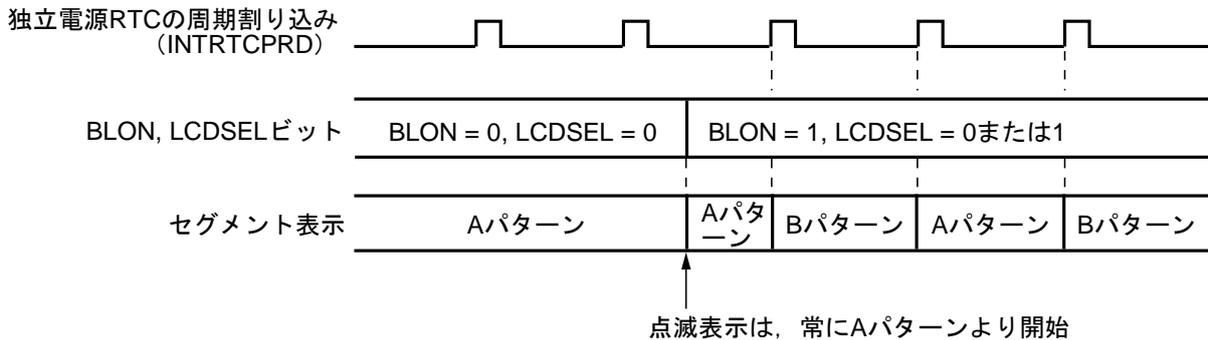


図24-15 点滅表示からAパターン表示への切り替え動作



24.6 LCDコントローラ／ドライバの設定

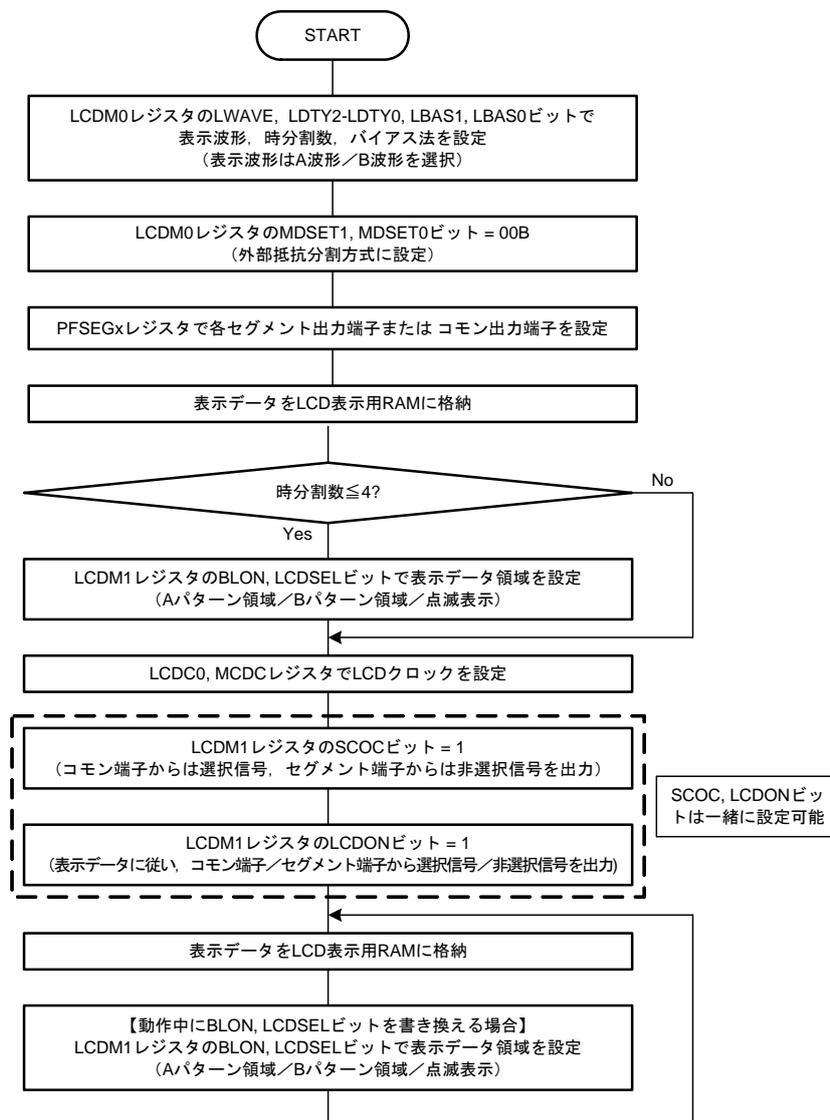
LCDコントローラ／ドライバの設定は、次のように行ってください。

注意1. LCDコントローラ／ドライバを動作させる場合は、必ず(1) - (3)の設定手順に従って動作させてください。設定手順を守らない場合の動作は保証しません。

2. (1) - (3)の設定手順は全てCPUの処理となっています。

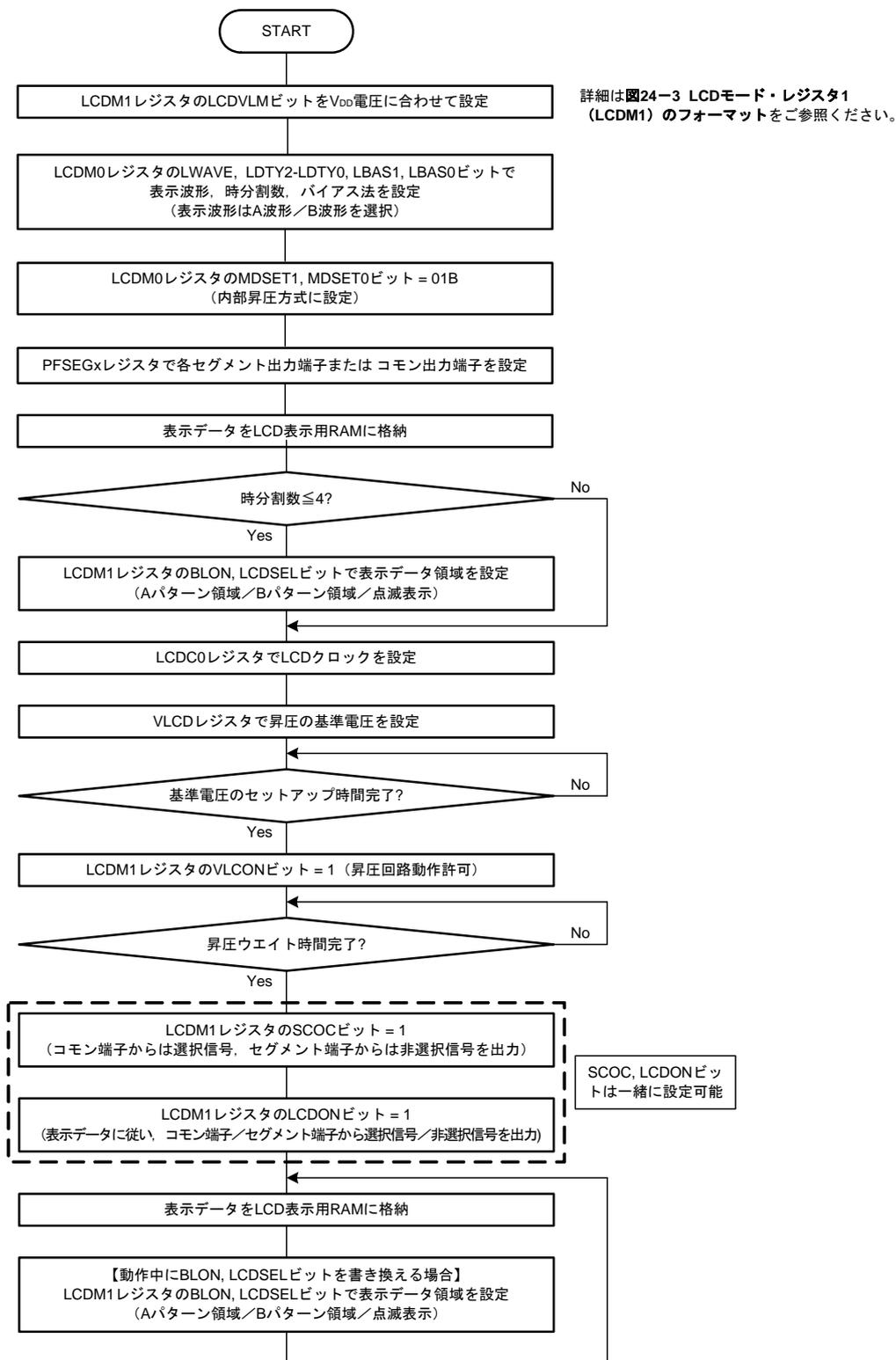
(1) 外部抵抗分割方式

図24-16 外部抵抗分割方式の設定手順



(2) 内部昇圧方式

図24-17 内部昇圧方式の設定手順

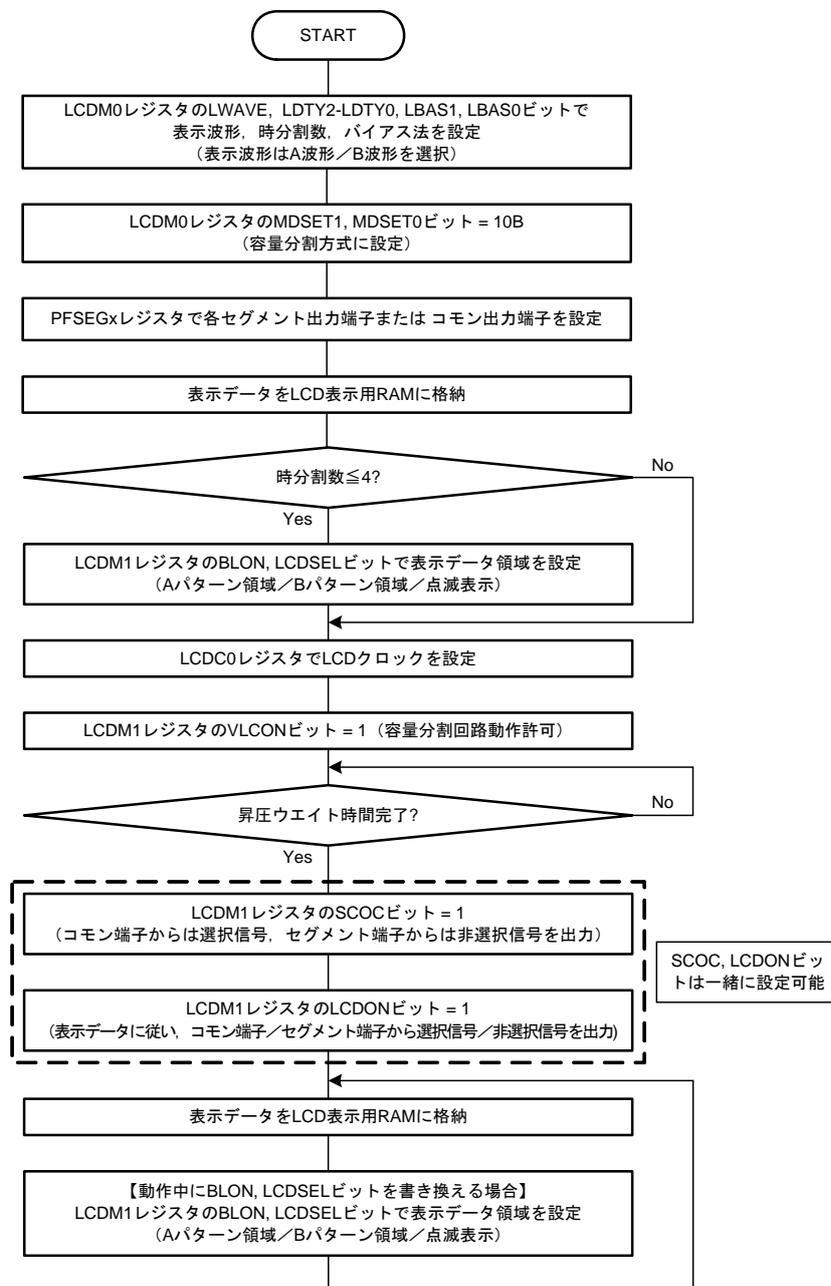


注意1. VLCDレジスタを変更しない場合でもセットアップ時間完了まで待ってください。

2. 基準電圧セットアップ時間、および昇圧ウエイト時間のスペックについては、第43章 電気的特性を参照してください。

(3) 容量分割方式

図24-18 容量分割方式の設定手順



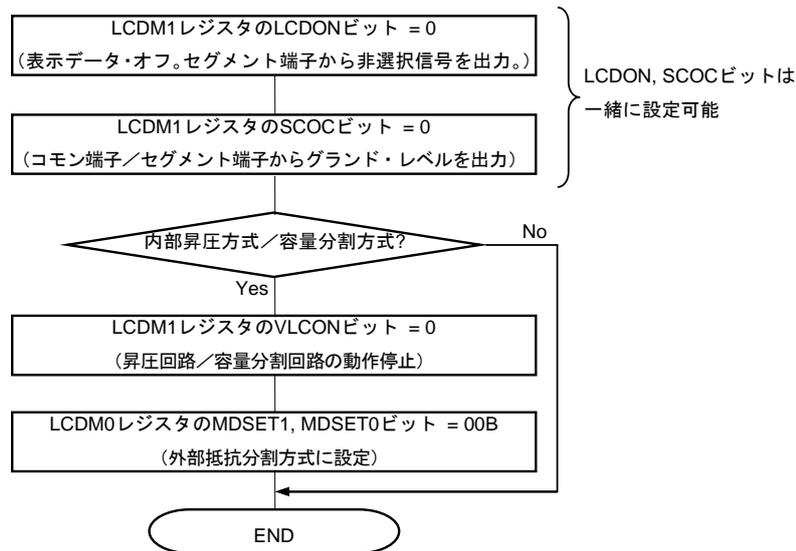
注意 昇圧ウエイト時間のスペックについては、第43章 電気的特性を参照してください。

24.7 動作停止手順

LCDパネル表示中に動作を停止させたい場合は、次に示すフロー・チャートの設定で行ってください。

LCDM1レジスタのLCDONビット = 0かつLCDM1レジスタのSCOCビット = 0に設定することで、LCDの動作は停止します。

図24-19 動作停止手順



注意 表示オン状態 (LCDM1レジスタのSCOC, LCDONビット = 11B) で、昇圧／容量分割回路を停止すること (LCDM1レジスタのVLCONビット = 0) は禁止です。設定した場合の動作は保証しません。必ず表示オフ (LCDM1レジスタのSCOC, LCDONビット = 00B) にしてから昇圧／容量分割回路を停止 (LCDM1レジスタのVLCONビット = 0) してください。

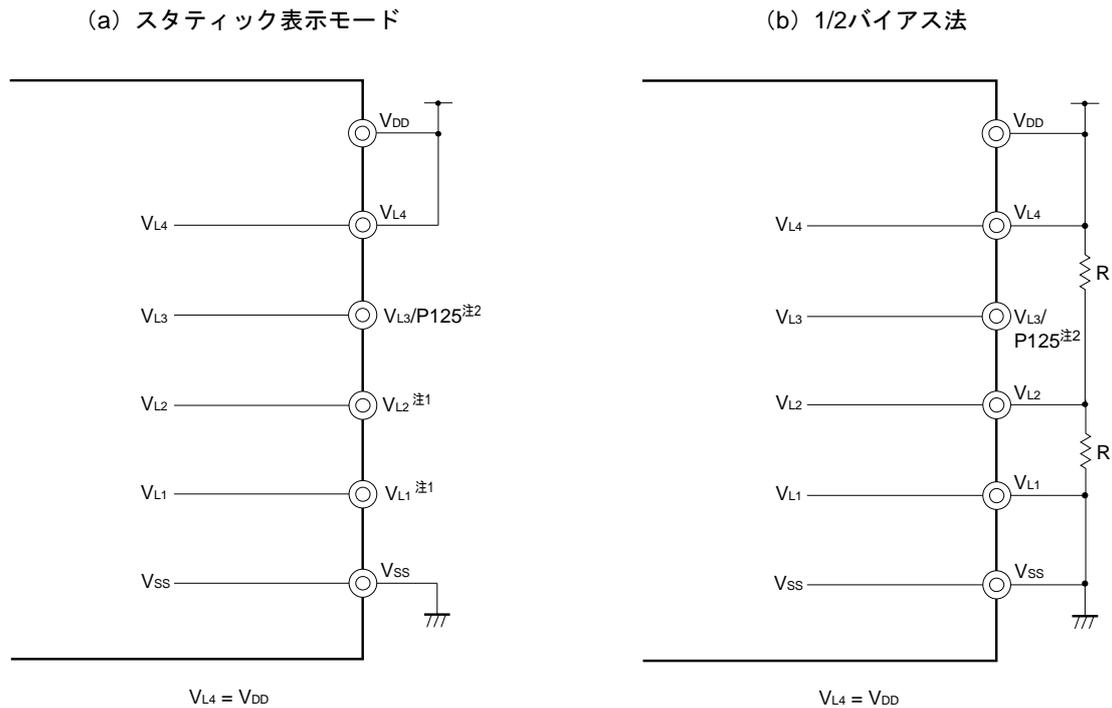
24.8 LCD駆動電圧 V_{L1} , V_{L2} , V_{L3} , V_{L4} の供給

LCD駆動用電源の生成方法として、外部抵抗分割方式、内部昇圧方式、容量分割方式の3種類を選択できます。

24.8.1 外部抵抗分割方式

図24-20に各バイアス法に応じたLCD駆動電圧の接続例を示します。

図24-20 LCD駆動用電源の接続例（外部抵抗分割方式）（1/2）

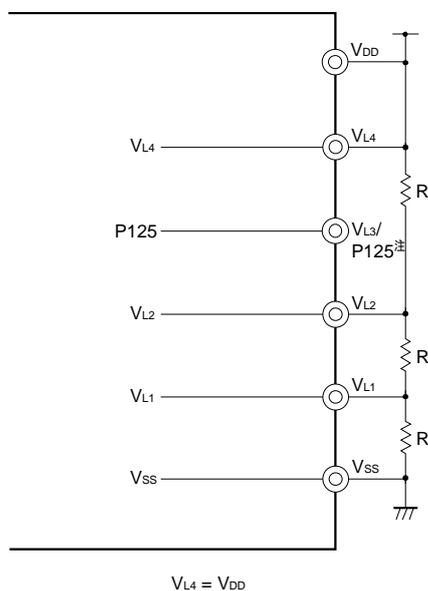


注1. V_{L1} , V_{L2} は、GNDもしくはオープンにしてください。

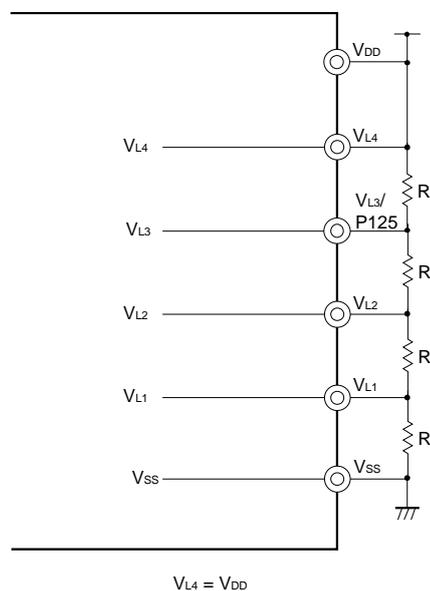
2. V_{L3} は、ポート（P125）として使用できます。

図24-20 LCD駆動用電源の接続例（外部抵抗分割方式）（2/2）

(c) 1/3バイアス法



(d) 1/4バイアス法



注 V_{L3} は、ポート（P125）として使用できます。

注意 外部抵抗分割用抵抗Rの参考値は、10 k Ω ～1 M Ω です。また、 V_{L1} - V_{L4} 端子の電位を安定させる場合には、必要に応じて、 V_{L1} - V_{L4} 端子-GND間にコンデンサを接続してください。これらの参考値は、0.47 μ F程度です。使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分に行った上で、値を調整して決定してください。

24.8.2 内部昇圧方式

RL78/I1C (512 KB) は、LCD駆動電源用に内部昇圧回路を内蔵しています。内部昇圧回路と外付けのコンデンサ (0.47 $\mu\text{F} \pm 30\%$) により、LCD駆動電圧を生成します。内部昇圧方式は、1/3バイアス法または1/4バイアス法のみ使用できます。

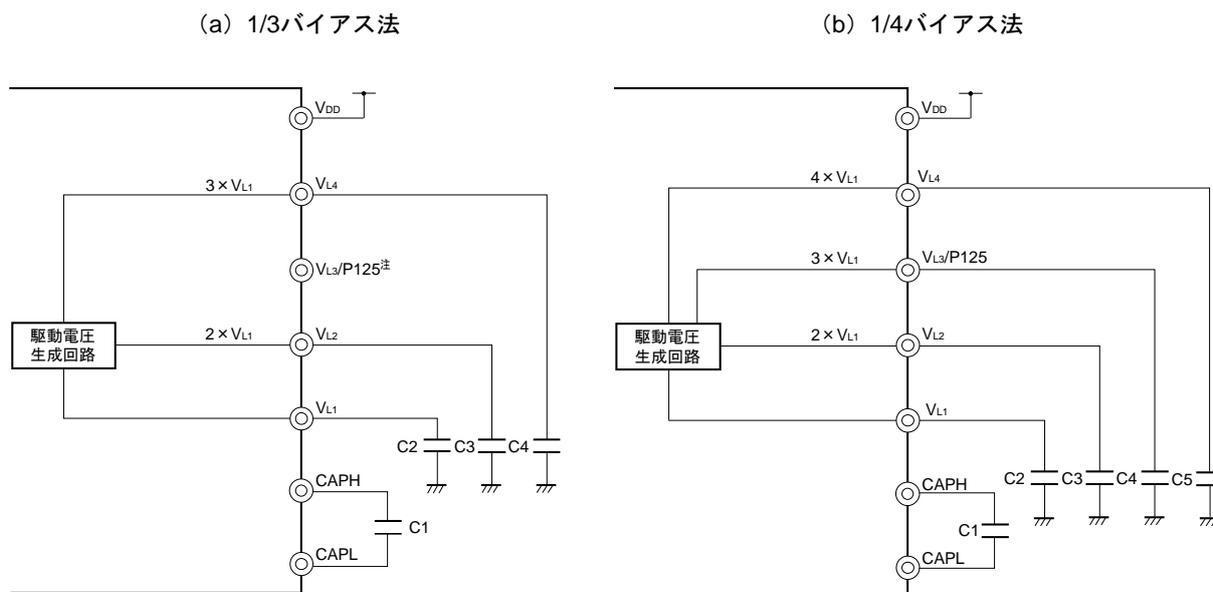
内部昇圧方式のLCD駆動電圧は、本体とは別の電源なので、 V_{DD} の変化に関わらず、一定の電圧を供給できます。

また、LCD昇圧制御レジスタ (VLCD) の設定により、コントラストを調整することができます。

表24-11 LCD駆動電圧 (内部昇圧方式)

表示モード LCD駆動電源端子	1/3バイアス法	1/4バイアス法
V_{L4}	$3 \times V_{L1}$	$4 \times V_{L1}$
V_{L3}	—	$3 \times V_{L1}$
V_{L2}	$2 \times V_{L1}$	$2 \times V_{L1}$
V_{L1}	LCD基準電圧	LCD基準電圧

図24-21 LCD駆動電源の接続例 (内部昇圧方式)



注 V_{L3} は、ポート (P125) として使用できます。

備考 なるべくリークの少ないコンデンサをご使用ください。

なお、C1は無極性コンデンサにしてください。

24.8.3 容量分割方式

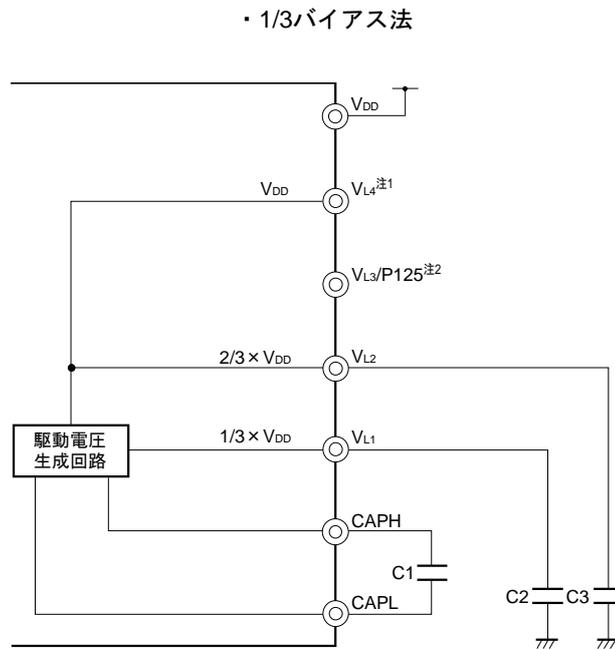
RL78/I1C (512 KB) は、LCD駆動電源用に容量分割回路を内蔵しています。容量分割回路と外付けのコンデンサ (0.47 μ F \pm 30%) により、LCD駆動電圧を生成します。容量分割方式は、1/3バイアス法のみ使用できます。

外部抵抗分割方式とは異なり、容量分割方式では常時電流が流れないため、消費電流を低減することができます。

表24-12 LCD駆動電圧 (容量分割方式)

LCD駆動用電源端子	表示モード	1/3バイアス法
V _{L4}		V _{DD}
V _{L3}		—
V _{L2}		$2/3 \times V_{L4}$
V _{L1}		$1/3 \times V_{L4}$

図24-22 LCD駆動用電源の接続例 (容量分割方式)



注1. 内部昇圧方式に切り替えて使用する場合は、**図24-21 LCD駆動用電源の接続例 (内部昇圧方式)** のようにコンデンサC4を接続してください。

2. V_{L3}は、ポート (P125) として使用できます。

備考 なるべくリークの少ないコンデンサをご使用ください。

なお、C1は無極性コンデンサにしてください。

24.9 コモン信号とセグメント信号

24.9.1 通常液晶波形の場合

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表24-13に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお、2時分割の場合のCOM2、COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

また、6時分割、8時分割以外の場合のCOM4-COM7端子および6時分割の場合のCOM6、COM7端子は、オープンまたはセグメント端子として使用してください。

表24-13 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック	↑	↑	↑	↑	注	注	注	注
2時分割	↑	↑	オープン	オープン	注	注	注	注
3時分割	↑	↑	↑	オープン	注	注	注	注
4時分割	↑	↑	↑	↑	注	注	注	注
6時分割	↑	↑	↑	↑	↑	↑	注	注
8時分割	↑	↑	↑	↑	↑	↑	↑	↑

注 オープン、またはセグメント端子として使用してください。

(2) セグメント信号

セグメント信号は、LCD表示データ・レジスタ（24.4 LCD表示データ・レジスタ参照）に対応しています。

8時分割方式で使用する場合、各表示データ・レジスタのビット0からビット7が、COM0からCOM7に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（SEG4-SEG41）に出力されます。

8時分割方式以外で使用する場合、Aパターン領域では、各表示データ・レジスタのビット0からビット3がCOM0からCOM3に、Bパターン領域では、各表示データ・レジスタのビット4からビット7がCOM0からCOM3に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（SEG0-SEG41）に出力されます。

以上のことから、LCD表示データ・レジスタには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかわ確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

備考 搭載するセグメント端子は、製品により異なります。

- ・ 80ピン製品： SEG0-SEG27, SEG32-SEG37
- ・ 100ピン製品： SEG0-SEG41

(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表24-14に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表24-14 LCD駆動電圧

(a) スタティック表示モード

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2バイアス法

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	V_{L2}	$-\frac{1}{2} V_{LCD} / +\frac{1}{2} V_{LCD}$	$+\frac{1}{2} V_{LCD} / -\frac{1}{2} V_{LCD}$

(c) 1/3バイアス法 (A波形, B波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}/V_{L1}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3} V_{LCD} / +\frac{1}{3} V_{LCD}$
非選択信号レベル	V_{L1}/V_{L2}	$-\frac{1}{3} V_{LCD} / +\frac{1}{3} V_{LCD}$	$+\frac{1}{3} V_{LCD} / -\frac{1}{3} V_{LCD}$

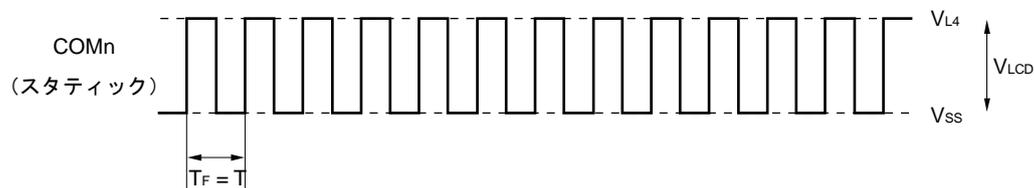
(d) 1/4バイアス法 (A波形, B波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{2} V_{LCD} / +\frac{1}{2} V_{LCD}$
非選択信号レベル	V_{L1}/V_{L3}	$-\frac{1}{4} V_{LCD} / +\frac{1}{4} V_{LCD}$	$+\frac{1}{4} V_{LCD} / -\frac{1}{4} V_{LCD}$

図24-23にコモン信号波形を、図24-24にコモン信号とセグメント信号の電圧と位相を示します。

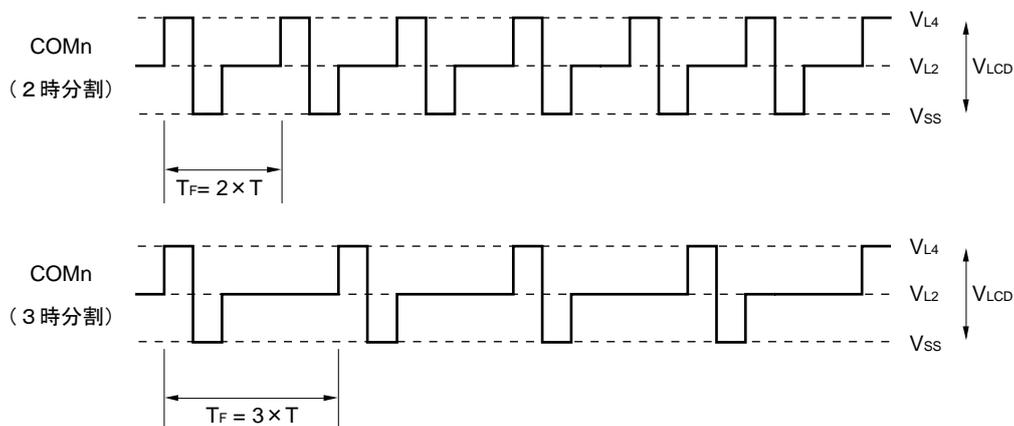
図24-23 コモン信号波形 (1/3)

(a) スタティック表示モード



T : LCDクロックの1周期分 T_F : フレーム周波数

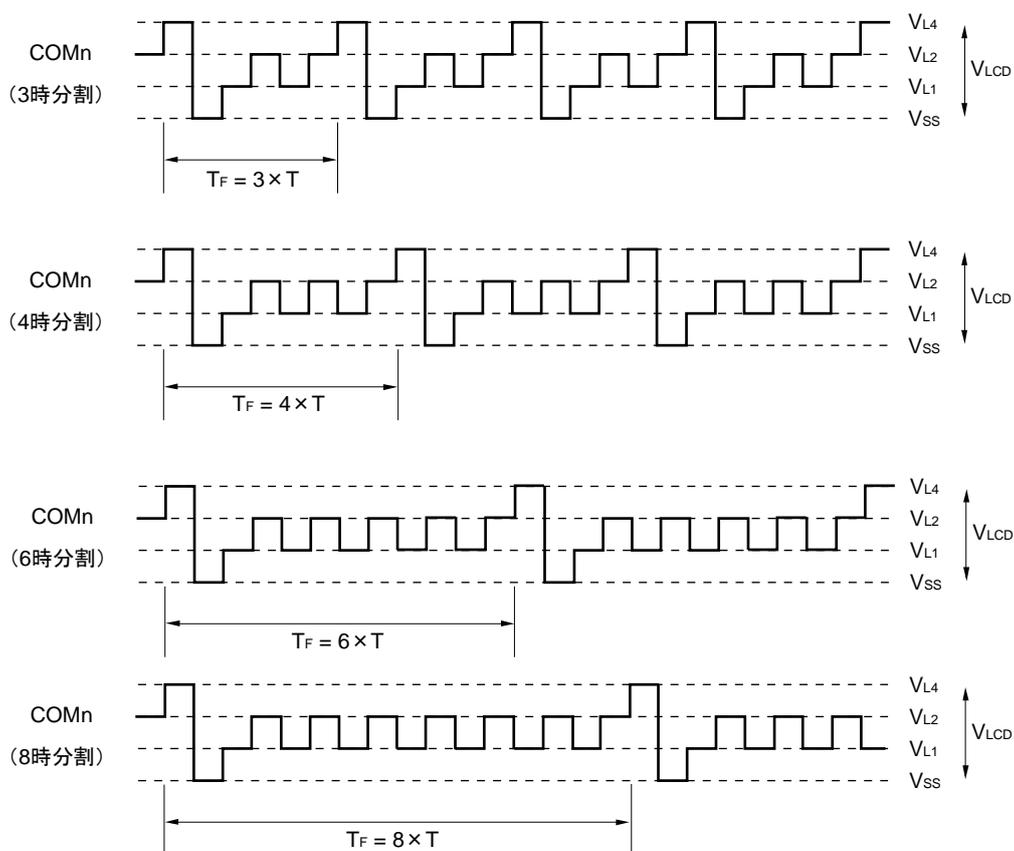
(b) 1/2バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

図24-23 コモン信号波形 (2/3)

(c) 1/3バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

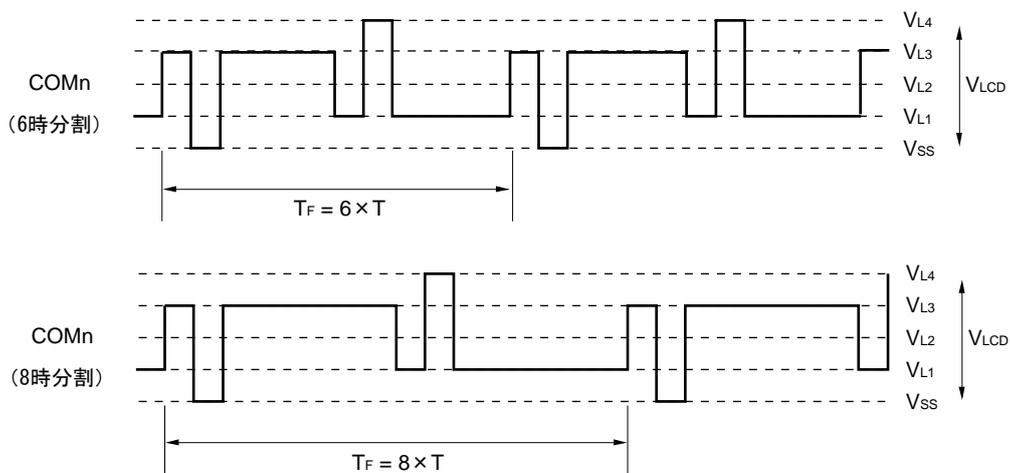
<LCDフレーム周波数の算出例 (4時分割使用時) >

LCDクロック : $32768/2^7 = 256 \text{ Hz}$ (LCDC0 = 06H設定時)

LCDフレーム周波数 : 64 Hz

図24-23 コモン信号波形 (3/3)

(d) 1/4バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

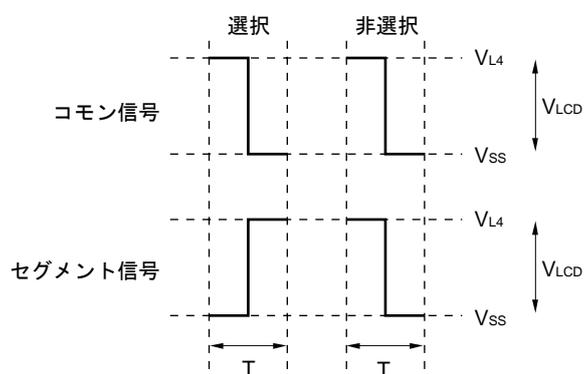
<LCDフレーム周波数の算出例 (8時分割使用時) >

LCDクロック : $32768/2^7 = 256 \text{ Hz}$ (LCDC0 = 06H設定時)

LCDフレーム周波数 : 32 Hz

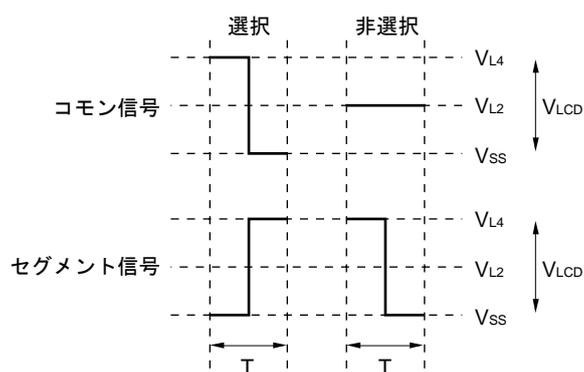
図24-24 コモン信号とセグメント信号の電圧と位相 (1/3)

(a) スタティック表示モード (A波形)



T : LCDクロックの1周期分

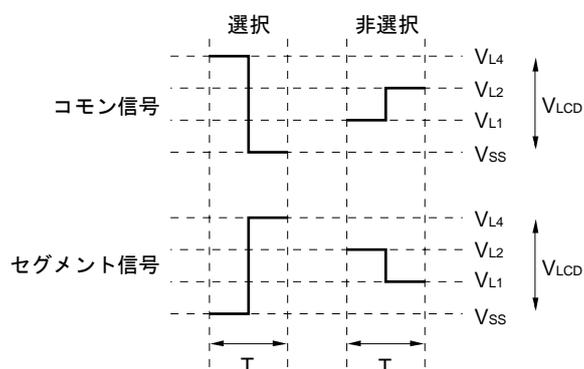
(b) 1/2バイアス法 (A波形)



T : LCDクロックの1周期分

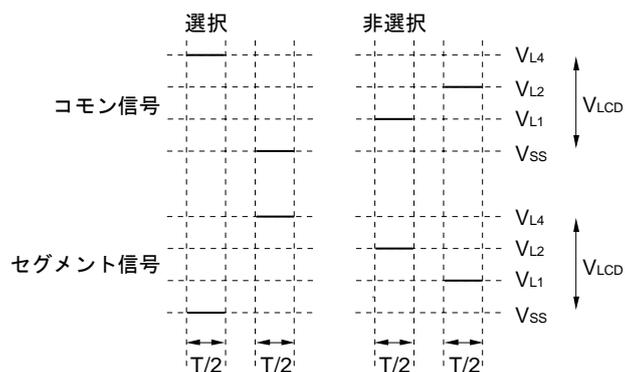
図24-24 コモン信号とセグメント信号の電圧と位相 (2/3)

(c) 1/3バイアス法 (A波形)



T : LCDクロックの1周期分

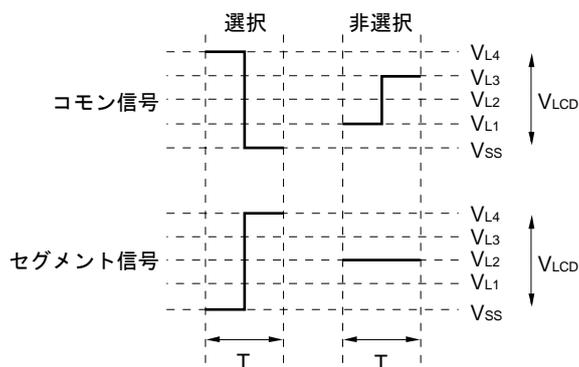
(d) 1/3バイアス法 (B波形)



T : LCDクロックの1周期分

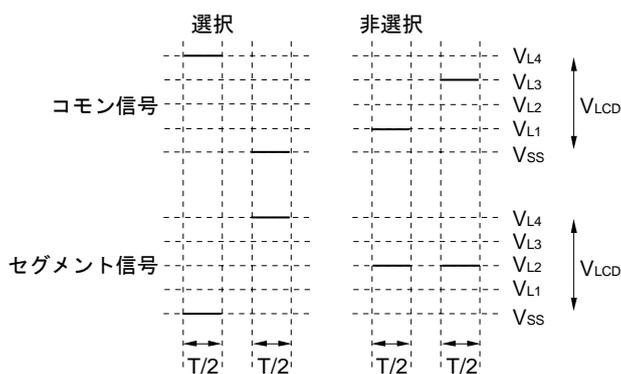
図24-24 コモン信号とセグメント信号の電圧と位相 (3/3)

(e) 1/4バイアス法 (A波形)



T : LCDクロックの1周期分

(f) 1/4バイアス法 (B波形)



T : LCDクロックの1周期分

24.10 表示モード

24.10.1 スタティック表示例

図24-26は、図24-25の表示パターンを持つスタティック方式の3桁のLCDパネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0) との接続を示します。表示例は12.3で、表示データ・レジスタ (F0400H-F0417H) の内容はこれに対応しています。

ここでは2桁目の2. (2.) を例にとって説明します。図24-25の表示パターンに従って、COM0のコモン信号のタイミングで表24-15に示すような選択、非選択電圧をSEG8-SEG15端子に出力する必要があります。

表24-15 選択、非選択電圧 (COM0)

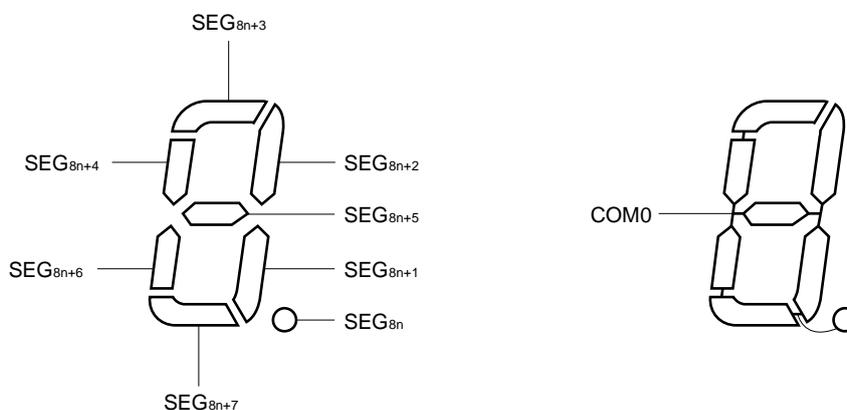
セグメント コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これによりSEG8-SEG15に対応する表示データ・レジスタ (F0408H-F040FH) のビット0には、10110111を用意すればよいことが分かります。

SEG11, SEG12とCOM0とのLCD駆動波形を図24-27に示します。COM0との選択タイミングでSEG11が選択電圧になるときに、LCD点灯レベルである+V_{LCD}/−V_{LCD}の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図24-25 スタティックLCDの表示パターンと電極結線



備考 100ピン製品 : n = 0-4

図24-26 スタティックLCDパネルの結線例

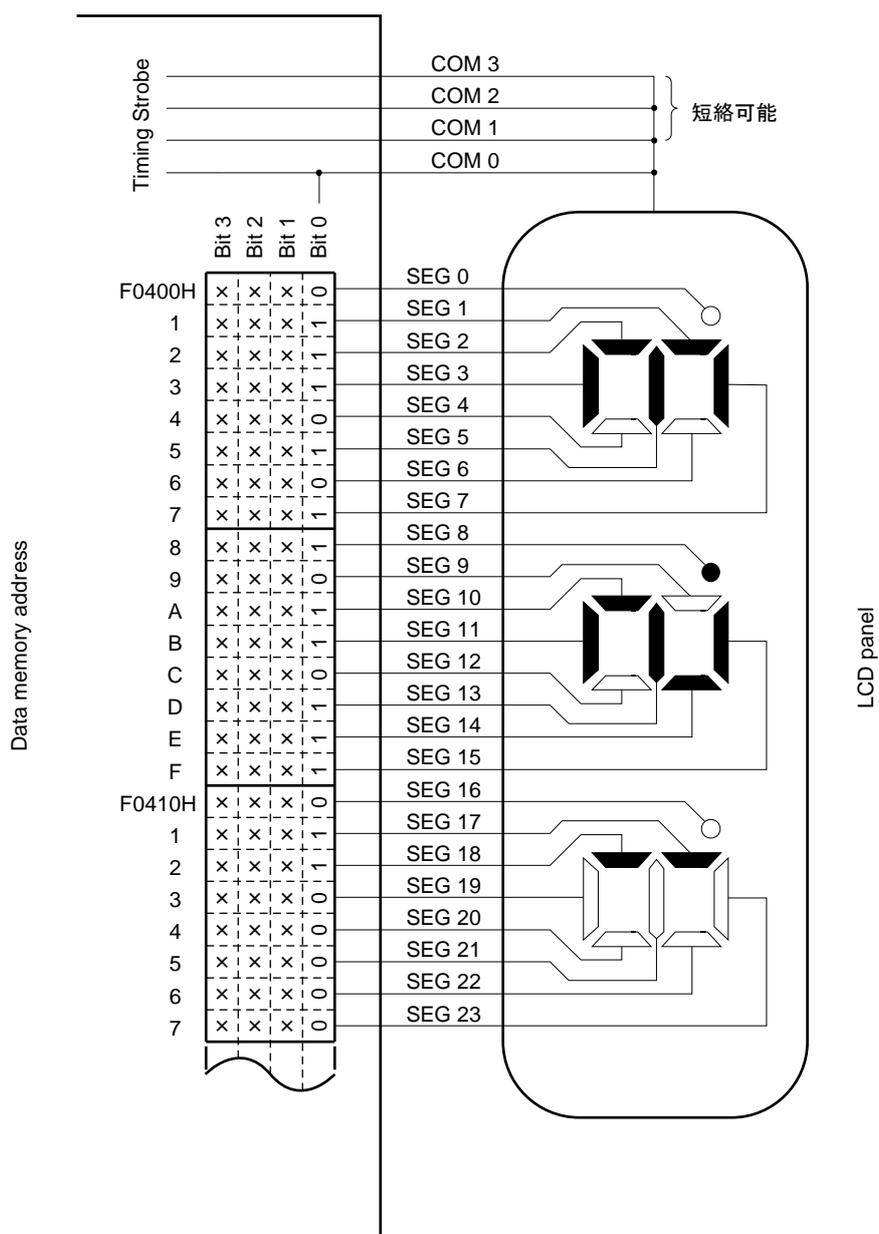
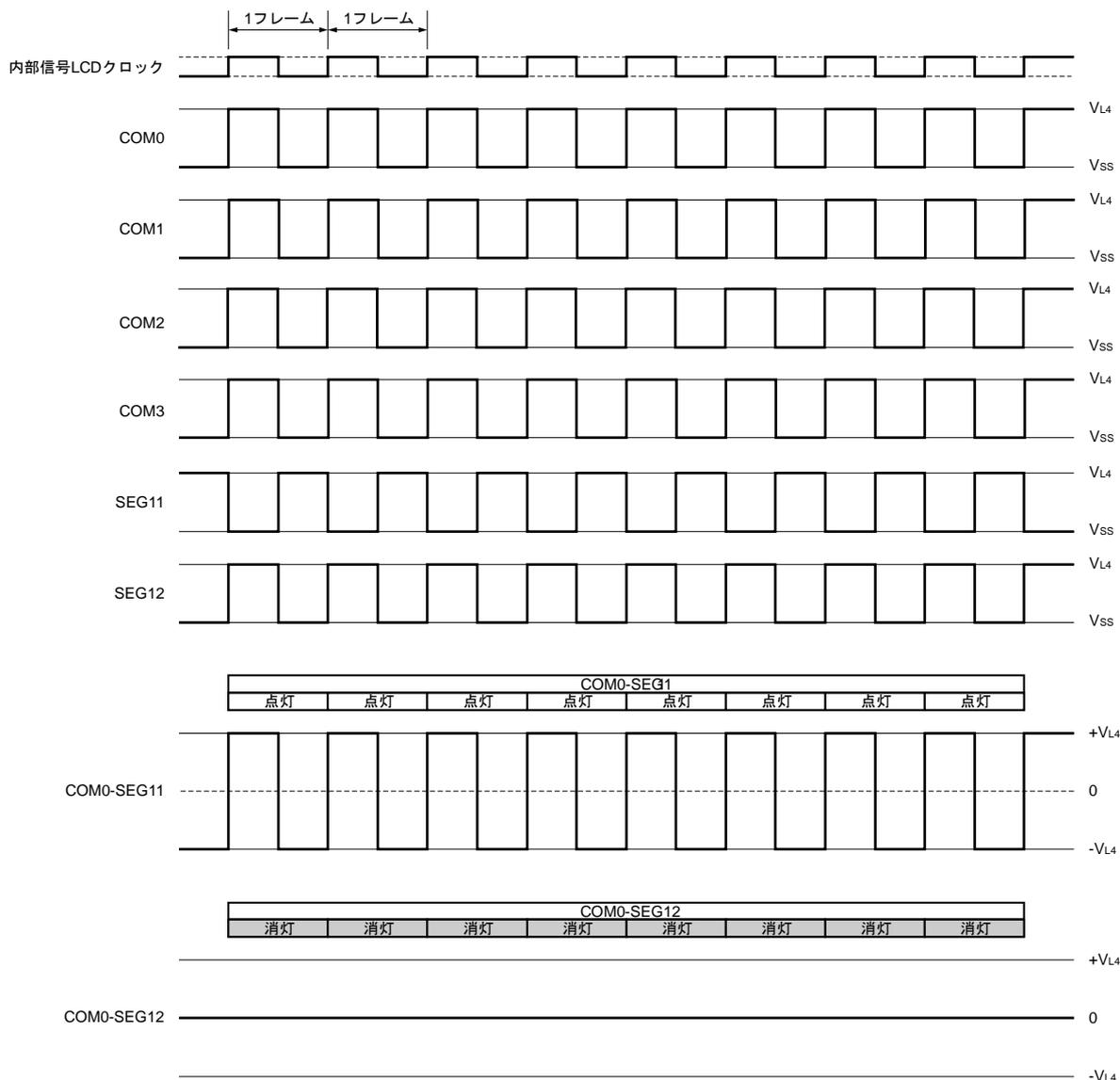


図24-27 SEG11, SEG12とCOM0とのスタティックLCD駆動波形例



24.10.2 2時分割表示例

図24-29は、図24-28の表示パターンを持つ2時分割方式の6桁LCDパネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0, COM1) との接続を示します。表示例は12345.6で、表示データ・レジスタ (F0400H-F0417H) の内容はそれらに対応しています。

ここでは4桁目の3 (三) を例にとって説明します。図24-28の表示パターンに従って、COM0, COM1の各コモン信号のタイミングで表24-16に示すような選択、非選択電圧をSEG12-SEG15端子に出力する必要があります。

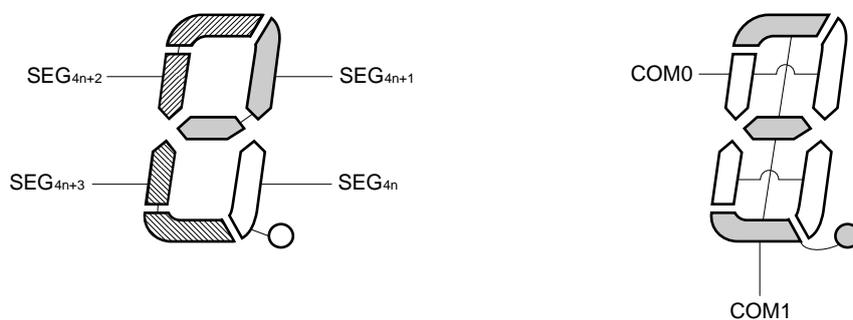
表24-16 選択、非選択電圧 (COM0, COM1)

セグメント コモン	SEG12	SEG13	SEG14	SEG15
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえばSEG15に対応する表示データ・レジスタ (F040FH番地) には、 $\times \times 10$ を用意すればよいことが分かります。

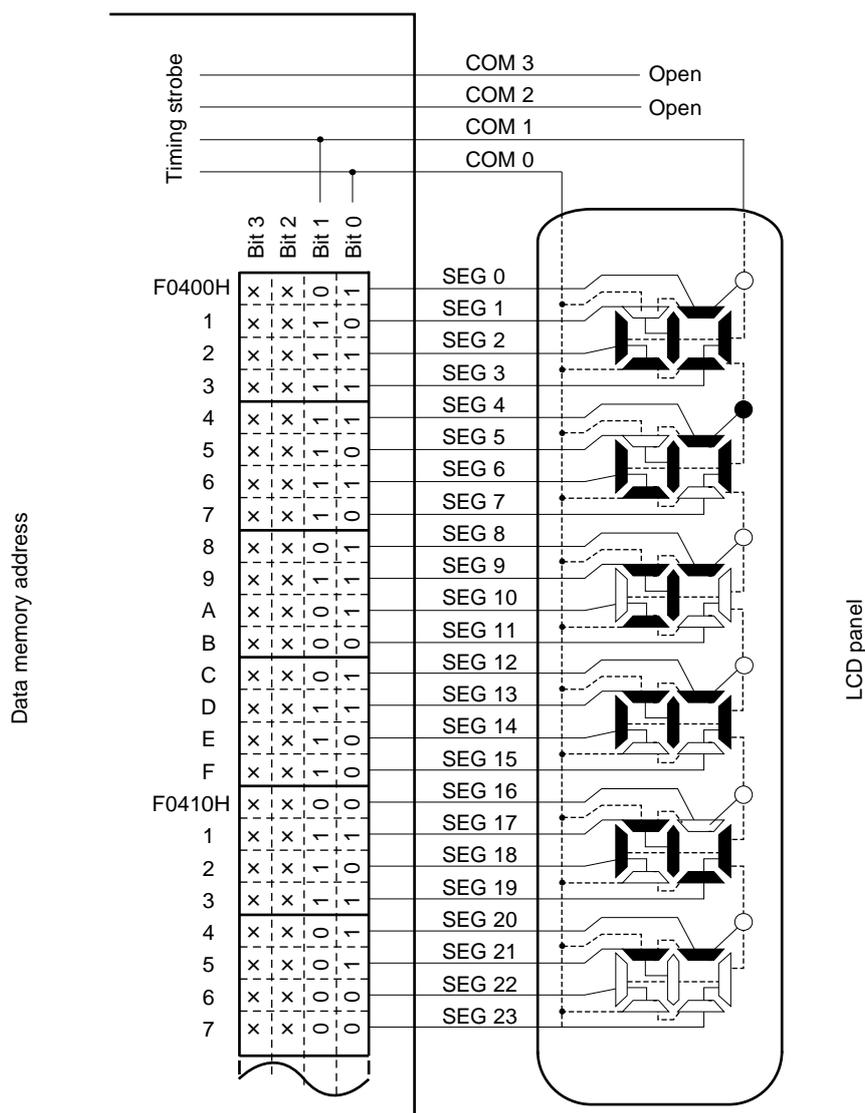
SEG15と各コモン信号間のLCD駆動波形例を図24-30に示します。COM1の選択タイミングでSEG15が選択電圧のときに、LCD点灯レベルである $+V_{Lcd}/-V_{Lcd}$ の交流矩形波が発生することが分かります。

図24-28 2時分割LCD表示パターンと電極結線



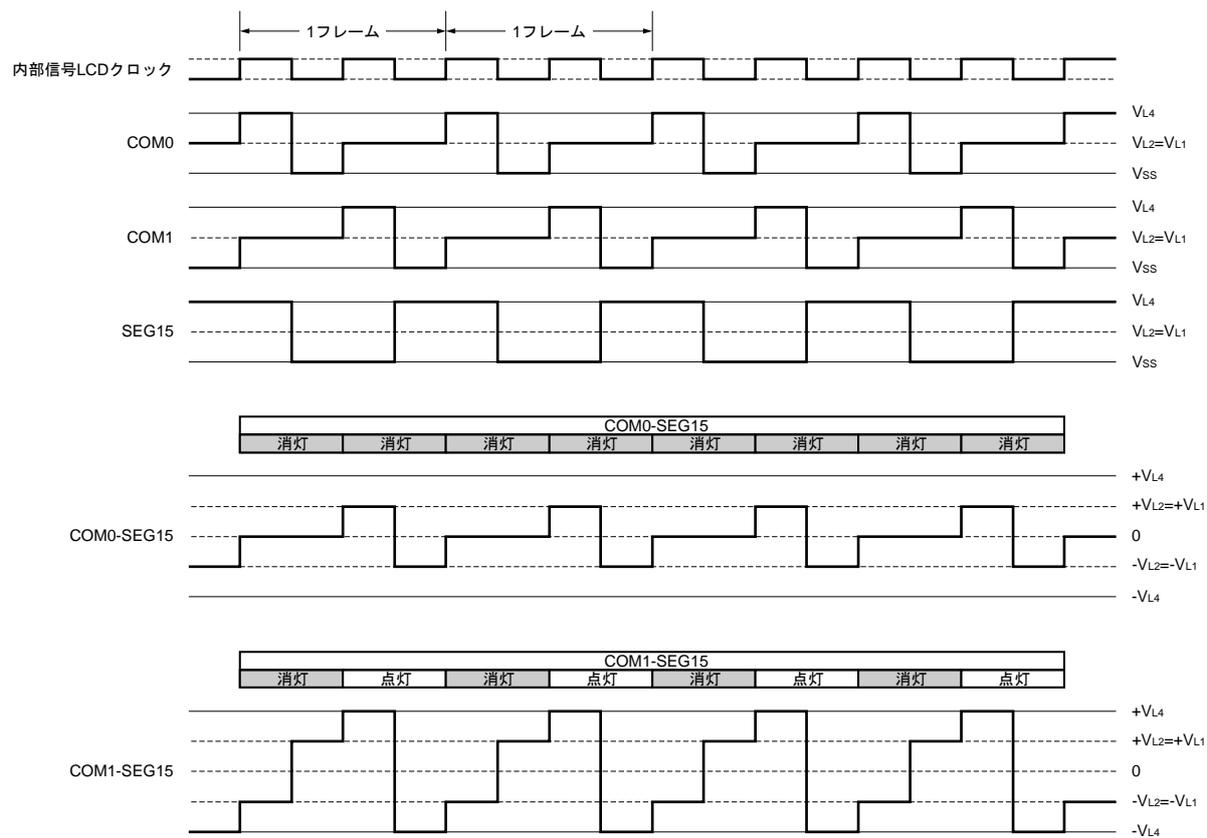
備考 100ピン製品 : $n = 0-9$

図24-29 2時分割LCDパネルの結線例



× : 2時分割表示のため、常に任意のデータをストア可能です。

図24-30 SEG15と各コモン信号間の2時分割LCD駆動波形例（1/2バイアス法）



24.10.3 3時分割表示例

図24-32は、図24-31の表示パターンを持つ3時分割方式の8桁LCDパネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM2) との接続を示します。表示例は123456.78で、表示データ・レジスタ (F0400H-F0417H) の内容はこれに対応しています。

ここでは3桁目の6. (6.) を例にとって説明します。図24-31の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表24-17に示すような選択、非選択電圧をSEG6-SEG8端子に出力する必要があります。

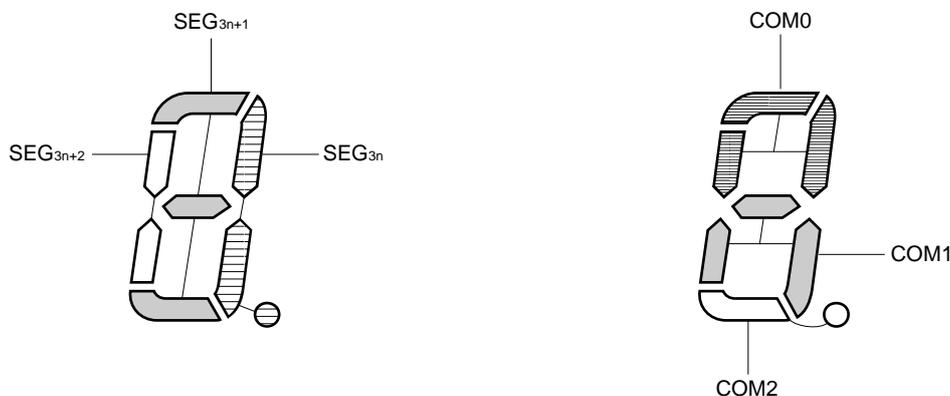
表24-17 選択、非選択電圧 (COM0-COM2)

セグメント コモン	SEG6	SEG7	SEG8
COM0	非	選	選
COM1	選	選	選
COM2	選	選	—

これによりSEG6に対応する表示データ・レジスタ (F0406H番地) には、×110を用意すればよいことが分かります。

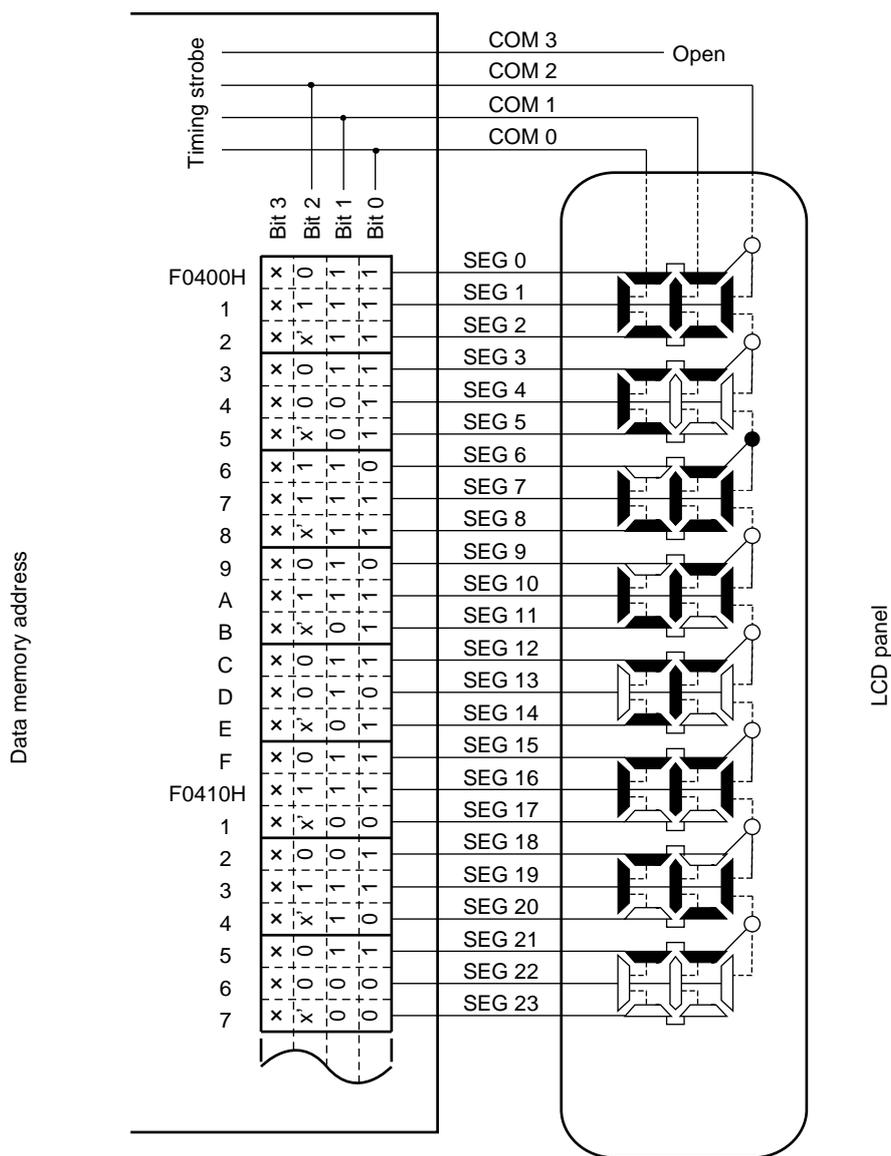
SEG6と各コモン信号間のLCD駆動波形例を図24-33 (1/2バイアス法)、図24-34 (1/3バイアス法) に示します。COM1の選択タイミングでSEG6が選択電圧のとき、およびCOM2の選択タイミングでSEG6が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図24-31 3時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-13

図24-32 3時分割LCDパネルの結線例



- X' : LCDパネルに対応セグメントがないため任意のデータをストア可能です。
- x : 3時分割表示のため、常に任意のデータをストア可能です。

図24-33 SEG6と各コモン信号間の3時分割LCD駆動波形例（1/2バイアス法）

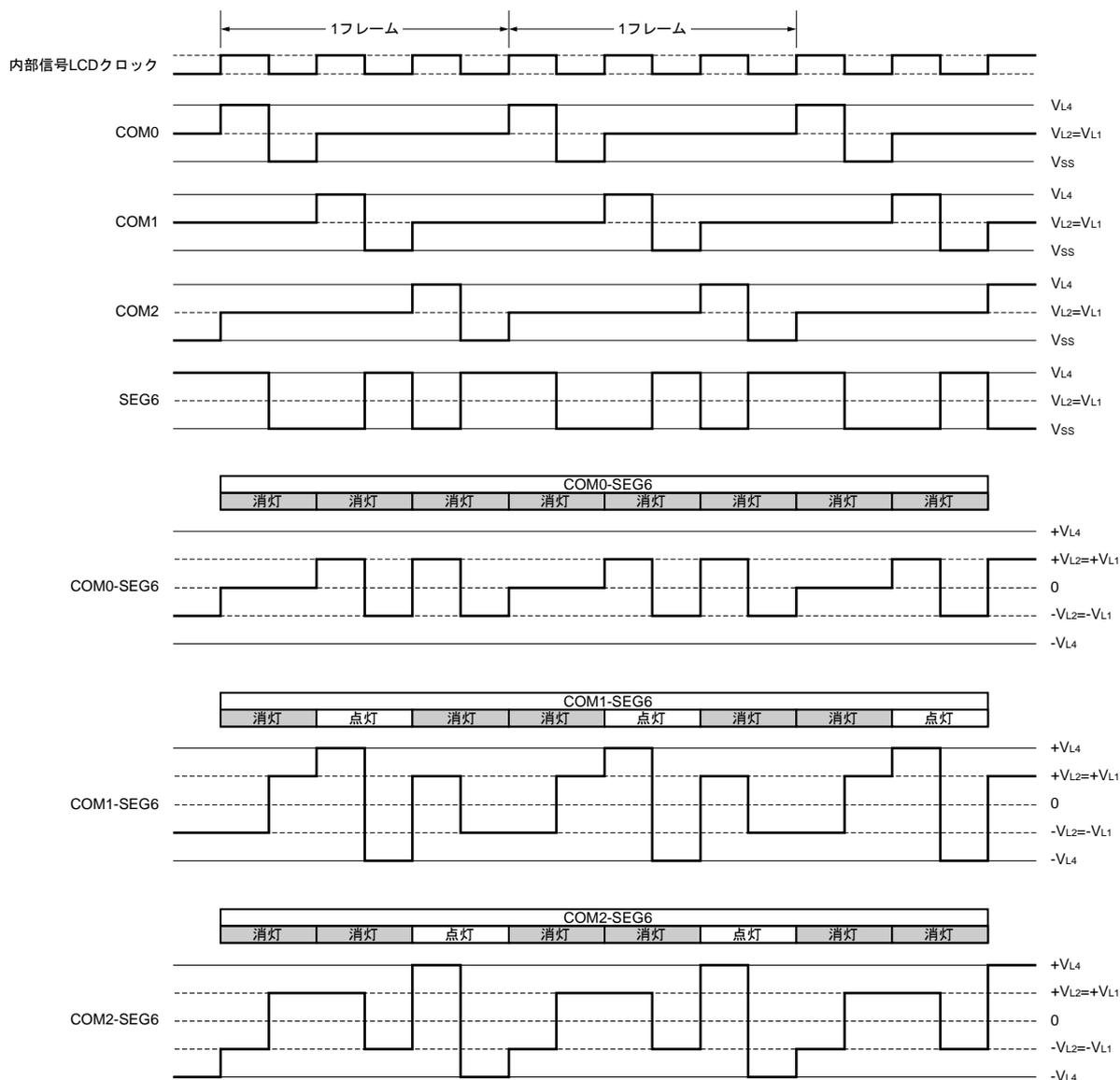
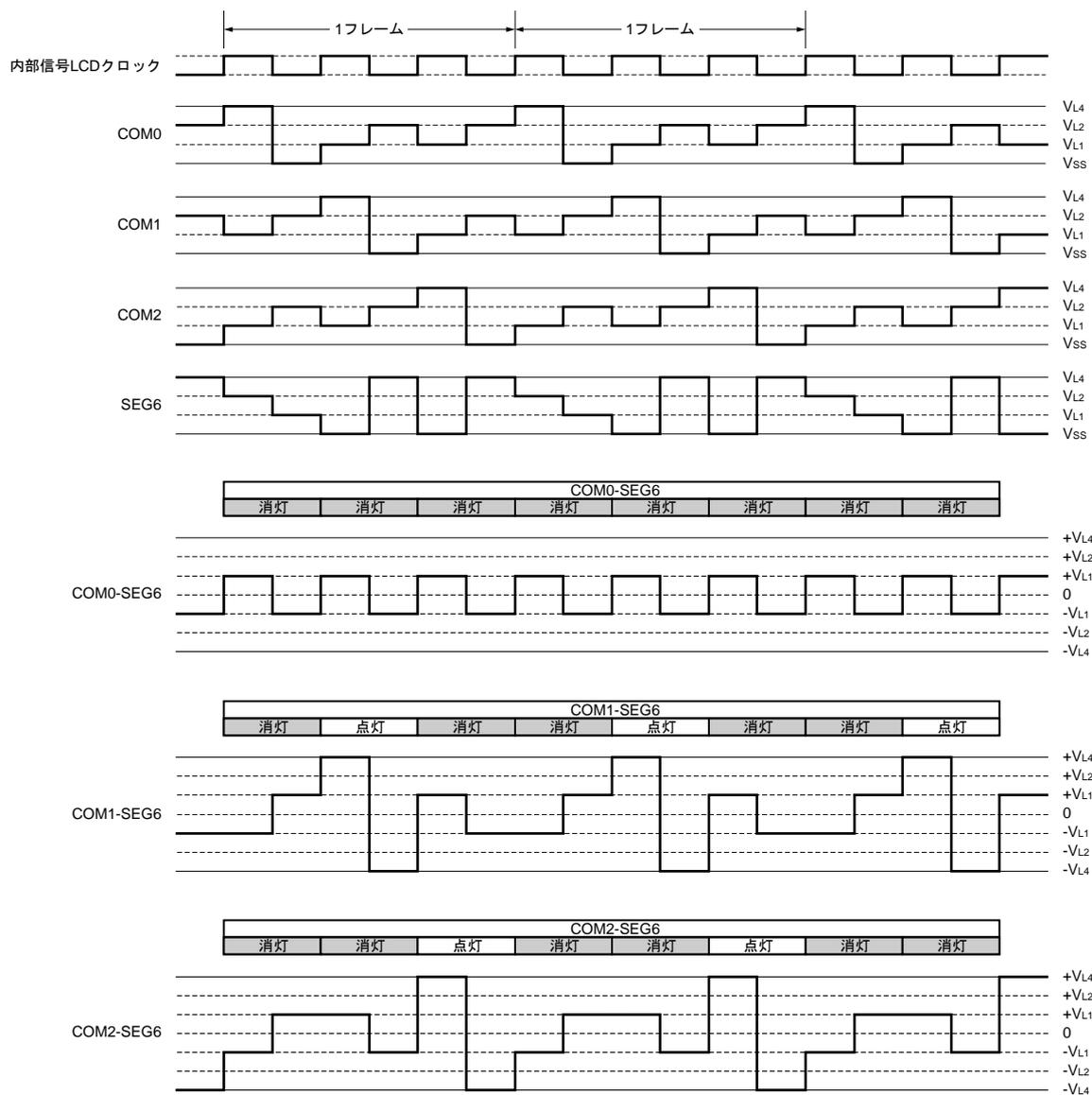


図24-34 SEG6と各コモン信号間の3時分割LCD駆動波形例（1/3バイアス法）



24.10.4 4時分割表示例

図24-36は、図24-35の表示パターンを持つ4時分割方式の12桁LCDパネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM3) との接続を示します。表示例は123456.789012で、表示データ・レジスタ (F0400H-F0417H番地) の内容はこれに対応しています。

ここでは7桁目の6. (E) を例にとって説明します。図24-35の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表24-18に示すような選択、非選択電圧をSEG12, SEG13端子に出力する必要があります。

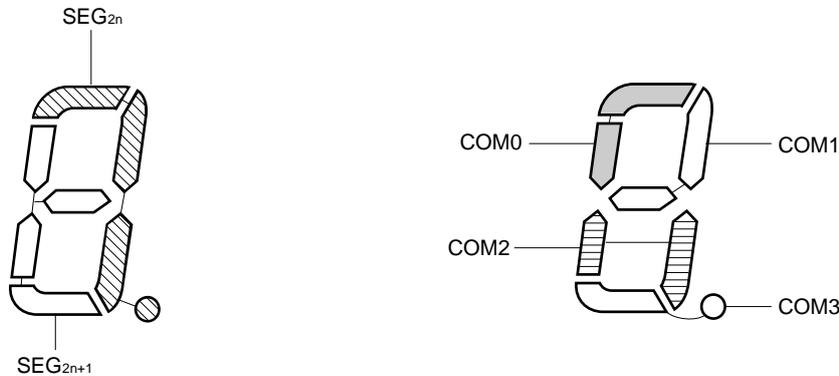
表24-18 選択、非選択電圧 (COM0-COM3)

セグメント コモン	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりSEG12に対応する表示データ・レジスタ (F040CH番地) には、1101を用意すればよいことが分かります。

SEG12と各コモン信号間のLCD駆動波形例を図24-37に示します。COM0の選択タイミングでSEG12が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図24-35 4時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-20

図24-36 4時分割LCDパネルの結線例

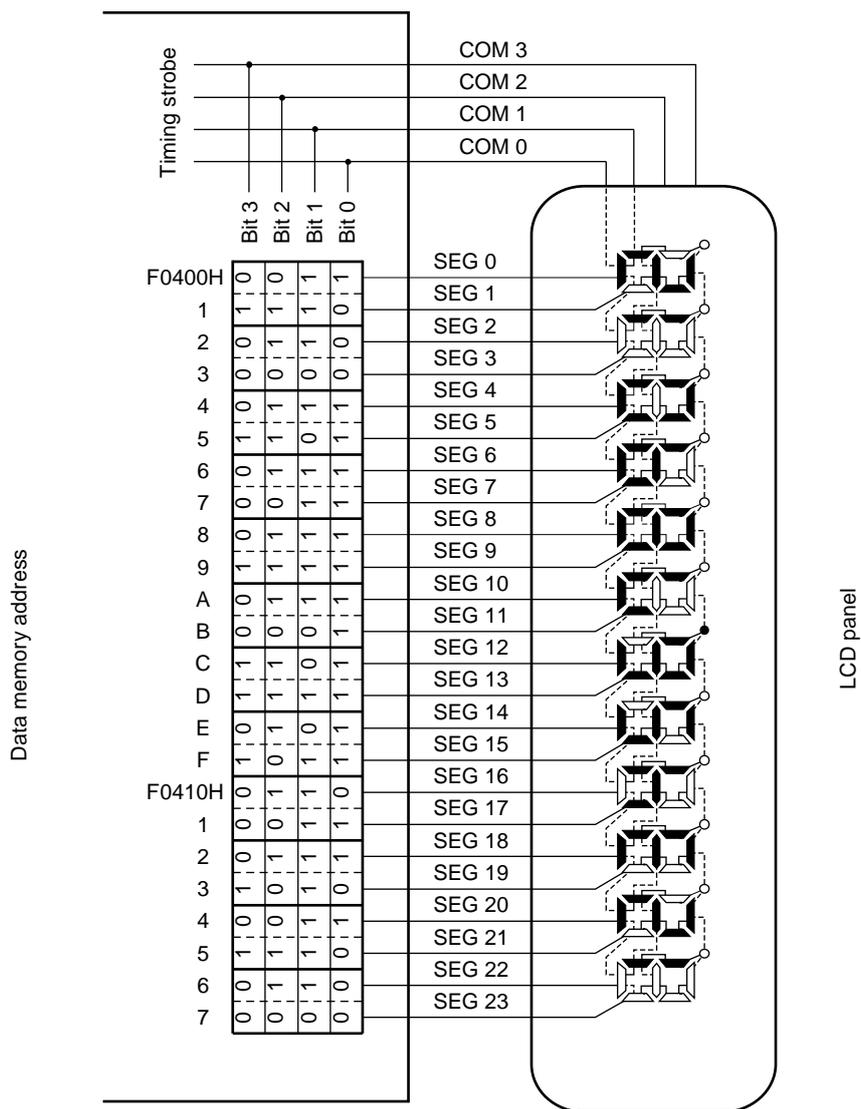


図24-37 SEG12と各コモン信号間の4時分割LCD駆動波形例 (1/3バイアス法) (1/2)

(a) A波形の場合

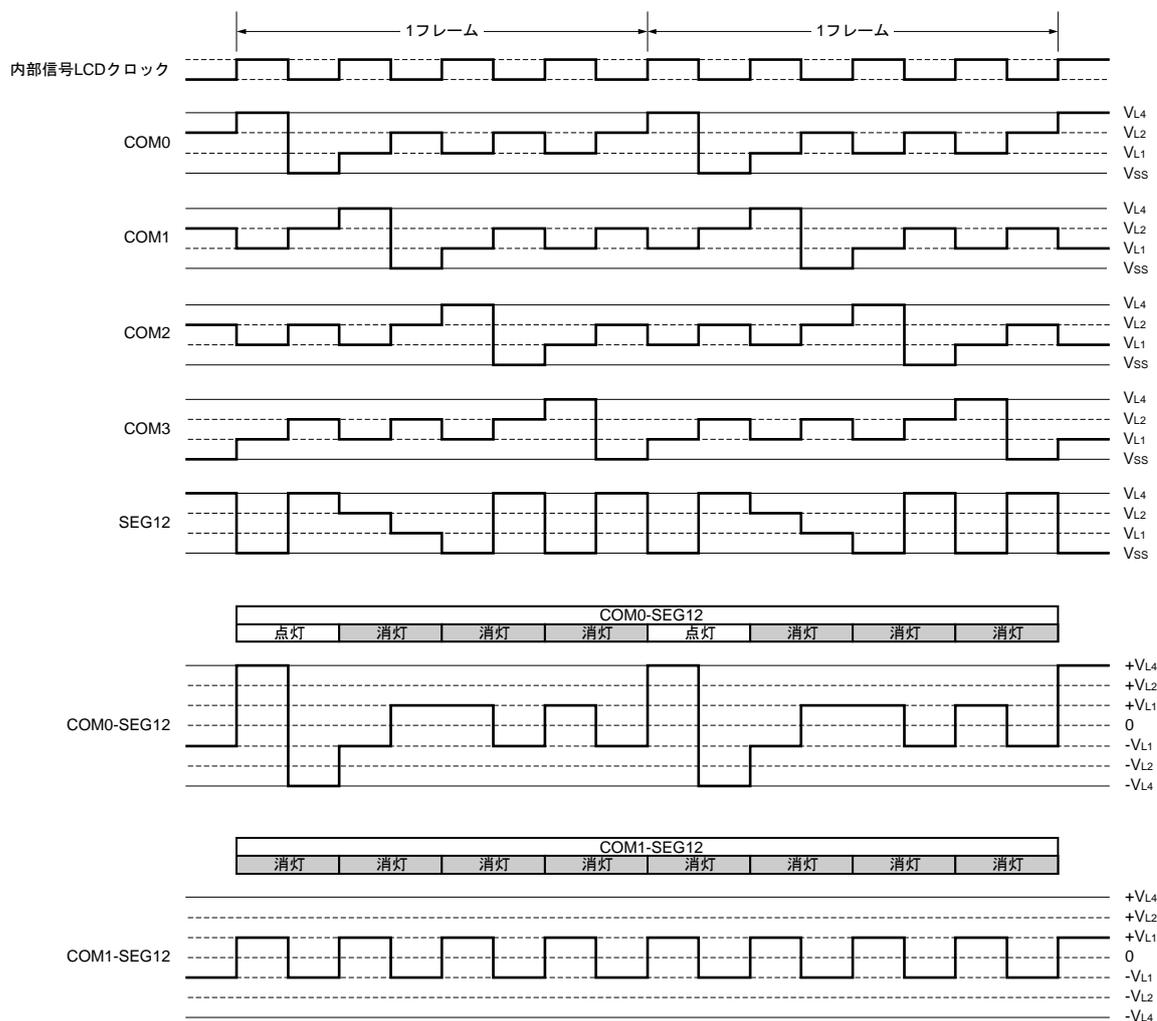
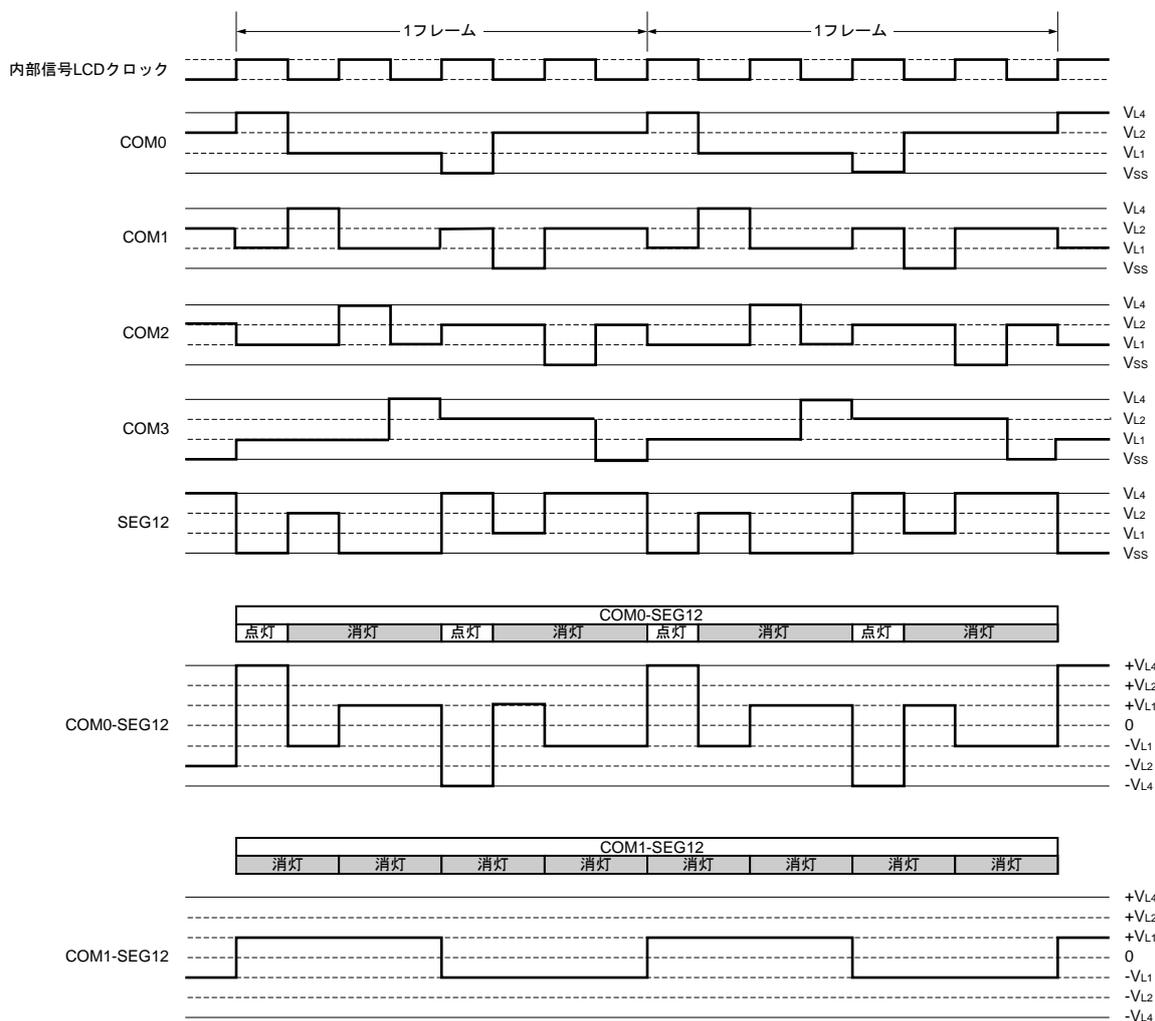


図24-37 SEG12と各コモン信号間の4時分割LCD駆動波形例 (1/3バイアス法) (2/2)

(b) B波形の場合



24.10.5 6時分割表示例

図24-39は、図24-38の表示パターンを持つ6時分割方式の15×6のドットLCDパネルとセグメント信号 (SEG2-SEG16) およびコモン信号 (COM0-COM5) との接続を示します。表示例は123で、表示データ・レジスタ (F0402H-F0410H番地) の内容はこれに対応しています。

ここでは1桁目の3 (三) を例にとって説明します。図24-38の表示パターンに従って、COM0-COM5の各コモン信号のタイミングで表24-19に示すような選択、非選択電圧をSEG2-SEG6端子に出力する必要があります。

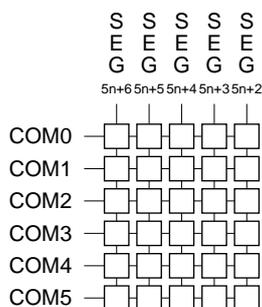
表24-19 選択、非選択電圧 (COM0-COM5)

セグメント コモン	SEG2	SEG3	SEG4	SEG5	SEG6
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	選
COM5	非	選	選	選	非

これによりSEG2に対応する表示データ・レジスタ (F0402H番地) には、010001を用意すればよいことが分かります。

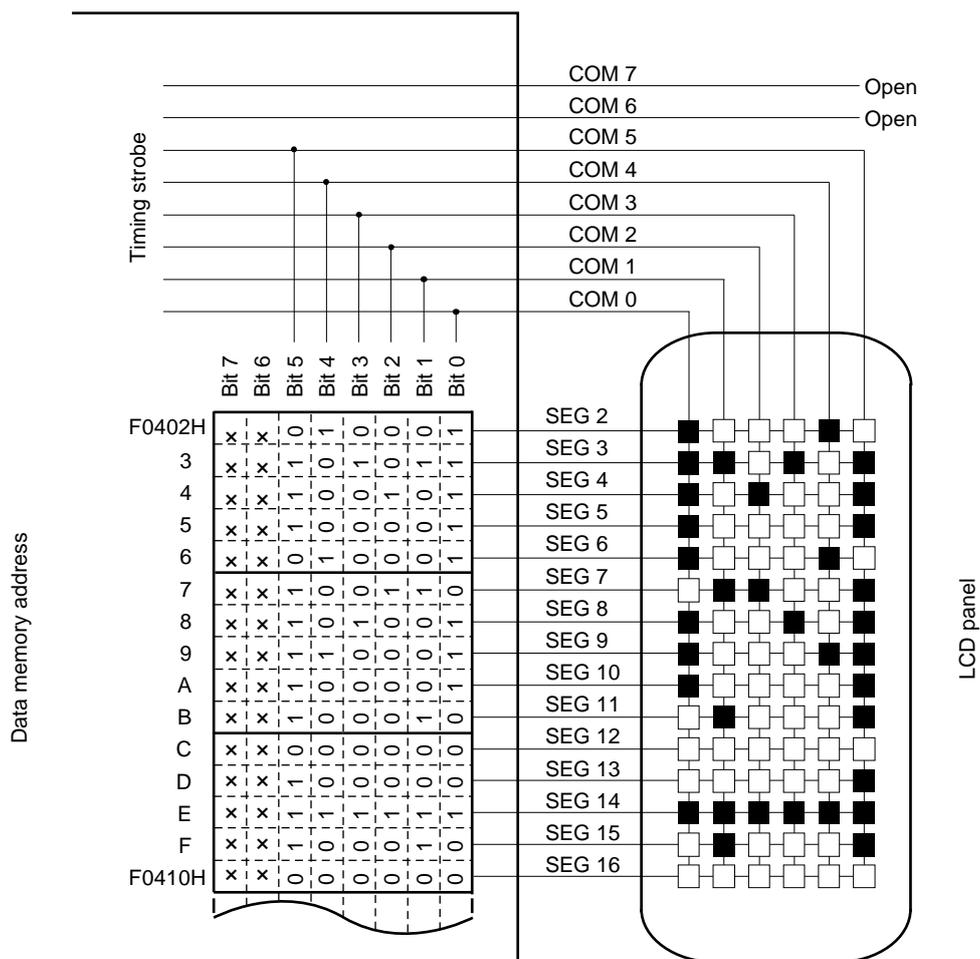
SEG2と各コモン信号間のLCD駆動波形例を図24-40に示します。COM0の選択タイミングでSEG2が選択電圧になるときに、LCD点灯レベルの波形が発生することが分かります。

図24-38 6時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-7

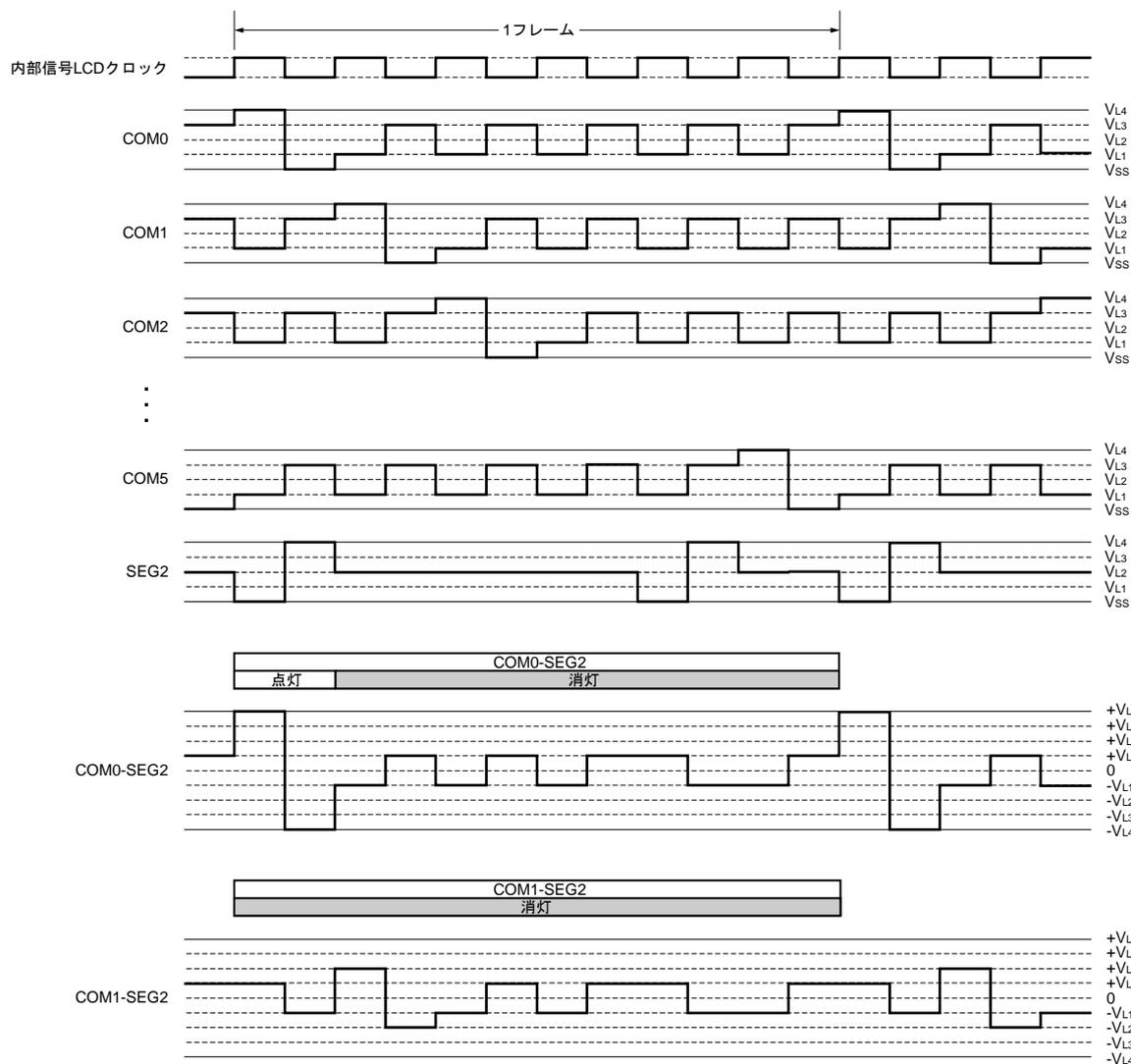
図24-39 6時分割LCDパネルの結線例



× : 6時分割表示のため、常に任意のデータをストア可能です。

図24-40 SEG2と各コモン信号間の6時分割LCD駆動波形例（1/4バイアス法）

(a) A波形の場合



24. 10. 6 8時分割表示例

図24-42は、図24-41の表示パターンを持つ8時分割方式の15×8のドットLCDパネルとセグメント信号 (SEG4-SEG18) およびコモン信号 (COM0-COM7) との接続を示します。表示例は123で、表示データ・レジスタ (F0404H-F0412H番地) の内容はこれに対応しています。

ここでは1桁目の3 (三) を例にとって説明します。図24-41の表示パターンに従って、COM0-COM7の各コモン信号のタイミングで表24-20に示すような選択、非選択電圧をSEG4-SEG8端子に出力する必要があります。

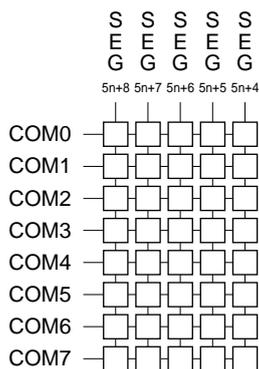
表24-20 選択、非選択電圧 (COM0-COM7)

セグメント コモン	SEG4	SEG5	SEG6	SEG7	SEG8
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	非
COM5	選	非	非	非	選
COM6	非	選	選	選	非
COM7	非	非	非	非	非

これによりSEG4に対応する表示データ・レジスタ (F0404H番地) には、00110001を用意すればよいことが分かります。

SEG4と各コモン信号間のLCD駆動波形例を図24-43に示します。COM0の選択タイミングでSEG4が選択電圧になるときに、LCD点灯レベルの波形が発生することが分かります。

図24-41 8時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-6

図24-42 8時分割LCDパネルの結線例

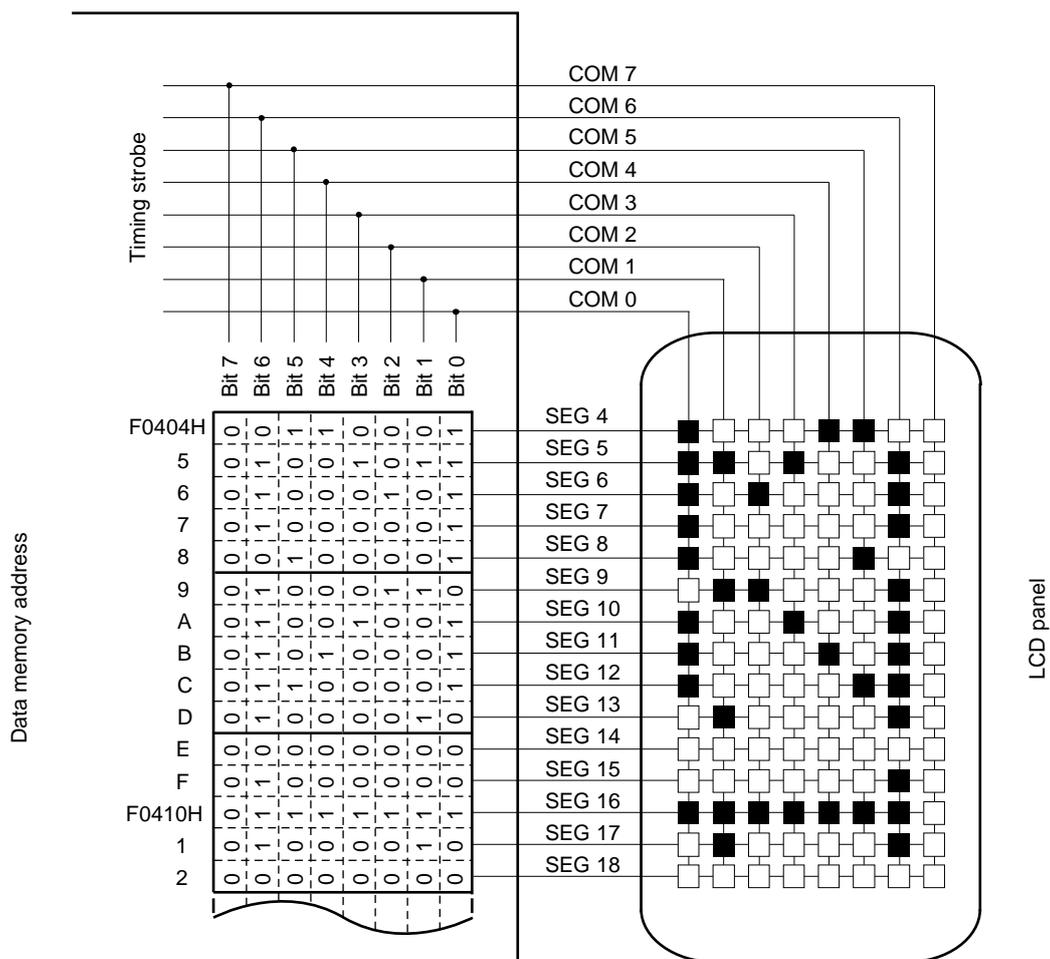


図24-43 SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）（1/2）

(a) A波形の場合

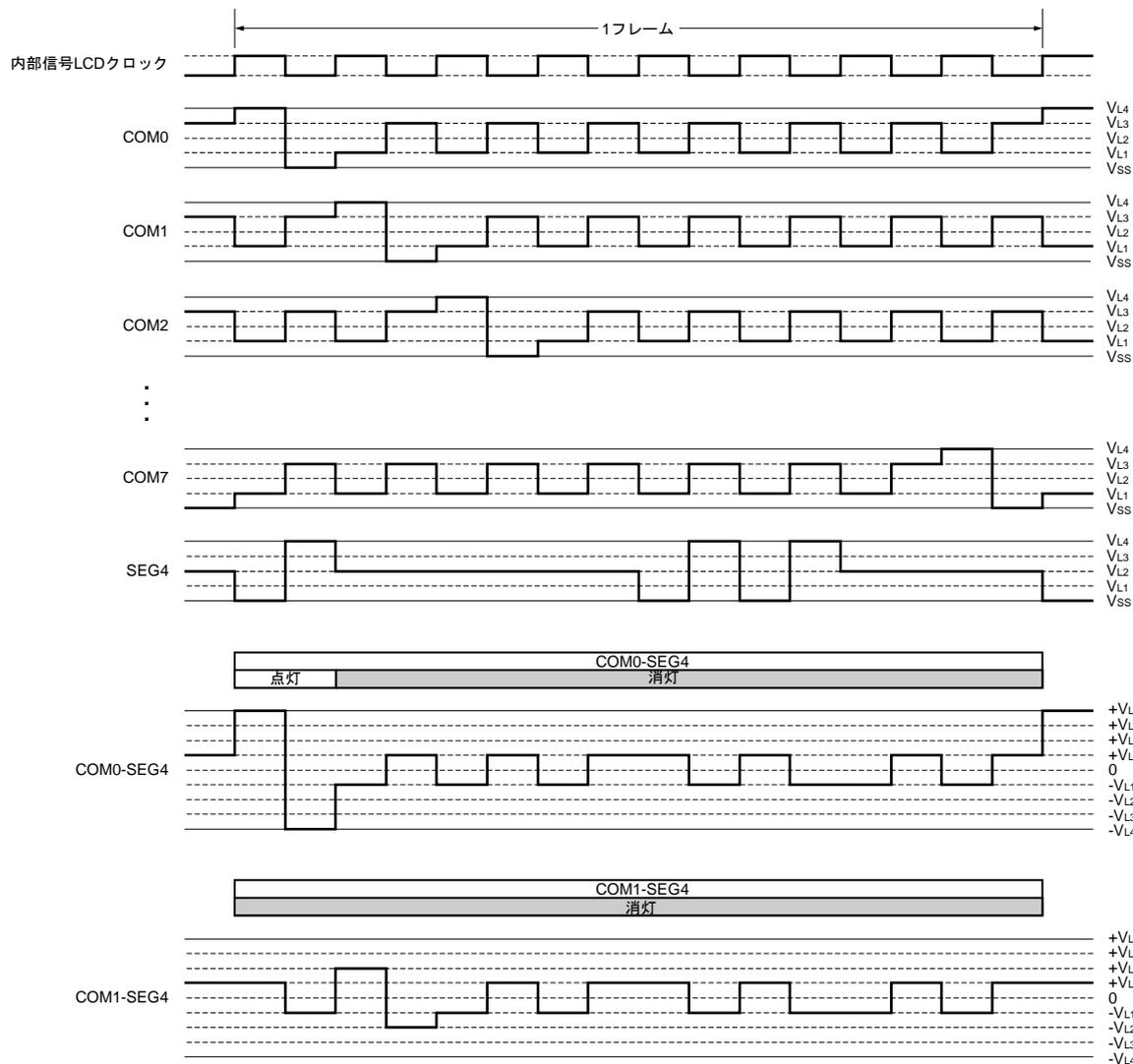
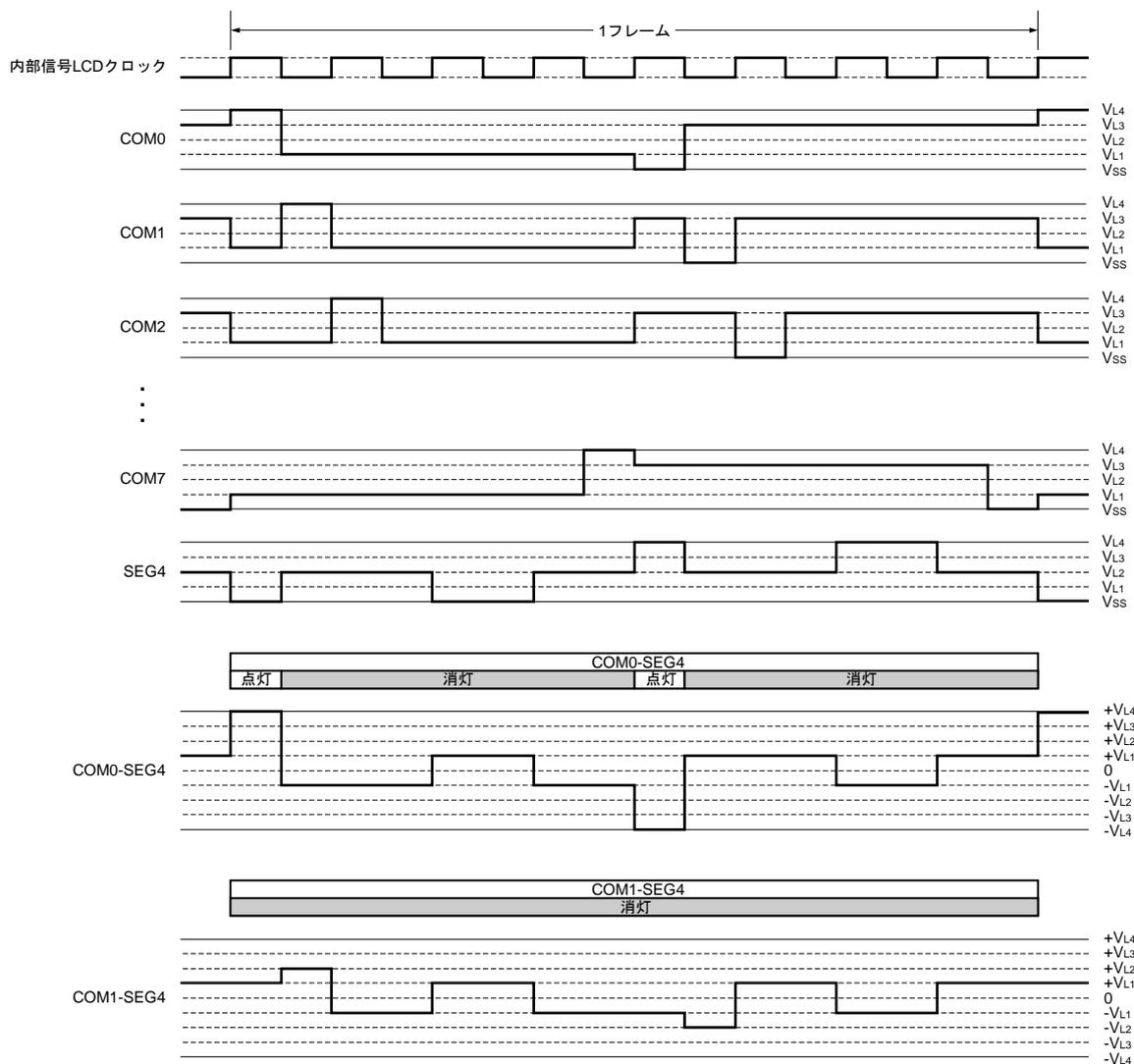


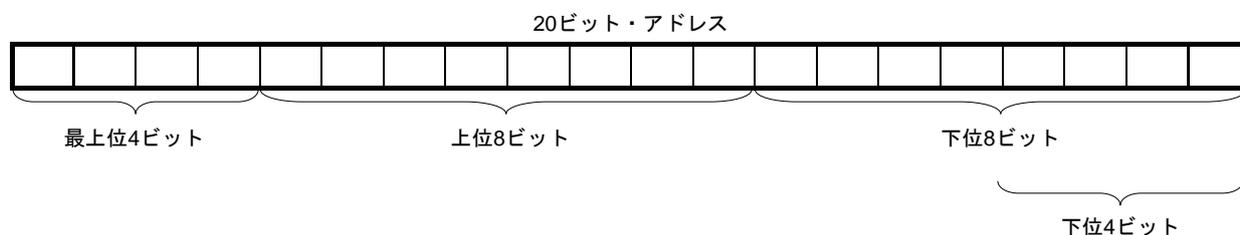
図24-43 SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）（2/2）

(b) B波形の場合



第25章 データ・トランスファ・コントローラ (DTC)

本章の説明で記載されているアドレスの上位8ビットとは下記のとおり、20ビット・アドレスのビット(15-8)になります。



また、本章の説明の中で、特に指定がない場合、アドレスの最上位4ビットはすべて1(FxxxxH)になります。

25.1 DTCの機能

データ・トランスファ・コントローラ (DTC) は、CPUを使わずにメモリとメモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

表25-1にDTCの仕様を示します。

表25-1 DTCの仕様

項目		仕様
起動要因		80ピン製品：46要因，100ピン製品：50要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間	アドレス空間	64 Kバイト空間 (F0000H~FFFFFH) ただし，汎用レジスタを除く
	ソース	特殊機能レジスタ (SFR)，RAM領域 (汎用レジスタを除く)，ミラー領域 ^注 ，拡張特殊機能レジスタ (2nd SFR)，データ・フラッシュ・メモリ領域 ^注
	デスティネーション	特殊機能レジスタ (SFR)，RAM領域 (汎用レジスタを除く)，拡張特殊機能レジスタ (2nd SFR)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード (8ビット転送)	256バイト
	ノーマルモード (16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後，リピートエリアのアドレスを初期化し，DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定，または加算
	リピートモード	リピートエリアでないアドレスを固定，または加算
起動要因優先度		表25-5 DTC起動要因とベクタアドレス参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に，CPUへ起動要因となった割り込み要求が発生し，データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) のとき，DTCCTjレジスタが1から0になるデータ転送時に，CPUへ起動要因となった割り込み要求が発生し，データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0~DTCENi7 ビットを1 (起動許可) にすると，DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	・DTCENi0~DTCENi7 ビットを0 (起動禁止) にする ・DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	・DTCENi0~DTCENi7 ビットを0 (起動禁止) にする ・RPTINTビットが1 (割り込み発生許可) のとき，DTCCTjレジスタが1から0になるデータ転送が終了したとき

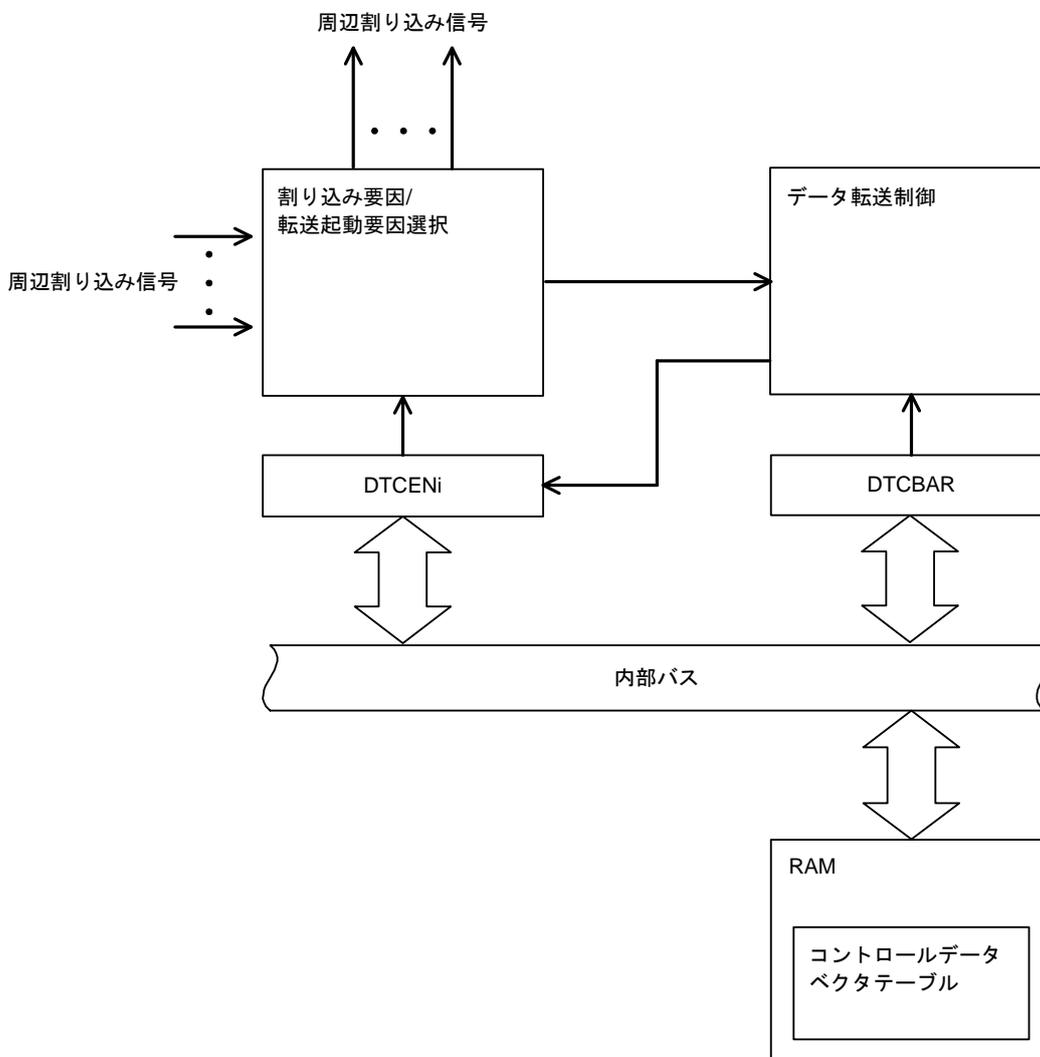
注 HALTモードおよびSNOOZEモードでは，フラッシュ・メモリが停止しているため，DTC転送のソースにできません。

備考 $i = 0 \sim 6, j = 0 \sim 23$

25.2 DTCの構成

図25-1にDTCのブロック図を示します。

図25-1 DTCのブロック図



25.3 DTCを制御するレジスタ

表25-2にDTCを制御するレジスタを示します。

表25-2 DTCを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTC起動許可レジスタ3	DTCEN3
DTC起動許可レジスタ4	DTCEN4
DTC起動許可レジスタ5	DTCEN5
DTC起動許可レジスタ6	DTCEN6
DTCベース・アドレス・レジスタ	DTCBAR

表25-3にDTCのコントロールデータを示します。

DTCのコントロールデータはRAMのDTCコントロールデータ領域に配置されます。

DTCBARレジスタでDTCコントロールデータ領域と、コントロールデータの先頭番地を格納するDTCベクタテーブル領域を含めた256バイトの領域を設定します。

表25-3 DTCのコントロールデータ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロック・サイズ・レジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロード・レジスタj	DTRLdj
DTCソース・アドレス・レジスタj	DTSARj
DTCデスティネーション・アドレス・レジスタj	DTDARj

備考 j = 0~23

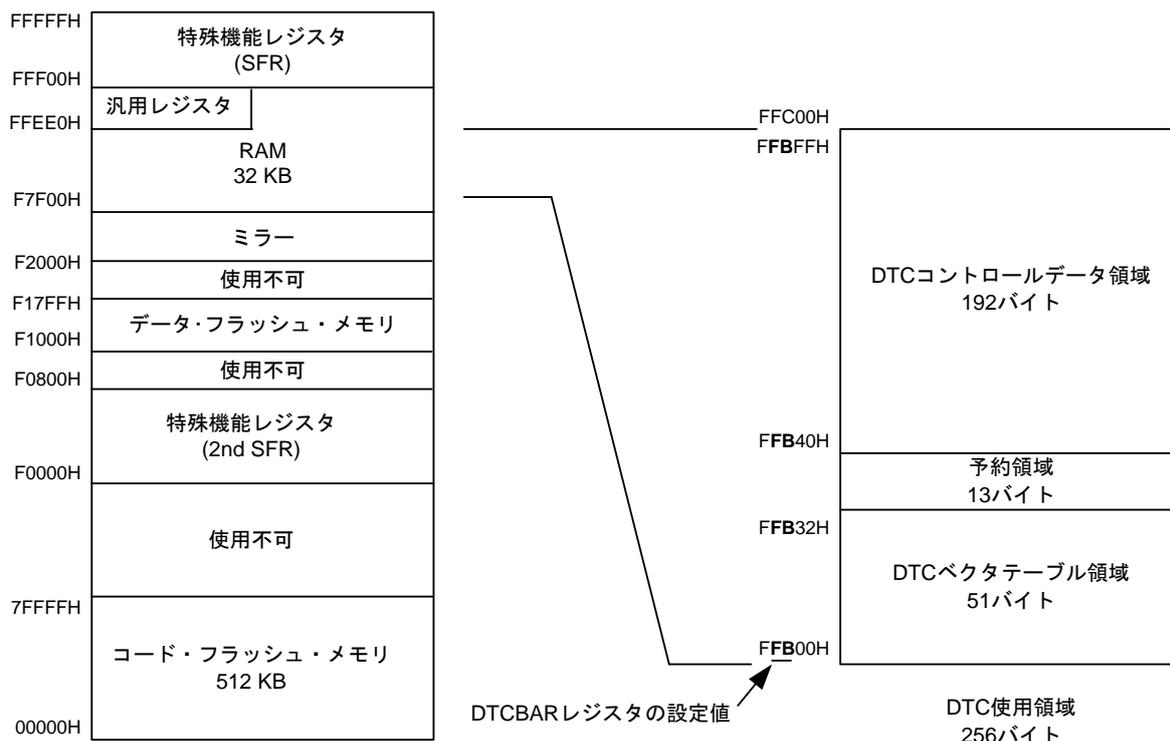
25.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCBARレジスタで、DTCのコントロールデータとベクタテーブルを配置する256バイトの領域をRAM領域内に設定します。

図25-2にDTCBARレジスタにFBHを設定したときのメモリマップ例を示します。

DTCコントロールデータ領域192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図25-2 DTCBARレジスタにFBHを設定したときのメモリマップ例
(R5F10NPLDFB, R5F10NMLDFB)



DTCコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

- 注意1.** 汎用レジスタ (FFEE0H-FFEFFH) の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
2. スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
 3. 次に示すRAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
F7F00H-F8309H
 4. 次に示すRAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
F8300H-F86FFH

25.3.2 コントロールデータの配置

コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0~23) レジスタの順に配置します。

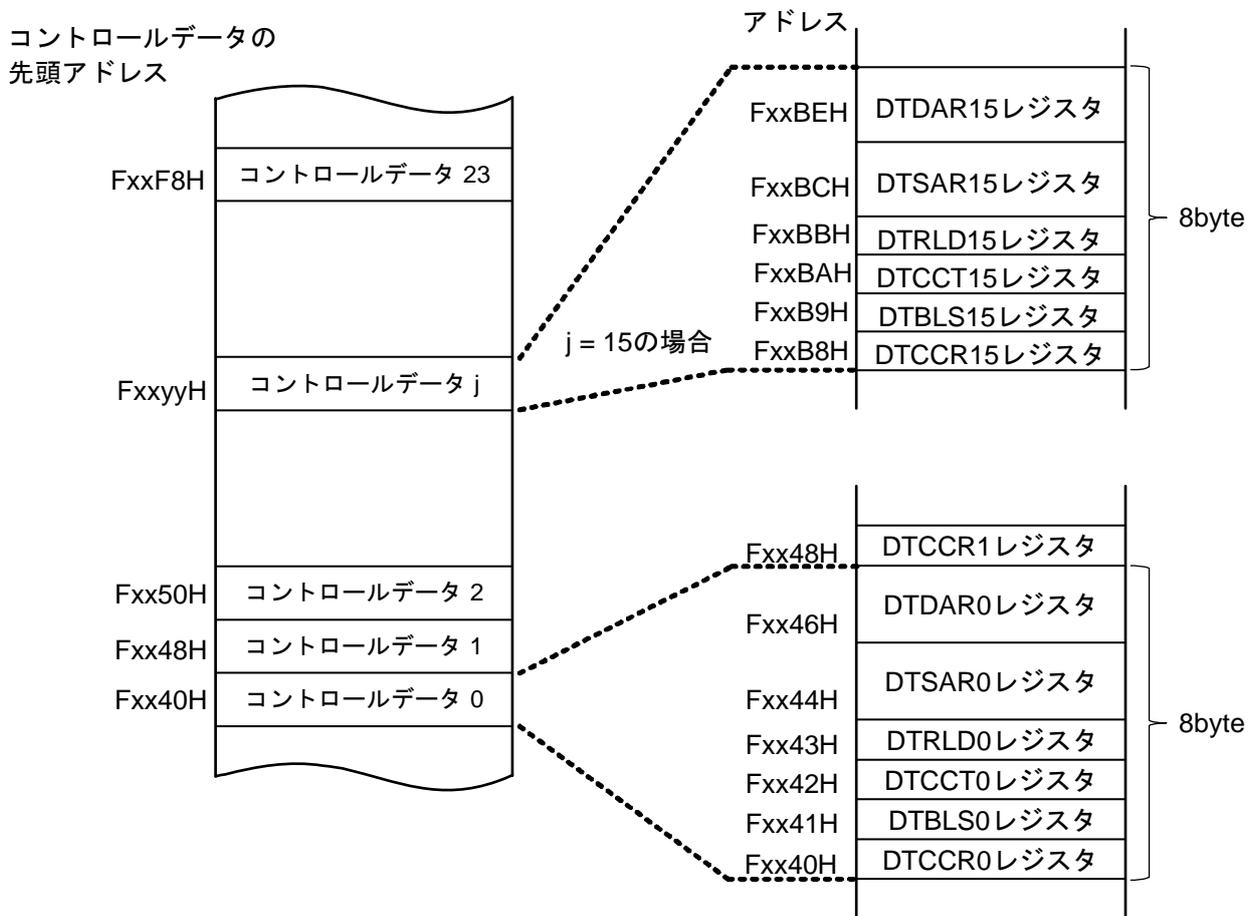
先頭アドレス0~23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図25-3にコントロールデータの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0~6) のDTCENi0~DTCENi7ビットが0 (DTC起動禁止) のときに変更してください。

2. DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図25-3 コントロールデータの配置



備考 xx : DTCBARレジスタの設定値

表25-4 コントロールデータの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	FxxF8H
10	Fxx90H	22	FxxF0H
9	Fxx88H	21	FxxE8H
8	Fxx80H	20	FxxE0H
7	Fxx78H	19	FxxD8H
6	Fxx70H	18	FxxD0H
5	Fxx68H	17	FxxC8H
4	Fxx60H	16	FxxC0H
3	Fxx58H	15	FxxB8H
2	Fxx50H	14	FxxB0H
1	Fxx48H	13	FxxA8H
0	Fxx40H	12	FxxA0H

備考 xx : DTCBARレジスタの設定値

25.3.3 ベクタテーブル

DTCが起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表25-5にDTC起動要因とベクタアドレスを示します。起動要因ごとにベクタテーブルが1バイトあり、40HからF8Hのデータを格納し、24組のコントロールデータから1つを選択します。ベクタアドレスの上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因に対応して00Hから32Hまでが割り当てられます。

注意 ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0~6) レジスタのDTCENi0~DTCENi7ビットが0 (起動禁止) のときに変更してください。

図25-4 コントロールデータの先頭アドレスとベクタテーブル

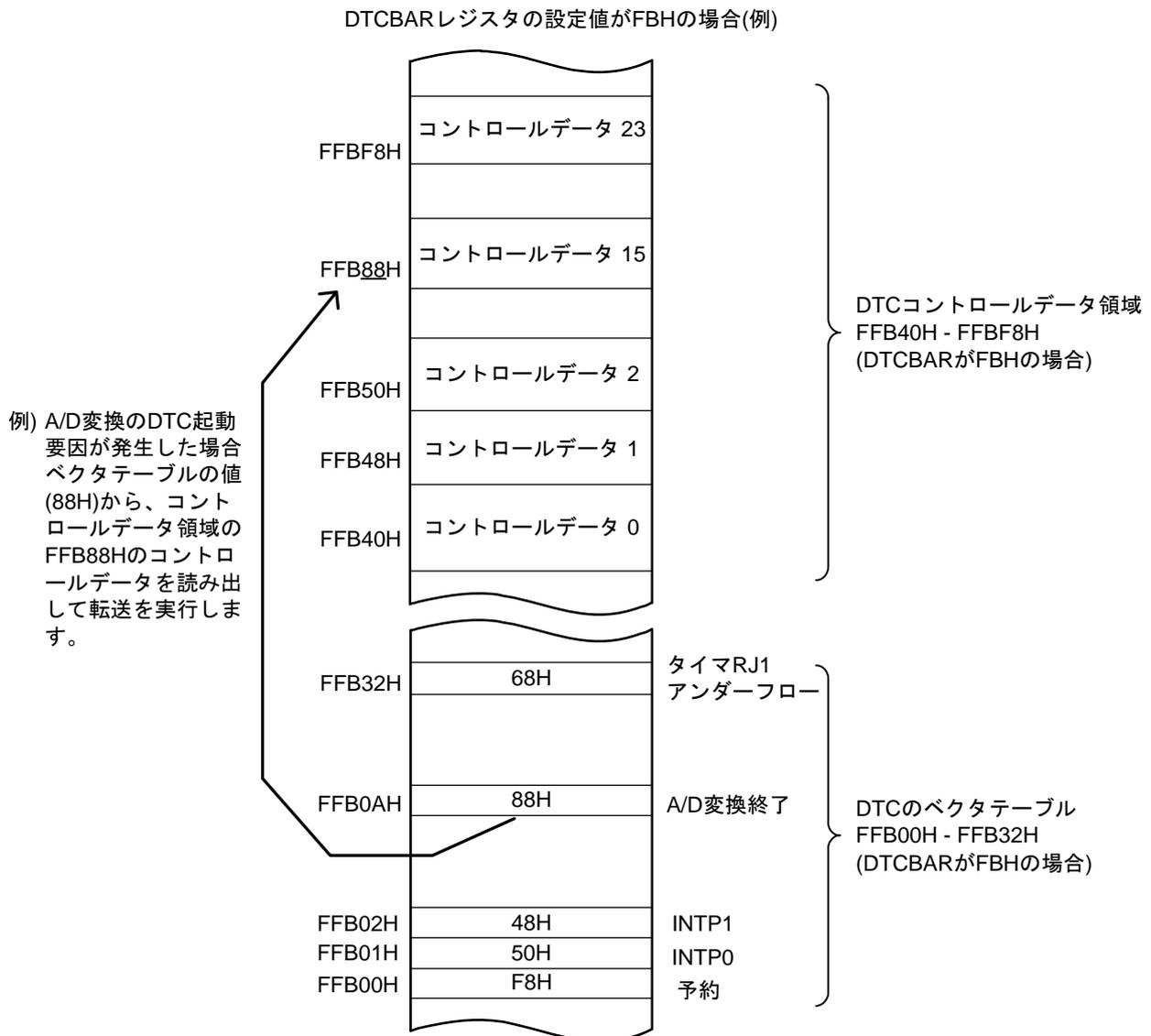


表25-5 DTC起動要因とベクタアドレス (2/2)

割り込み要因発生元	要因番号	ベクタアドレス	優先順位
UART4受信の転送完了 ^注	39	DTCBARレジスタの設定アドレス+27H	
UART4送信の転送完了 ^注	40	DTCBARレジスタの設定アドレス+28H	
UARTMG0受信の転送完了	41	DTCBARレジスタの設定アドレス+29H	
UARTMG0送信の転送完了またはバッファ空き	42	DTCBARレジスタの設定アドレス+2AH	
UARTMG1受信の転送完了	43	DTCBARレジスタの設定アドレス+2BH	
UARTMG1送信の転送完了またはバッファ空き	44	DTCBARレジスタの設定アドレス+2CH	
8ビット・インターバル・タイマ20	45	DTCBARレジスタの設定アドレス+2DH	
8ビット・インターバル・タイマ21	46	DTCBARレジスタの設定アドレス+2EH	
8ビット・インターバル・タイマ30	47	DTCBARレジスタの設定アドレス+2FH	
8ビット・インターバル・タイマ31	48	DTCBARレジスタの設定アドレス+30H	
タイマRJ0アンダーフロー	49	DTCBARレジスタの設定アドレス+31H	
タイマRJ1アンダーフロー	50	DTCBARレジスタの設定アドレス+32H	

注 100ピン製品のみ。

25.3.4 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

DTCを使用する場合は、必ずビット3 (DTCEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図25-5 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	FMCEN	SMOTD1EN	SMOTD0EN	DTCEN	TRJ1EN	TRJ0EN	DSADCEN

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・ DTCは動作不可
1	入カクロック供給 ・ DTCは動作可

注意 ビット7には必ず“0”を設定してください。

25.3.5 DTC制御レジスタj (DTCCRj) (j = 0~23)

DTCCRjレジスタは、DTCの動作モードを制御します。

図25-6 DTC制御レジスタj (DTCCRj) のフォーマット

アドレス : 25.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE

SZ	転送データサイズの選択
0	8ビット
1	16ビット

RPTINT	リピートモード割り込みの許可・禁止
0	割り込み発生禁止
1	割り込み発生許可

MODEビットが0 (ノーマルモード) のときRPTINTビットの設定は無効です。

CHNE	チェーン転送の許可・禁止
0	チェーン転送禁止
1	チェーン転送許可

DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止) にしてください。

DAMOD	転送先アドレスの制御
0	固定
1	加算

MODEビットが1 (リピートモード) でRPTSELビットが0 (転送先がリピートエリア) のときDAMODビットの設定は無効です。

SAMOD	転送元アドレスの制御
0	固定
1	加算

MODEビットが1 (リピートモード) でRPTSELビットが1 (転送元がリピートエリア) のときSAMODビットの設定は無効です。

RPTSEL	リピートエリアの選択
0	転送先がリピートエリア
1	転送元がリピートエリア

MODEビットが0 (ノーマルモード) のときRPTSELビットの設定は無効です。

MODE	転送モードの選択
0	ノーマルモード
1	リピートモード

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

25.3.6 DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0~23)

1回の起動で転送されるデータのブロックサイズを設定します。

図25-7 DTCブロック・サイズ・レジスタj (DTBLSj) のフォーマット

アドレス : 25.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロックサイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
.	.	.
.	.	.
.	.	.
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

25.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0~23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図25-8 DTC転送回数レジスタj (DTCCTj) のフォーマット

アドレス : 25.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
.	.
.	.
.	.
FDH	253回
FEH	254回
FFH	255回

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

25.3.8 DTC転送回数リロード・レジスタj (DTRLDj) (j = 0~23)

リピートモードで転送回数レジスタの初期値を設定します。リピートモード時は、本レジスタの値がDTCCTレジスタにリロードされますので、DTCCTレジスタの初期値と同じ値を設定してください。

図25-9 DTC転送回数リロード・レジスタj (DTRLDj) のフォーマット

アドレス：25.3.2 コントロールデータの配置参照 リセット時：不定 R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

25.3.9 DTCソース・アドレス・レジスタj (DTSARj) (j = 0~23)

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1 (16ビット転送) のとき、最下位ビットは無視され、偶数番地として扱われます。

図25-10 DTCソース・アドレス・レジスタj (DTSARj) のフォーマット

アドレス：25.3.2 コントロールデータの配置参照 リセット時：不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS ARj15	DTS ARj14	DTS ARj13	DTS ARj12	DTS ARj11	DTS ARj10	DTS ARj9	DTS ARj8	DTS ARj7	DTS ARj6	DTS ARj5	DTS ARj4	DTS ARj3	DTS ARj2	DTS ARj1	DTS ARj0

- 注意1.** 転送元アドレスに汎用レジスタ (FFEE0H~FFEFFH) 空間を設定しないでください。
2. DTC転送でDTSARjレジスタをアクセスしないでください。

25.3.10 DTCデスティネーション・アドレス・レジスタj (DTDARj) (j = 0~23)

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1 (16ビット転送) のとき、最下位ビットは無視され、偶数番地として扱われます。

図25-11 DTCデスティネーション・アドレス・レジスタj (DTDARj) のフォーマット

アドレス：25.3.2 コントロールデータの配置参照 リセット時：不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD ARj15	DTD ARj14	DTD ARj13	DTD ARj12	DTD ARj11	DTD ARj10	DTD ARj9	DTD ARj8	DTD ARj7	DTD ARj6	DTD ARj5	DTD ARj4	DTD ARj3	DTD ARj2	DTD ARj1	DTD ARj0

- 注意1.** 転送先アドレスに汎用レジスタ (FFEE0H~FFEFFH) 空間を設定しないでください。
2. DTC転送でDTDARjレジスタをアクセスしないでください。

25.3.11 DTC起動許可レジスタ*i* (DTCEN*i*) (i = 0~6)

各割り込み要因によるDTC起動の許可または禁止を制御する8ビット・レジスタです。表25-6に割り込み要因とDTCENi0~DTCENi7ビットの対応を示します。

DTCENiレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

- 注意1. DTCENi0~DTCENi7ビットは、そのビットに対応する起動要因が発生しない箇所を変更してください。
- 2. DTC転送でDTCENiレジスタをアクセスしないでください。

図25-12 DTC起動許可レジスタ*i* (DTCENi) (i = 0~6) のフォーマット

アドレス : F02E8H (DTCEN0) , F02E9H (DTCEN1) , F02EAH (DTCEN2) , リセット時 : 00H R/W
 F02EBH (DTCEN3) , F02ECH (DTCEN4) , F02EDH (DTCEN5) , F02EEH (DTCEN6)

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0

DTCENi7	DTC起動許可i7
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi7ビットは0 (起動禁止) になります。	

DTCENi6	DTC起動許可i6
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi6ビットは0 (起動禁止) になります。	

DTCENi5	DTC起動許可i5
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi5ビットは0 (起動禁止) になります。	

DTCENi4	DTC起動許可i4
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi4ビットは0 (起動禁止) になります。	

DTCENi3	DTC起動許可i3
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi3ビットは0 (起動禁止) になります。	

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0 (起動禁止) になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0 (起動禁止) になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0 (起動禁止) になります。	

表25-6 割り込み要因とDTCENi0~DTCENi7ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	INTP7	キー入力	24ビット ΔΣ A/D コンバータ	12ビット 逐次比較型 A/Dスキャン 終了	UART0受信の 転送完了	UART0 送信の 転送完了/ CSI00の 転送完了 または バッファ空き/ IIC00の 転送完了	UART1 受信の 転送完了	UART1 送信の 転送完了/ CSI10の 転送完了 または IIC10の 転送完了
DTCEN2	UART2 受信の 転送完了	UART2 送信の 転送完了	UART3 受信の 転送完了 ^注	UART3 送信の 転送完了/ CSI30の 転送完了 または IIC30の 転送完了 ^注	タイマ・ アレイ・ ユニット0の チャンネル0の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル1の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル2の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル3の カウント完了 または キャプチャ 完了
DTCEN3	タイマ・ アレイ・ ユニット0の チャンネル4の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル5の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル6の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル7の カウント完了 または キャプチャ 完了	8ビット・ インターバル・ タイマ00	8ビット・ インターバル・ タイマ01	8ビット・ インターバル・ タイマ10	8ビット・ インターバル・ タイマ11
DTCEN4	12ビット・ インターバル・ タイマ	AES暗号化/ 復号化完了	外部割込み (RTCIC2) /INTP12	外部割込み (RTCIC1) /INTP13	外部割込み (RTCIC0) /INTP14	INTP8	INTP9	UART4 受信の 転送完了 ^注
DTCEN5	UART4 送信の 転送完了 ^注	UARTMG0 受信の 転送完了	UARTMG0 送信の 転送完了 または バッファ空き	UARTMG1 受信の 転送完了	UARTMG1 送信の 転送完了 または バッファ空き	8ビット・ インターバル・ タイマ20	8ビット・ インターバル・ タイマ21	8ビット・ インターバル・ タイマ30
DTCEN6	8ビット・ インターバル・ タイマ31	タイマRJ0 アンダー フロー	タイマRJ1 アンダー フロー	予約	予約	予約	予約	予約

注 100ピン製品のみ。

備考 i = 0~6

25.3.12 DTCベース・アドレス・レジスタ (DTCBAR)

DTCコントロールデータ領域の先頭番地を格納するベクタアドレスと、DTCコントロールデータ領域のアドレスを設定する8ビット・レジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

- 注意1. DTCBARレジスタは、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
2. DTCBARレジスタを2回以上書き換えしないでください。
 3. DTC転送でDTCBARレジスタをアクセスしないでください。
 4. DTCコントロールデータ領域とDTCベクタテーブル領域の配置については、25.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意を参照してください。

図25-13 DTCベース・アドレス・レジスタ (DTCBAR) のフォーマット

アドレス : F02E0H	リセット時 : FDH	R/W						
略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

25.4 DTCの動作

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロール領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあり、転送サイズは8ビット転送と16ビット転送があります。また、DTCCTj (j = 0~23) レジスタのCHNEビットが1 (チェーン転送許可) のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します (チェーン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って加算されるか固定されません。

25.4.1 起動要因

DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENi (i = 0~6) レジスタで選択します。

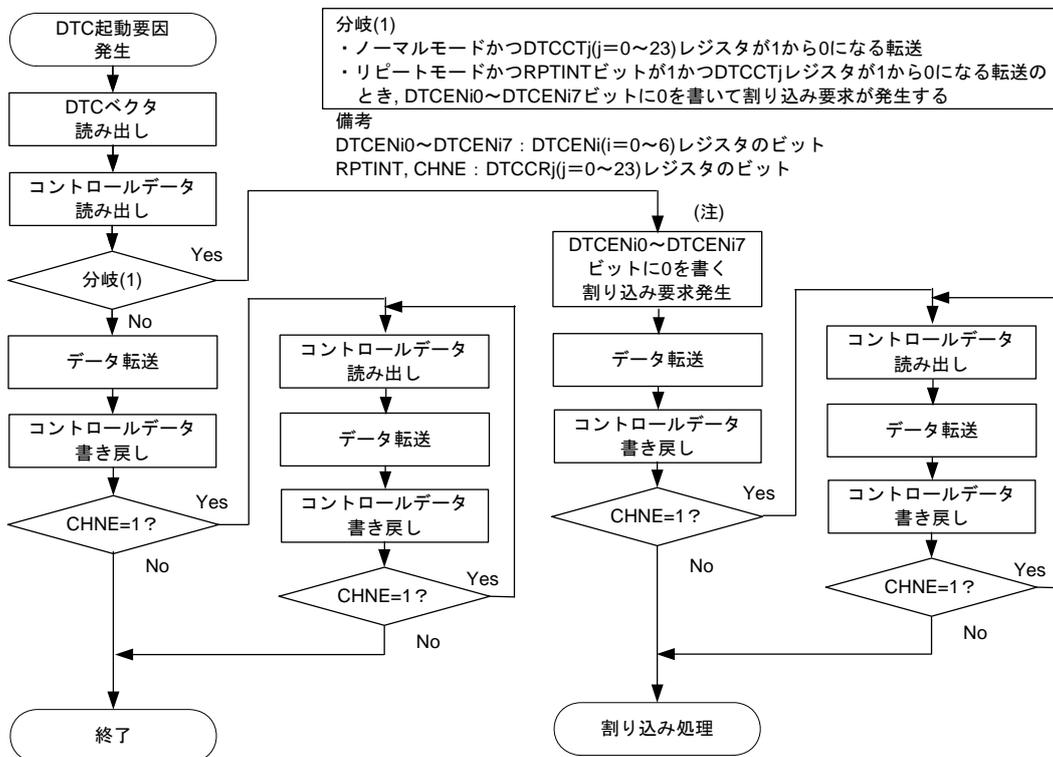
データ転送 (チェーン転送の場合、連続して行う最初の転送) の設定が、

- ・ノーマルモードでDTCCTj (j = 0~23) レジスタが0になる転送
- ・リピートモードでDTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) かつDTCCTjレジスタが0になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0~DTCENi7ビットを0 (起動禁止) にします。

図25-14にDTC内部動作フローチャートを示します。

図25-14 DTC内部動作フローチャート



注.チェーン転送の許可(CHNEビットが1)の設定により起動されたデータ転送では、DTCENi0~DTCENi7ビットに0を書きません。また、割り込み要求は発生しません。

25.4.2 ノーマルモード

1回の起動で、8ビット転送の場合1~256バイト、16ビット転送の場合2~512バイトをデータ転送します。転送回数は1~256回です。DTCCTj (j = 0~23) レジスタが0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0~6) レジスタの対応するDTCENi0~DTCENi7ビットを0 (起動禁止) にします。

表25-7にノーマルモードでのレジスタ機能を示します。図25-15にノーマルモードでのデータ転送を示します。

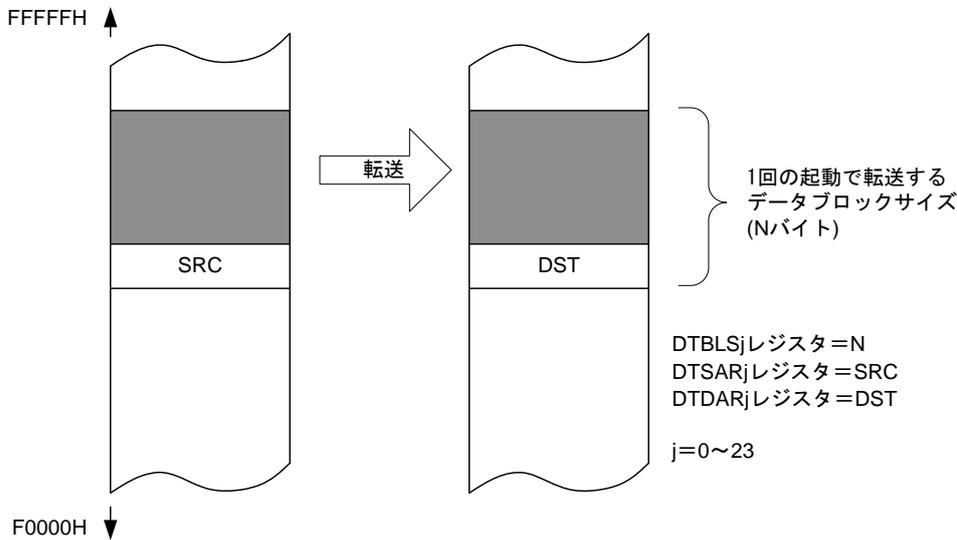
表25-7 ノーマルモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLdj	使用しません ^注
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、初期化(00H)してください。

備考 j = 0~23

図25-15 ノーマルモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC+N	DST
1	0	X	0	固定	加算	SRC	DST+N
1	1	X	0	加算	加算	SRC+N	DST+N

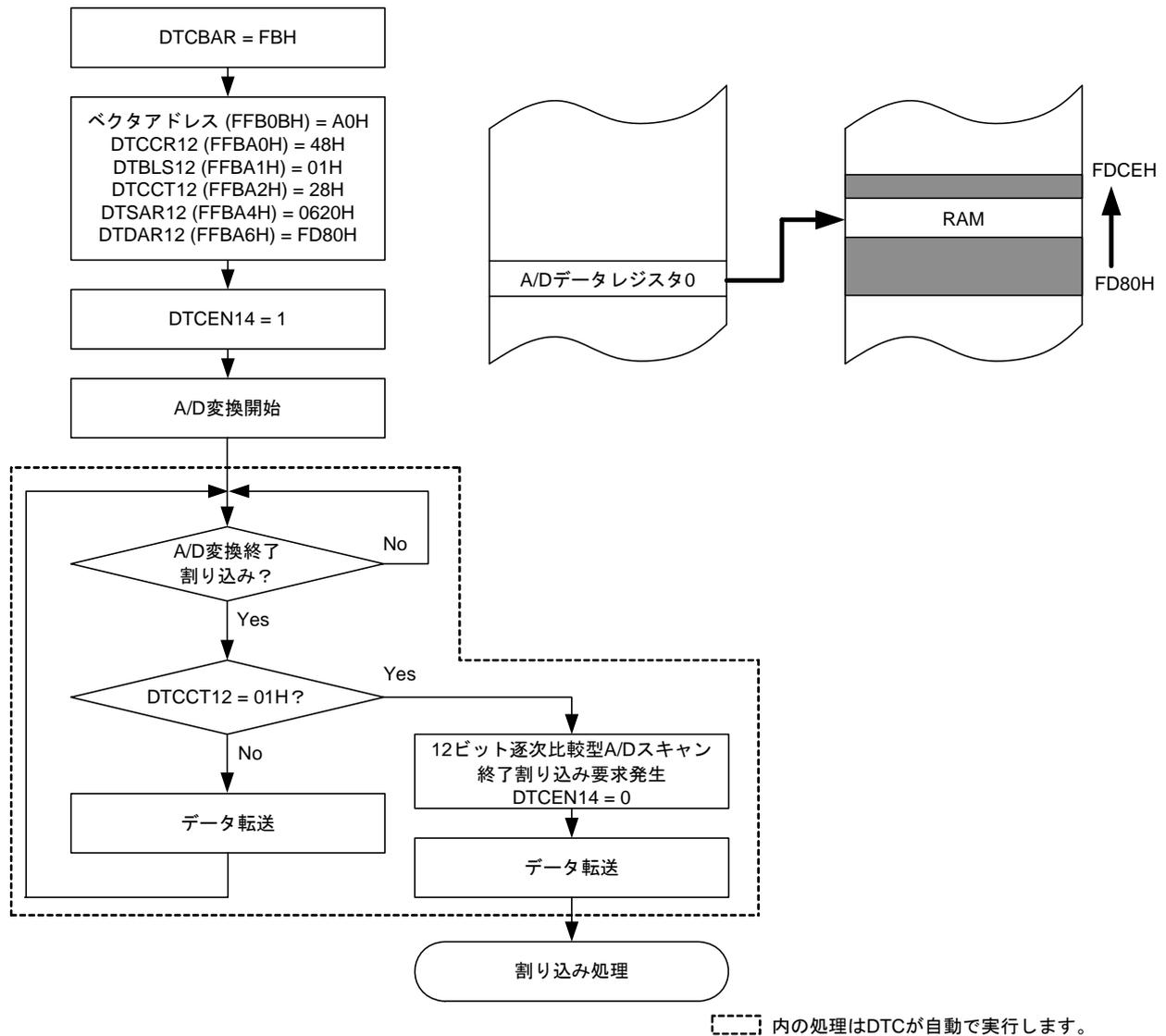
X : 0または1

(1) ノーマルモードの使用例1：12ビットA/D変換結果の連続取り込み

12ビット逐次比較型A/Dスキャン終了割り込みでDTCを起動し、A/Dデータレジスタ0の値をRAMに転送します。

- ・ベクタアドレスはFFB0BH, コントロールデータはFFBA0H~FFBA7H (コントロールデータ12)に配置
- ・A/Dデータレジスタ0 (F0620H, F0621H) の2バイトデータをRAMのFFD80H~FFDCFHの80バイトへ40回転送

図25-16 ノーマルモードの使用例1：12ビットA/D変換結果の連続取り込み



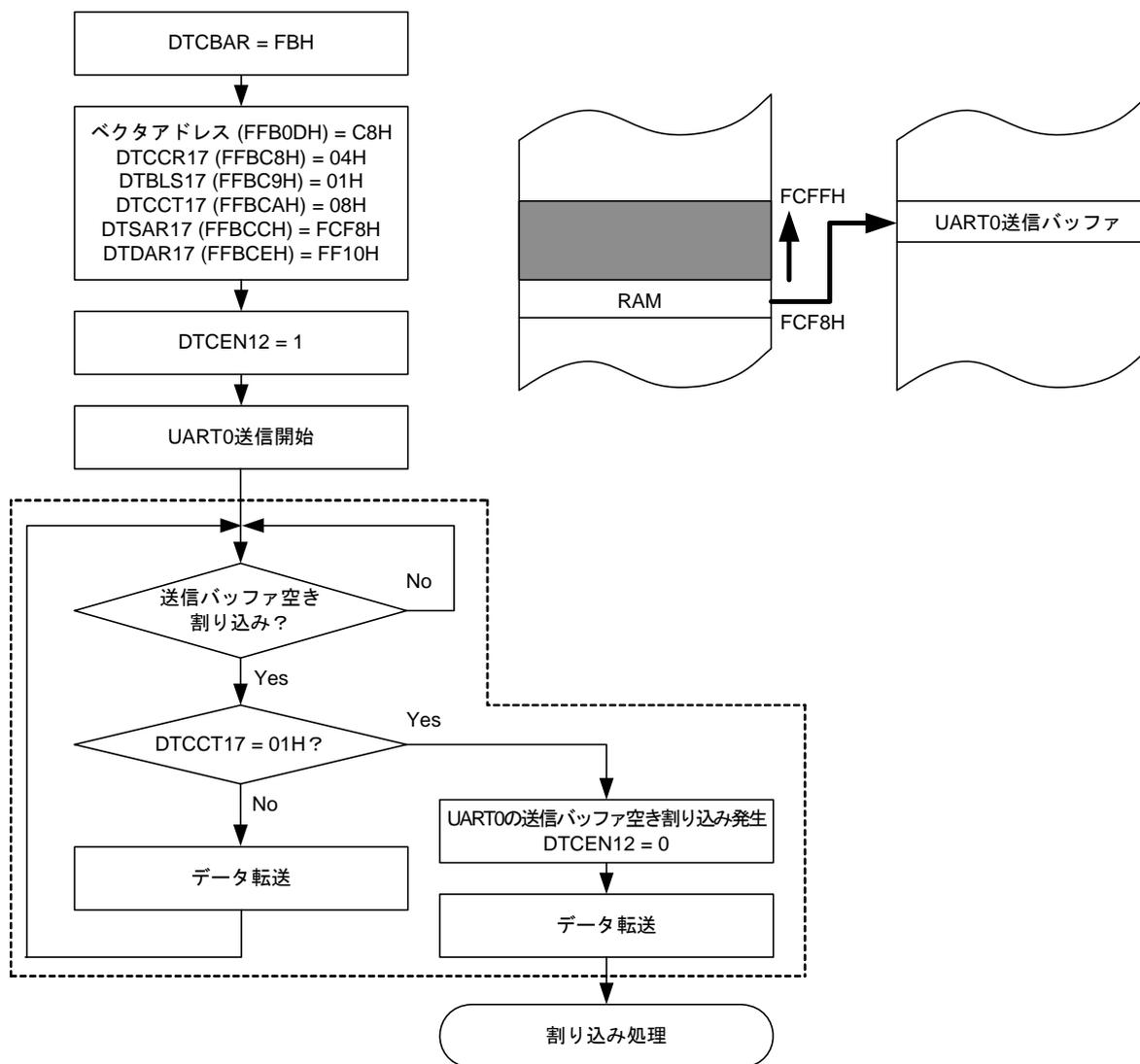
ノーマルモードのため、DTRLD12レジスタの値は使用しません。RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRLD12レジスタを初期化 (00H) してください。

(2) ノーマルモードの使用例2 : UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し、RAMの値をUART0の送信バッファに転送します。

- ・ベクタアドレスはFFB0DH, コントロールデータはFFBC8H~FFBCFH (コントロールデータ17)に配置
- ・RAMのFFCF8H~FFCFFHの8バイトをUART0の送信バッファ (FFF10H) へ転送

図25-17 ノーマルモードの使用例2 : UART0連続送信



〔 〕内の処理はDTCが自動で実行します。

ノーマルモードのため、DTRL17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRL17レジスタを初期化 (00H) してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

25.4.3 リポートモード

1回の起動で、1~255バイトを転送します。転送元、転送先のいずれか一方をリポートエリアに指定します。転送回数は1~255回です。指定回数の転送が終了すると、DTCCTj (j = 0~23) レジスタおよびリポートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) でDTCCTjレジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0~6) レジスタの対応するDTCENi0~DTCENi7ビットを0 (起動禁止) にします。DTCCRjレジスタのRPTINTビットが0 (割り込み発生禁止) の場合は、DTCCTjレジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi0~DTCENi7ビットは0になりません。

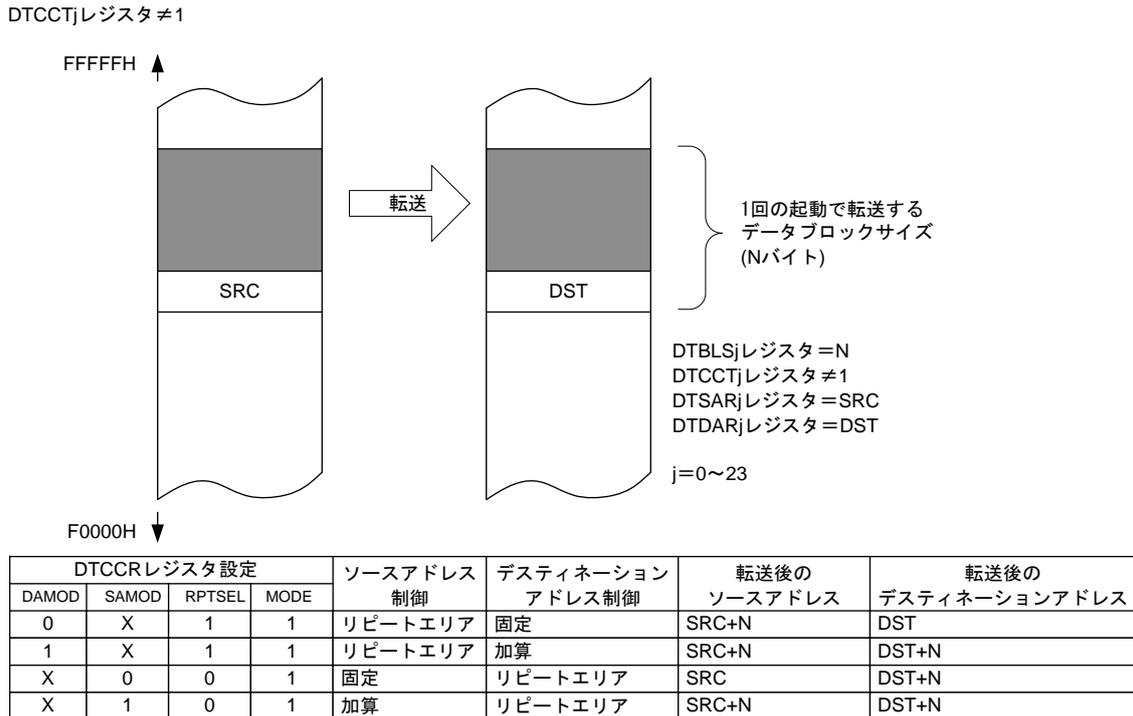
表25-8にリポートモードでのレジスタ機能を示します。図25-18にリポートモードでのデータ転送を示します。

表25-8 リポートモードでのレジスタ機能

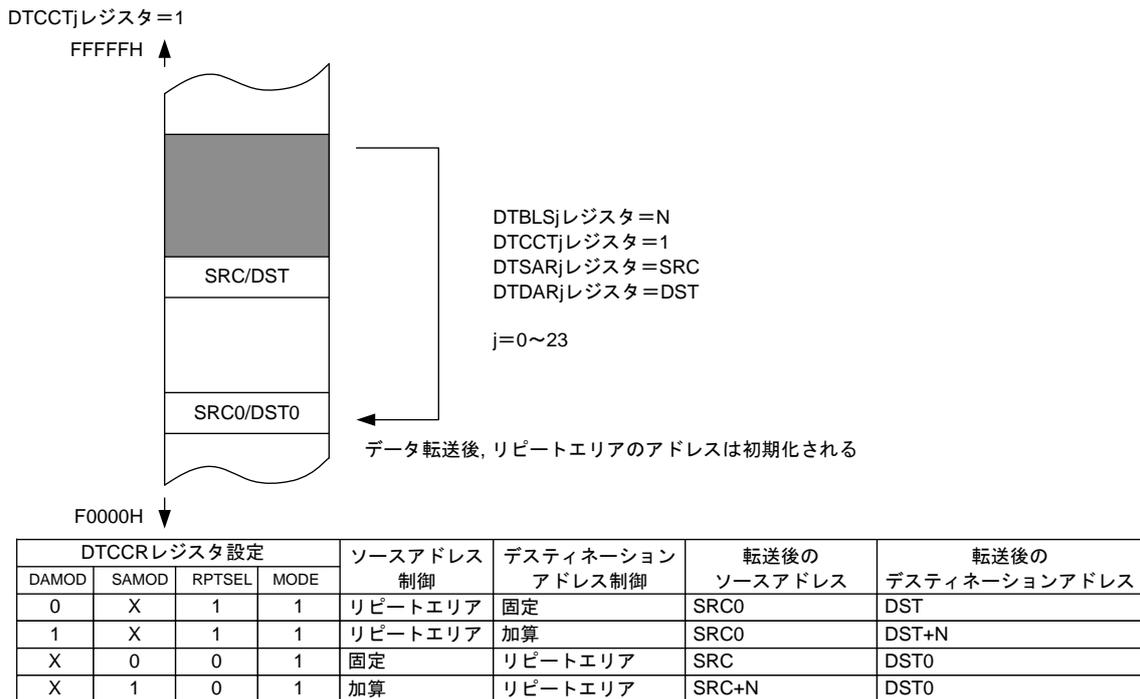
レジスタ名称	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLdj	このレジスタの値をDTCCTレジスタへリロード (データ転送回数を初期化)
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

備考 j = 0~23

図25-18 リピートモードでのデータ転送



X : 0または1



SRC0 : ソースアドレス初期値
DST0 : デスティネーションアドレス初期値
X : 0または1

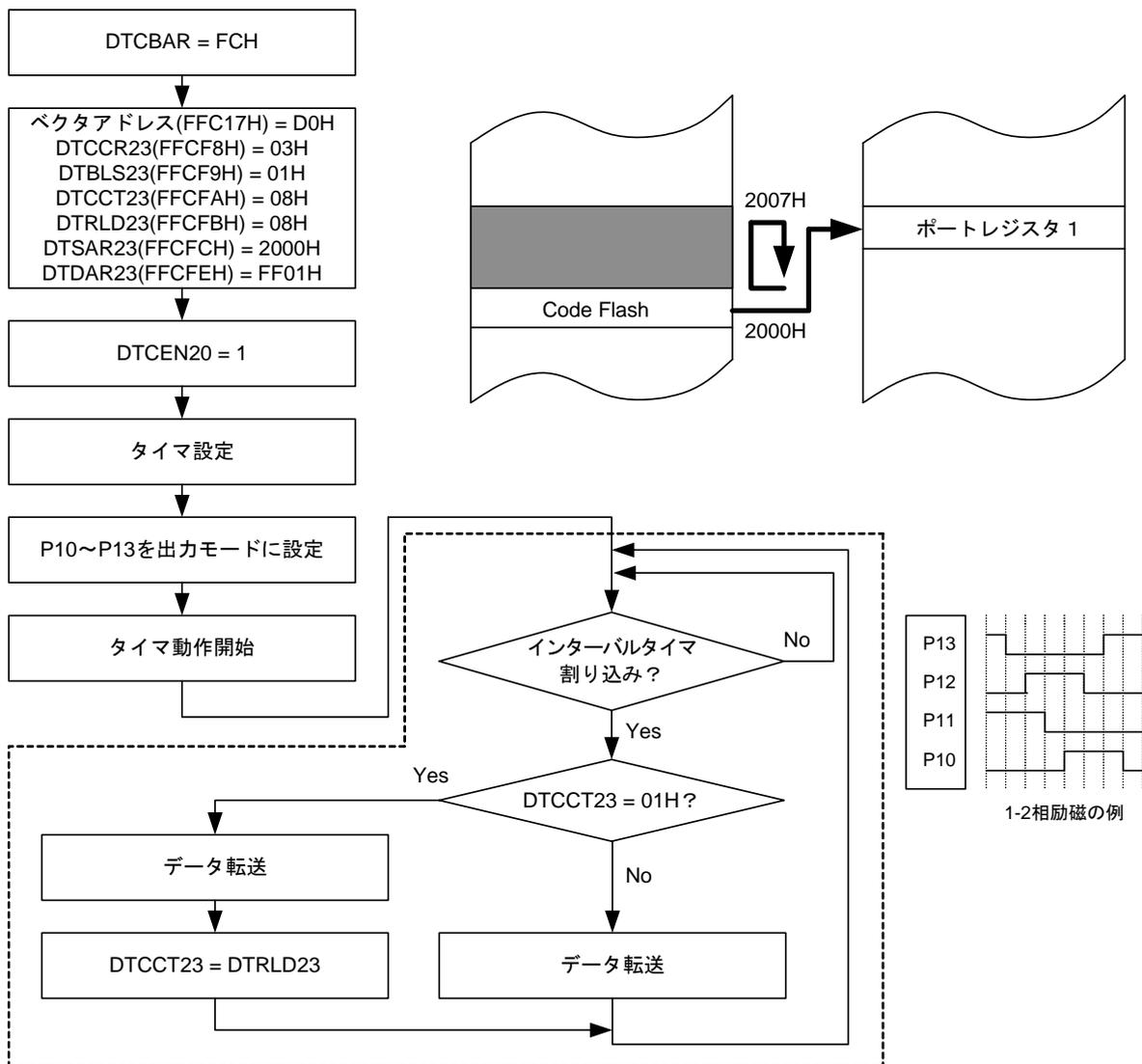
- 注意1. リピートモード使用時は、リピートエリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。
2. リピートモード使用時は、リピートエリアのデータサイズを255バイト以内にしてください。

(1) リピートモードの使用例：ポートを使ったステップングモータ制御パルス出力

インターバルタイマの割り込みでDTCを起動し、Code Flashに格納されたモータ制御パルスのパターンを汎用ポートに転送します。

- ・ベクタアドレスはFFC17H、コントロールデータはFFCF8H~FFCFEH (コントロールデータ23)に配置
- ・Code Flashの02000H~02007Hの8バイトデータをミラー空間F2000H~F2007Hからポートレジスタ1 (FFF01H) へ転送
- ・リピートモード割り込みは禁止

図25-19 リピートモードの使用例1：ポートを使ったステップングモータ制御パルス出力



内での処理はDTCが自動で実行します。

出力を停止する場合は、タイマを停止してから、DTCEN20をクリアしてください。

25.4.4 チェイン転送

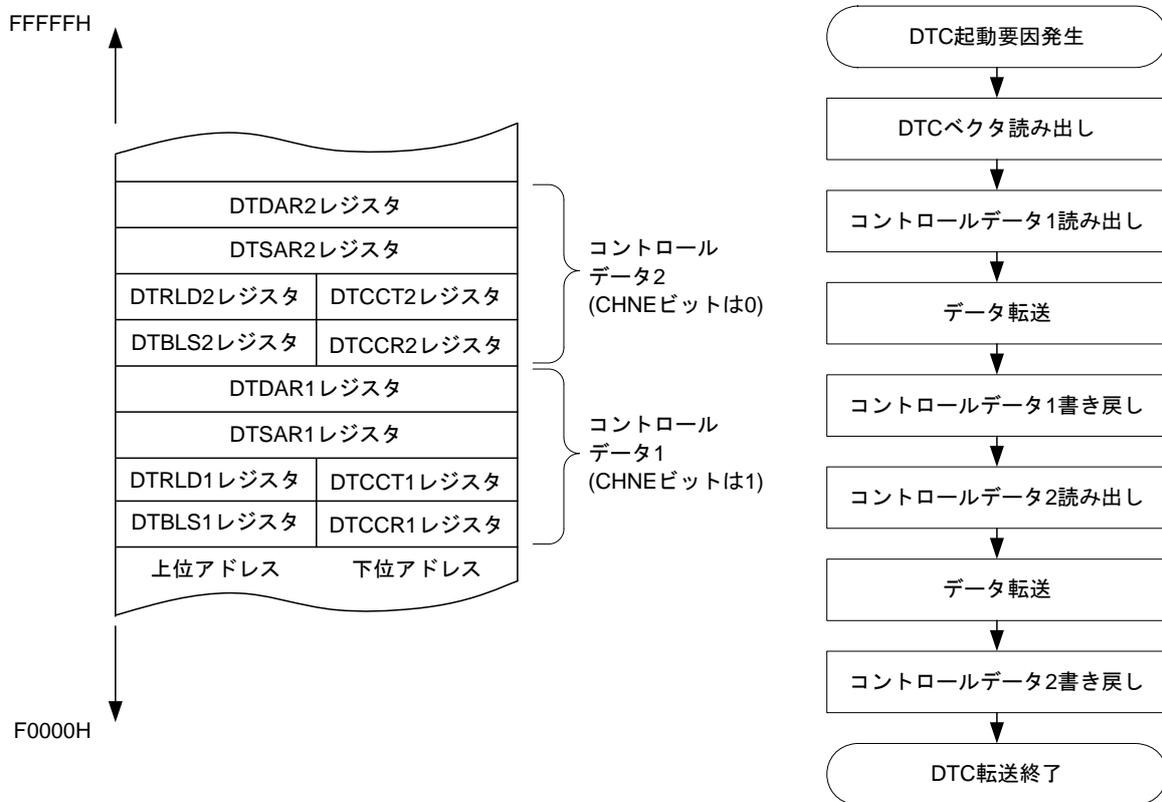
DTCCRj (j = 0~22) レジスタのCHNEビットが1 (チェーン転送許可) のとき, 1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると, 起動要因に対応したDTCベクタアドレスから読み出されたデータによりコントロールデータを選択し, DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1 (チェーン転送許可) であれば, 転送終了後, 連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0 (チェーン転送禁止) のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェーン転送を行う場合は, 最初のコントロールデータに設定された転送回数が有効となり, 2番目以降に処理されるコントロールデータの転送回数は無効となります。

図25-20にチェーン転送でのデータ転送を示します。

図25-20 チェイン転送でのデータ転送



注意1. DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止) にしてください。

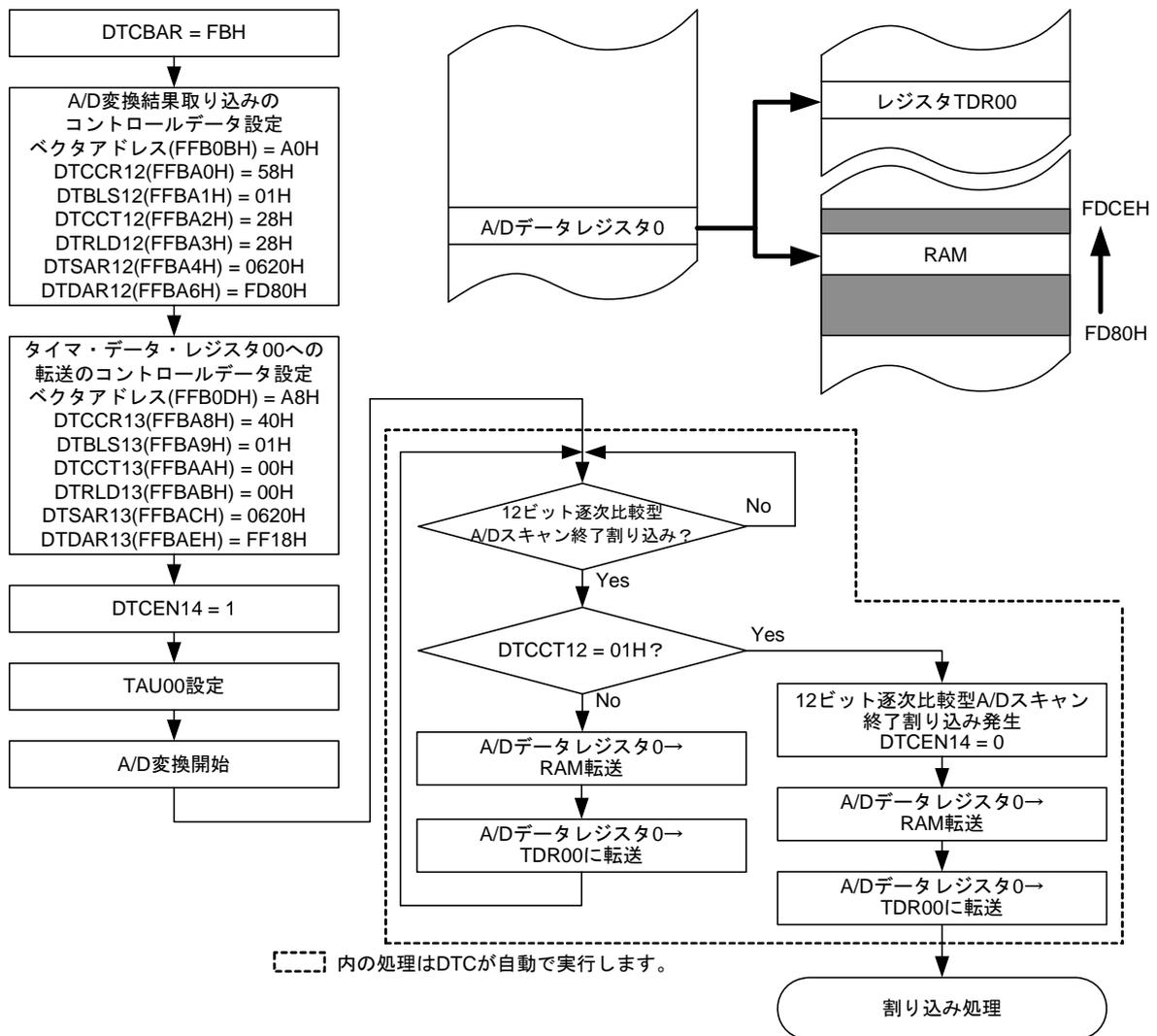
- チェーン転送の場合, 2回目以降のデータ転送では, DTCENi (i = 0~6) レジスタのDTCENi0~DTCENi7ビットは0 (DTC起動禁止) になりません。また, 割り込み要求は発生しません。

(1) チェイン転送の使用例：12ビットA/D変換結果の連続取り込みとタイマ・データ・レジスタ00 (TDR00) への転送

12ビット逐次比較型A/Dスキャン終了割り込みでDTCを起動し、A/Dデータレジスタ0をRAMに転送し、タイマ・データ・レジスタTDR00に転送します。

- ・ベクタアドレスはFFB0BH
- ・A/D変換結果取り込みのコントロールデータはFFBA0H~FFBA7H (コントロールデータ12) に配置
- ・タイマ・データ・レジスタTDR00に転送するコントロールデータはFFBA8H~FFBAFHに配置
- ・A/Dデータレジスタ0 (F0620H, F0621H) の2バイトデータをRAMのFFD80H~FFDCFHに転送し、A/Dデータレジスタ0 (F0620H, F0621H) の2バイトデータをTDR00 (FFF18H, FFF19H) に転送

図25-21 チェイン転送の使用例：A/D変換結果の連続取り込みとTRD00に転送



25.5 DTC使用上の注意事項

25.5.1 DTCのコントロールデータおよびベクタテーブルの設定

- ・ DTC転送でDTCのSFRおよびDTCコントロールデータ領域、DTCベクタテーブル領域、汎用レジスタ (FFEE0H-FFEFFH) 空間をアクセスしないでください。
- ・ DTCベース・アドレス・レジスタ (DTCBAR) は、全てのDTC起動要因を起動禁止に設定した状態に変更してください。
- ・ DTCベース・アドレス・レジスタ (DTCBAR) を2回以上書き換えないでください。
- ・ DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0~6) レジスタのDTCENi0-DTCENi7ビットが0 (DTC起動禁止) のときに変更してください。
- ・ ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0~6) レジスタのDTCENi0-DTCENi7ビットが0 (DTC起動禁止) のときに変更してください。
- ・ セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、DTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に設定しないでください。

25.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

- ・ 汎用レジスタ (FFEE0H-FFEFFH) の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- ・ スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- ・ 次に示すRAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
F7F00H-F8309H
- ・ 次に示すRAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
F8300H-F86FFH
- ・ RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、ノーマルモード使用時においてもDTRLDレジスタを初期化(00H)してください。

25.5.3 DTC保留命令

DTC転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX命令コードと直後の1命令の間にDTCが起動されることはありません。

- ・コールリターン命令
- ・無条件分岐命令
- ・条件付き分岐命令
- ・コード・フラッシュ・メモリへのリードアクセス命令
- ・IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- ・データ・フラッシュ・メモリにアクセスする命令
- ・乗除積和演算 (MULU命令を除く)

注意1. DTC転送要求を受け付けると、DTC転送が完了するまで、全ての割り込み要求が保留されます。

2. DTC保留命令によるDTC保留中は、全ての割り込み要求が保留されます。

25.5.4 データ・フラッシュ空間にアクセスする場合の動作

DTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスする場合、間の命令に3クロック分のウェイトが入ります。

命令1

DTCのデータ転送

命令2 ← 3クロック分のウェイト発生

MOV A, !データ・フラッシュ空間

25.5.5 DTC実行クロック数

表25-9にDTC起動時の実行状況と必要なクロック数を示します。

表25-9 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロールデータの書き戻しに必要なクロック数は、表25-10 コントロールデータの書き戻しに必要なクロック数を参照してください。

2. データの読み出し/書き込みに必要なクロック数は、表25-11 データの読み出し/書き込みに必要なクロック数を参照してください。

表25-10 コントロールデータの書き戻しに必要なクロック数

DTCCRレジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTjレジスタ	DTRLdjレジスタ	DTSARjレジスタ	DTDARjレジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピートエリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピートエリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算		書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0~23, X: 0または1

表25-11 データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	SFR	2nd SFR	
					ウェイトなし	ウェイトあり
データ読み出し	1	2	4	1	1	1+ウェイト数 ^注
データ書き込み	1	—	—	1	1	1+ウェイト数 ^注

注 ウェイト数はアクセスする2nd SFRに配置されたレジスタの仕様によって異なります。

25.5.6 DTC応答時間

表25-12にDTCにおける応答時間を示します。DTC応答時間とはDTC起動要因の検出からDTC転送開始までの時間であり、DTC実行クロック数は含まれません。

表25-12 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合には更にDTCの応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- ・ 内部RAMからの命令実行の場合
最大応答時間：20クロック
- ・ DTC保留命令実行の場合（25.5.3 DTC保留命令を参照）
最大応答時間：各条件時の最大応答時間+その条件での保留する命令の実行クロック
- ・ ウェイトが発生するレジスタをアクセスした場合
最大応答時間：各条件時の最大応答時間+1クロック

備考 1クロック：1/fCLK（fCLK：CPU/周辺ハードウェアクロック）

25.5.7 DTC起動要因

- ・ DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- ・ DTC起動要因が発生する箇所、その起動要因に対応したDTC起動許可ビットを操作しないでください。
- ・ DTC起動要因が競合した場合は、CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は25.3.3 ベクタテーブルを参照してください。

25.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能 (低消費RTCモード時は動作禁止)
STOPモード	DTC起動要因受付可能 ^{注2}
SNOOZEモード	動作可能 ^{注1, 3, 4}

- 注1.** SNOOZEモードは、 f_{CLK} に高速オンチップ・オシレータ・クロック(f_{IH})または、中速オンチップ・オシレータ・クロック(f_{IM})を選択している場合のみ設定可能です。
- 2.** STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、HALTモード、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元(ソース)にすることはできません。
- 3.** CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定 (STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み)をDTC転送で行ってください。
- 4.** UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定 (STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み)を行ってください。

注意 DTCのSNOOZE機能とUARTのSNOOZE機能を同時に使用することはできません。

備考 p = 00; q = 0; m = 0

第26章 イベント・リンク・コントローラ (ELC)

26.1 ELCの機能

イベント・リンク・コントローラ (ELC) は、各周辺機能が出力するイベントを周辺機能間で相互に接続 (リンク) します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

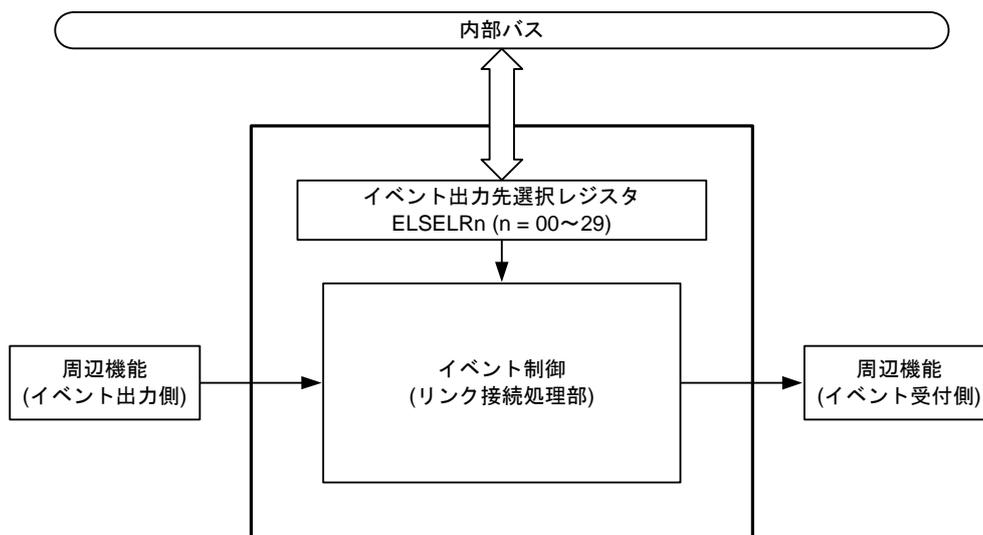
ELCには次の機能があります。

- ・ 30種類の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- ・ 7種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

26.2 ELCの構成

図26-1にELCのブロック図を示します。

図26-1 ELCのブロック図



26.3 ELCを制御するレジスタ

表26-1にELCを制御するレジスタを示します。

表26-1 ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ00	ELSELR00
イベント出力先選択レジスタ01	ELSELR01
イベント出力先選択レジスタ02	ELSELR02
イベント出力先選択レジスタ03	ELSELR03
イベント出力先選択レジスタ04	ELSELR04
イベント出力先選択レジスタ05	ELSELR05
イベント出力先選択レジスタ06	ELSELR06
イベント出力先選択レジスタ07	ELSELR07
イベント出力先選択レジスタ08	ELSELR08
イベント出力先選択レジスタ09	ELSELR09
イベント出力先選択レジスタ10	ELSELR10
イベント出力先選択レジスタ11	ELSELR11
イベント出力先選択レジスタ12	ELSELR12
イベント出力先選択レジスタ13	ELSELR13
イベント出力先選択レジスタ14	ELSELR14
イベント出力先選択レジスタ15	ELSELR15
イベント出力先選択レジスタ16	ELSELR16
イベント出力先選択レジスタ17	ELSELR17
イベント出力先選択レジスタ18	ELSELR18
イベント出力先選択レジスタ19	ELSELR19
イベント出力先選択レジスタ20	ELSELR20
イベント出力先選択レジスタ21	ELSELR21
イベント出力先選択レジスタ22	ELSELR22
イベント出力先選択レジスタ23	ELSELR23
イベント出力先選択レジスタ24	ELSELR24
イベント出力先選択レジスタ25	ELSELR25
イベント出力先選択レジスタ26	ELSELR26
イベント出力先選択レジスタ27	ELSELR27
イベント出力先選択レジスタ28	ELSELR28
イベント出力先選択レジスタ29	ELSELR29
タイマ入力選択レジスタ0	TIS0

26.3.1 イベント出力先選択レジスタn (ELSELRn) (n = 00~29)

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能（リンク先周辺機能）の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先^注(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRnレジスタを設定してください。

表26-2にELSELRnレジスタ (n = 00~29) と周辺機能の対応を、表26-3にELSELRnレジスタ (n = 00~29) に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

注 12ビットA/Dコンバータを除く

図26-2 イベント出力先選択レジスタn (ELSELRn) のフォーマット

アドレス : F0240H (ELSELR00) ~ F025DH (ELSELR29) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	0	ELSELn2	ELSELn1	ELSELn0

ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択
0	0	0	イベントリンク禁止
0	0	1	リンクする周辺機能1の動作を選択 ^注
0	1	0	リンクする周辺機能2の動作を選択 ^注
0	1	1	リンクする周辺機能3の動作を選択 ^注
1	0	0	リンクする周辺機能4の動作を選択 ^注
1	0	1	リンクする周辺機能5の動作を選択 ^注
1	1	0	リンクする周辺機能6の動作を選択 ^注
1	1	1	リンクする周辺機能7の動作を選択 ^注

注 表26-3 ELSELRnレジスタ (n = 00~29) に設定する値とリンク先周辺機能の受付時の動作の対応参照。

表26-2 ELSELRnレジスタ (n = 00~29) と周辺機能の対応

レジスタ名	イベント発生元 (イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06	外部割り込みエッジ検出6	INTP6
ELSELR07	外部割り込みエッジ検出7	INTP7
ELSELR08	キーリターン信号検出	INTKR
ELSELR09	12ビット・インターバル・タイマ・インターバル信号検出	INTIT
ELSELR10	8ビット・インターバル・タイマ・チャンネル00のコンペアマッチまたは 8ビット・インターバル・タイマ・チャンネル0のコンペアマッチ (カスケード時)	INTIT00
ELSELR11	8ビット・インターバル・タイマ・チャンネル10のコンペアマッチまたは 8ビット・インターバル・タイマ・チャンネル1のコンペアマッチ (カスケード時)	INTIT01
ELSELR12	RTC定周期信号検出	INTRTCPRD
ELSELR13	TAUチャンネル00カウント完了/キャプチャ完了	INTTM00
ELSELR14	TAUチャンネル01カウント完了/キャプチャ完了	INTTM01
ELSELR15	TAUチャンネル02カウント完了/キャプチャ完了	INTTM02
ELSELR16	TAUチャンネル03カウント完了/キャプチャ完了	INTTM03
ELSELR17	TAUチャンネル05カウント完了/キャプチャ完了	INTTM05
ELSELR18	TAUチャンネル07カウント完了/キャプチャ完了	INTTM07
ELSELR19	DSAD変換終了	INTDSAD
ELSELR20	DSAD変換終了	INTDSAD
ELSELR21	外部割り込みエッジ検出8	INTP8
ELSELR22	外部割り込みエッジ検出9	INTP9
ELSELR23	外部割り込みエッジ検出12	INTP12
ELSELR24	外部割り込みエッジ検出13	INTP13
ELSELR25	外部割り込みエッジ検出14	INTP14
ELSELR26	8ビット・インターバル・タイマ・チャンネル20のコンペアマッチまたは 8ビット・インターバル・タイマ・チャンネル2のコンペアマッチ (カスケード時)	INTIT20
ELSELR27	8ビット・インターバル・タイマ・チャンネル30のコンペアマッチまたは 8ビット・インターバル・タイマ・チャンネル3のコンペアマッチ (カスケード時)	INTIT30
ELSELR28	タイマRJ0アンダーフロー	INTTRJ0
ELSELR29	タイマRJ1アンダーフロー	INTTRJ1

表26-3 ELSELRnレジスタ (n = 00~29) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRnレジスタの ELSELRn2~ELSELRn0 ビット	リンク先の番号	リンク先周辺機能	イベント受付時の動作
001B	1	12ビットA/Dコンバータ	A/D変換開始
010B	2	タイマ・アレイ・ユニット チャンネル0のタイマ入力 ^{注1}	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
011B	3	タイマ・アレイ・ユニット チャンネル1のタイマ入力 ^{注2}	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
100B	4	タイマ・アレイ・ユニット チャンネル5のタイマ入力 ^{注3}	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
101B	5	タイマ・アレイ・ユニット チャンネル7のタイマ入力 ^{注4}	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
110B	6	タイマRJ0	カウントソース
111B	7	タイマRJ1	カウントソース

- 注1.** リンク先周辺機能にタイマ・アレイ・ユニットチャンネル0のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル0の動作クロックをf_{CLK}に設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI00端子のノイズフィルタをOFFに (TNFEN00 = 0) 設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 2.** リンク先周辺機能にタイマ・アレイ・ユニットチャンネル1のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル1の動作クロックをf_{CLK}に設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI01端子のノイズフィルタをOFF (TNFEN01 = 0) に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 3.** リンク先周辺機能にタイマ・アレイ・ユニットチャンネル5のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル5の動作クロックをf_{CLK}に設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI05端子のノイズフィルタをOFFに (TNFEN05 = 0) 設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル5で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 4.** リンク先周辺機能にタイマ・アレイ・ユニットチャンネル7のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル7の動作クロックをf_{CLK}に設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI07端子のノイズフィルタをOFFに (TNFEN07 = 0) 設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル7で使用するタイマ入力をELCからのイベント入力信号に設定してください。

26.3.2 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット (TAU0) のチャンネル0, 1, 5, 6, 7のタイマ入力を選択するレジスタです。

図26-3 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

TIS07	TIS06	チャンネル7で使用するタイマ入力の選択
0	0	タイマ入力端子 (TI07) の入力信号
0	1	RTCOUT出力信号
1	0	RxD0入力端子
1	1	ELCからのイベント入力信号

TIS04	チャンネル1で使用するタイマ入力の選択
0	タイマ入力端子 (TI01) の入力信号
1	ELCからのイベント入力信号

TIS03	チャンネル0で使用するタイマ入力の選択
0	タイマ入力端子 (TI00) の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子 (TI05) の入力信号
0	1	1	中速オンチップ・オシレータ・クロック (f _M)
1	0	0	低速オンチップ・オシレータ・クロック (f _L)
1	0	1	サブ・システム・クロック (f _{SUB})
上記以外			設定禁止

26.3.3 A/D変換開始トリガ選択レジスタ (ADSTRGR)

ADSTRGRレジスタは、A/D変換開始トリガの選択を行うレジスタです。

ADSTRGRレジスタは、16ビット・メモリ操作命令で設定します。

図26-4 A/D変換開始トリガ選択レジスタ (ADSTRGR) のフォーマット

アドレス : F0610h リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ADSTRGR	0	0	TRSA[5:0]					0	0	0	0	0	0	0	0	0	0

TRSA[5:0]	A/D変換開始トリガ選択ビット [※]
110000	イベントリンクコントローラからのイベント出力信号 (ELCTRG0)
111111	トリガ要因非選択
上記以外	設定禁止

シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。

- 同期トリガのA/D変換起動要因を使用する場合は、ADCSR.TRGEビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGEビット、TRSA[5:0]ビットの設定値にかかわらず有効です。

注 なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔がt_{SCAN}以内の場合は、トリガによるA/D変換が無効となる場合があります。詳細は17.3.4 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

表 26-4に TRSA[5:0]ビットでのA/D起動要因選択一覧を示します。

表26-4 TRSA[5:0]ビットでのA/D起動要因選択一覧

周辺機能	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
		トリガ要因非選択状態	1	1	1	1	1	1
ELC	ELCTRG0	イベントリンクコントローラからのイベント出力信号	1	1	0	0	0	0

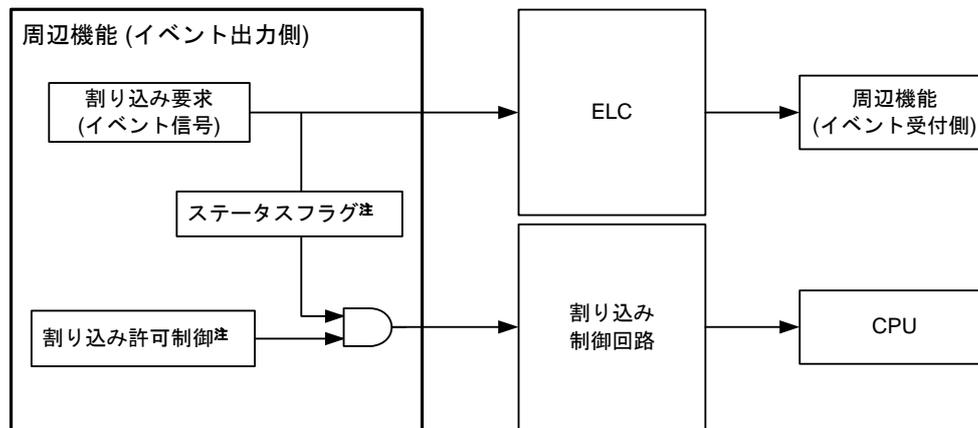
26.4 ELCの動作

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

図26-5に割り込み処理とELCの関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします（表26-3 ELSELRnレジスタ (n = 00~29) に設定する値とリンク先周辺機能の受付時の動作の対応参照）。

図26-5 割り込み処理とELCの関係



注 周辺機能によっては、搭載していません。

表26-5にイベントを受け付ける周辺機能の応答性を示します。

表26-5 イベントを受け付ける周辺機能の応答性

イベント 受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	12ビットA/Dコンバータ	A/D 変換動作	ELCからのイベントが直接、A/D変換のハードウェア・トリガになります。
2	タイマ・アレイ・ユニット チャンネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf _{CLK} の3, 4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット チャンネル1のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf _{CLK} の3, 4サイクル後にエッジの検出を行います。
4	タイマ・アレイ・ユニット チャンネル5のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf _{CLK} の3, 4サイクル後にエッジの検出を行います。
5	タイマ・アレイ・ユニット チャンネル7のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf _{CLK} の3, 4サイクル後にエッジの検出を行います。
6	タイマRJ0	カウントソース	ELCからのイベントが直接、タイマRJ0のカウントソースになります。
7	タイマRJ1	カウントソース	ELCからのイベントが直接、タイマRJ1のカウントソースになります。

26.5 ELC使用上の注意事項

- ・複数のイベント入力を1箇所のイベントリンクトリガ^注にリンクさせる設定は禁止です。
- ・制御レジスタを設定する際は、関係する周辺機能のイベントが発生しない状態で実施してください。
- ・イベント発生元とリンク先を同じ機能に設定することは禁止です。

注 12ビットA/Dコンバータを除く

第27章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

		80ピン	100ピン
マスカブル割り込み	外部	14	14
	内部	41	47

27.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表27-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

27.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（表27-1参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表27-1 割り込み要因一覧 (1/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	100-pin	80-pin
		名称	トリガ					
マスク可能	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバーフロー時間の75%+1/2f _{IL})	内部	0004H	(A)	○	○
	1	INTLVI	電圧検出 ^{注4}		0006H		○	○
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)	○	○
	3	INTP1			000AH		○	○
	4	INTP2			000CH		○	○
	5	INTP3			000EH		○	○
	6	INTP4			0010H		○	○
	7	INTP5			0012H		○	○
	8	INTST2			UART2送信の転送完了, バッファ空き割り込み		内部	0014H
		INTSTMG0	UARTMG0送信の転送完了, バッファ空き割り込み	○	○			
	9	INTSR2	UART2受信の転送完了	0016H	○	○		
		INTSRMG0	UARTMG0受信の転送完了		○	○		
	10	INTSRE2	UART2受信の通信エラー発生	0018H	○	○		
		INTSREMG0	UARTMG0受信の転送完了通信エラー発生		○	○		
	11	INTCR	高速オンチップ・オシレータ・クロック周波数補正完了	001AH	○	○		
		INTSMP00	サンプリング・ディテクタ検出00		○	○		
		INTSMP10	サンプリング・ディテクタ検出10		○	○		
	12	INTAES	暗号化/復号化完了割り込み	001CH	○	○		
		INTAESF	最初のブロックの暗号化/復号化完了割り込み		○	○		
	13	INTST0 /INTCSI00 /INTIIC00	UART0送信の転送完了, バッファ空き割り込み/CSI00の転送完了, バッファ空き割り込み/IIC00の転送完了	001EH	○	○		
14	INTIICA0	IICA0通信完了	0020H	○	○			
15	INTSR0	UART0受信の転送完了	0022H	○	○			
16	INTSRE0	UART0受信の通信エラー発生	0024H	○	○			
	INTTM01H	タイマ・チャンネル01のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)		○	○			
17	INTST1/ INTCSI10/ INTIIC10	UART1送信の転送完了, バッファ空き割り込み/CSI10の転送完了, バッファ空き割り込み/IIC10の転送完了	0026H	○	○			
18	INTSR1	UART1受信の転送完了	0028H	○	○			
19	INTSRE1	UART1受信の通信エラー発生	002AH	○	○			
	INTTM03H	タイマ・チャンネル03のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)		○	○			

- 注 1. デフォルト・プライオリティは、複数のマスク可能割り込みが発生している場合に、優先する順位です。0が最高順位、60が最低順位です。
- 2. 基本構成タイプの (A) - (C) は、それぞれ図27-1の (A) - (C) に対応しています。
- 3. オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。
- 4. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 0選択時。

表27-1 割り込み要因一覧 (2/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	100-pin	80-pin		
		名称	トリガ							
マスク可能	20	INTTM00	タイマ・チャンネル00のカウント完了またはキャプチャ完了	内部	002CH	(A)	○	○		
	21	INTRTCALM0	RTCアラーム割り込み0		002EH		○	○		
		INTSMP01	サンプリング・ディテクタ検出01		○		○			
		INTSMP11	サンプリング・ディテクタ検出11		○		○			
	22	INTFM	周波数測定完了		0030H		○	○		
		INTSMP02	サンプリング・ディテクタ検出02				○	○		
		INTSMP12	サンプリング・ディテクタ検出12				○	○		
	23	INTTM01	タイマ・チャンネル01のカウント完了またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		0032H		○	○		
	24	INTTM02	タイマ・チャンネル02のカウント完了またはキャプチャ完了		0034H		○	○		
	25	INTTM03	タイマ・チャンネル03のカウント完了またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		0036H		○	○		
	26	INTAD	12ビット逐次比較型A/Dスキャン終了割り込み		0038H		○	○		
	27	INTRTCPRD	RTC周期割り込み		003AH		○	○		
		INTSMP03	サンプリング・ディテクタ検出03				○	○		
		INTSMP13	サンプリング・ディテクタ検出13				○	○		
	28	INTIT	12ビット・インターバル・タイマのインターバル信号検出	003CH	○	○				
	29	INTKR	キー・リターン信号検出	外部	003EH	(B)	○	○		
		INTRTCALM1	RTCアラーム割り込み1	内部			(A)	○	○	
			INTSMP04					サンプリング・ディテクタ検出04	○	○
			INTSMP14					サンプリング・ディテクタ検出14	○	○
	30	INTST3/ INTCSI30/ INTIIC30	UART3送信の転送完了, バッファ空き割り込み/CSI30の転送完了, バッファ空き割り込み/IIC30の転送完了	0040H	○	—				
	31	INTSR3	UART3受信の転送完了	0042H	○	—				
	32	INTDSAD	$\Delta \Sigma$ A/D変換完了	0044H	○	○				
		INTSMP05	サンプリング・ディテクタ検出05		○	○				
		INTSMP15	サンプリング・ディテクタ検出15		○	○				
	33	INTTM04	タイマ・チャンネル04のカウント完了またはキャプチャ完了	0046H	○	○				
	34	INTTM05	タイマ・チャンネル05のカウント完了またはキャプチャ完了	0048H	○	○				
		INTSMOTA0	サンプリング出力タイマインターバル割り込み0		○	○				
	35	INTP6	端子入力エッジ検出	外部	004AH	(B)	○	○		
36	INTP7	端子入力エッジ検出	004CH				○	○		
37	INTRTCIC2	RTCIC2端子タンバ検出	004EH		○		○			
	INTP12	端子入力エッジ検出			○		○			
38	INTRTCIC1	RTCIC1端子タンバ検出	0050H		○		○			
	INTP13	端子入力エッジ検出			○		○			
39	INTRTCIC0	RTCIC0端子タンバ検出	0052H		○		○			
	INTP14	端子入力エッジ検出			○		○			

- 注 1. デフォルト・プライオリティは、複数のマスク可能割り込みが発生している場合に、優先する順位です。0が最高順位、60が最低順位です。
2. 基本構成タイプの (A) - (C) は、それぞれ図27-1の (A) - (C) に対応しています。

表27-1 割り込み要因一覧 (3/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	100-pin	80-pin
		名称	トリガ					
マスク可能	40	INTTM06	タイマ・チャンネル06のカウント完了またはキャプチャ完了	内部	0054H	(A)	○	○
		INTSMOTB0	サンプリング出力タイマコンペアー一致割り込み0				○	○
	41	INTTM07	タイマ・チャンネル07のカウント完了またはキャプチャ完了		0056H		○	○
		INTSMOTA1	サンプリング出力タイマインターバル割り込み1				○	○
	42	INTIT00	8ビット・インターバル・タイマ・チャンネル00／チャンネル0 (カスケード時) 比較一致検出		0058H		○	○
							43	INTIT01
	44	INTSRE3	UART3受信の通信エラー発生		005CH			
							45	INTMACLOF
	INTSMOTB1	サンプリング出力タイマコンペアー一致割り込み1	○		○			
	46	INTOSDC	発振停止検出		0060H		○	○
	47	INTFL	予約 ^{注3}		0062H		○	○
	48	INTP8	端子入力エッジ検出		0064H		○	○
	49	INTP9	端子入力エッジ検出		0066H		○	○
	50	INTIT10	8ビット・インターバル・タイマ・チャンネル10／チャンネル1 (カスケード時) 比較一致検出		0068H		○	○
							51	INTIT11
	52	INTLVDVDD	V _{DD} 端子電圧検出割り込み		006CH			
		INTIT20	8ビット・インターバル・タイマ・チャンネル20／チャンネル2 (カスケード時) 比較一致検出				○	○
	53	INTLVDVBAT	LVDVBAT端子電圧検出割り込み		006EH		○	○
							INTIT21	8ビット・インターバル・タイマ・チャンネル21比較一致検出
	54	INTLVDVRTC	VRTC端子電圧検出割り込み		0070H		○	○
							INTIT30	8ビット・インターバル・タイマ・チャンネル30／チャンネル3 (カスケード時) 比較一致検出
	55	INTLVDEXLVD	EXLVD端子電圧検出割り込み		0072H		○	○
							INTIT31	8ビット・インターバル・タイマ・チャンネル31比較一致検出
	56	INTST4	UART4送信の転送完了, バッファ空き割り込み		0074H		○	—
							INTSTMG1	UARTMG1送信の転送完了, バッファ空き割り込み
	57	INTSR4	UART4受信の転送完了		0076H		○	—
							INTSRMG1	UARTMG1受信の転送完了
	58	INTSRE4	UART4受信の通信エラー発生		0078H		○	—
							INTSREMG1	UARTMG1受信の転送完了通信エラー発生
	59	INTTRJ0	タイマR _{J0} 割り込み		007AH		○	○
INTDSADDEC				ΔΣA/Dデシメーション・フィルタ出力完了割り込み		○	○	

- 注 1. デフォルト・プライオリティは、複数のマスク可能割り込みが発生している場合に、優先する順位です。0が最高順位、60が最低順位です。
2. 基本構成タイプの (A) - (C) は、それぞれ図27-1の (A) - (C) に対応しています。
3. フラッシュ・セルフ・プログラミング・ライブラリ、データ・フラッシュ・ライブラリで使用します。

表27-1 割り込み要因一覧 (4/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	100-pin	80-pin
		名称	トリガ					
マスク可能	60	INTTRJ1	タイマRJ1割り込み	内部	007CH	(A)	○	○
ソフトウェア	—	BRK	BRK命令の実行	—	007EH	(C)	○	○
リセット	—	RESET	RESET端子入力	—	0000H	—	○	○
		POR	パワーオン・リセット				○	○
		LVD	電圧検出 ^{注3}				○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○
		TRAP	不正命令の実行 ^{注4}				○	○
		IAW	不正メモリ・アクセス				○	○
		RPE	RAMパリティ・エラー				○	○

注 1. デフォルト・プライオリティは、複数のマスク可能割り込みが発生している場合に、優先する順位です。0が最高順位、60が最低順位です。

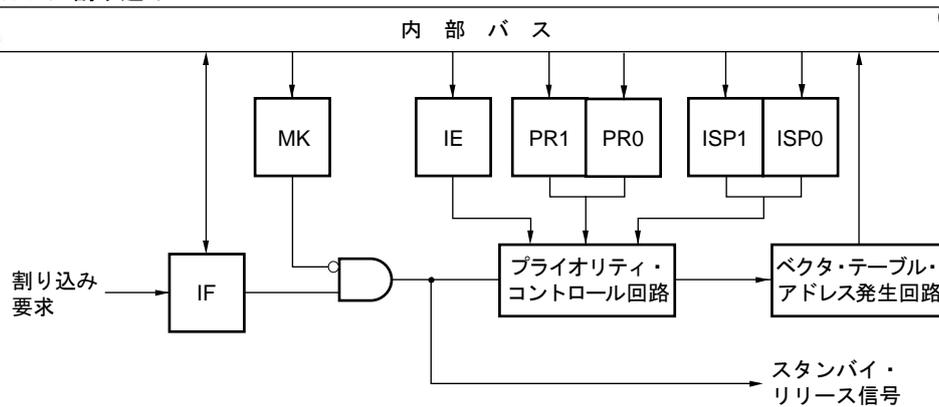
2. 基本構成タイプの (A) - (C) は、それぞれ図27-1の (A) - (C) に対応しています。

3. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 1選択時。

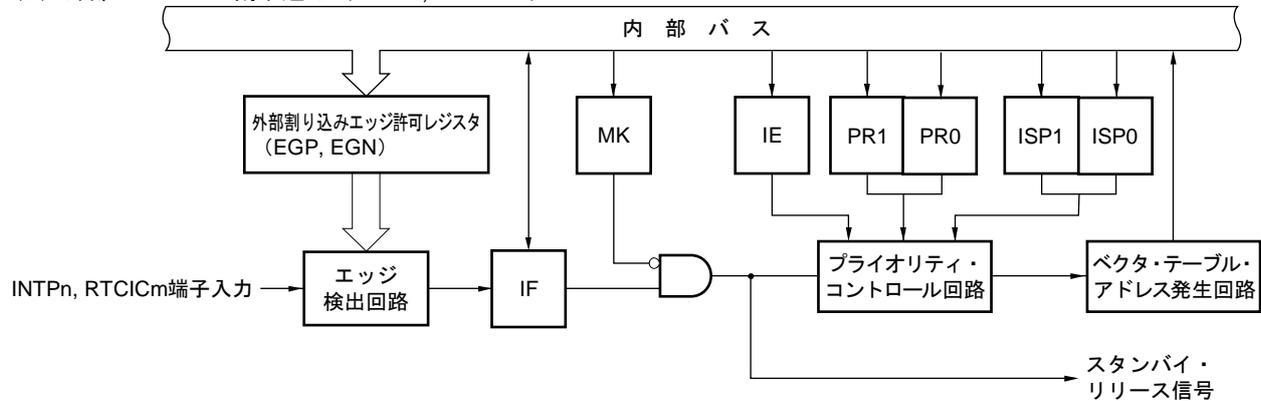
4. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図27-1 割り込み機能の基本構成

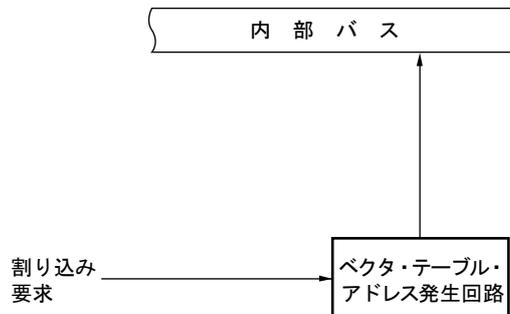
(A) 内部マスカブル割り込み



(B) 外部マスカブル割り込み (INTPn, RTCICm)



(C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 n = 0-9, 12-14, m = 0-2

27.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表27-2に示します。

表27-2 割り込み制御レジスタの構成 (1/3)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1	
INTP0	PIF0		PMK0		PPR00, PPR10	
INTP1	PIF1		PMK1		PPR01, PPR11	
INTP2	PIF2		PMK2		PPR02, PPR12	
INTP3	PIF3		PMK3		PPR03, PPR13	
INTP4	PIF4		PMK4		PPR04, PPR14	
INTP5	PIF5		PMK5		PPR05, PPR15	
INTST2	STIF2	IF0H	STMK2	MK0H	STPR02, STPR12	PR00H, PR10H
INTSTMG0	STMGIF0		STMGMK0		STMGPR00, STMGPR10	
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12	
INTSRMG0	SRMGIF0		SRMGMK0		SRMGPR00, SRMGPR10	
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12	
INTSREMG0	SREMGIF0		SREMGMK0		SREMGPR00, SREMGPR10	
INTCR	CRIF		CRMK		CRPR0, CRPR1	
INTSMP00	SMPIF00		SMPMK00		SMPPR000, SMPPR100	
INTSMP10	SMPIF10		SMPMK10		SMPPR010, SMPPR110	
INTAES	AESIF		AESMK		AESPR0, AESPR1	
INTAESF	AESFIF		AESFMK		AESFPR0, AESFPR1	
INTST0	STIF0		STMK0		STPR00, STPR10	
INTCSI00	CSIF00		CSIMK00		CSIPR000, CSIPR100	
INTIIC00	IICIF00		IICMK00		IICPR000, IICPR100	
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10	
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10	

表27-2 割り込み制御レジスタの構成 (2/3)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ				
		レジスタ		レジスタ		レジスタ			
INTSRE0	SREIF0	IF1L	SREMK0	MK1L	SREPR0, SREPR10	PR01L, PR11L			
INTTM01H	TMIF01H		TMMK01H		TMPR001H, TMPR101H				
INTST1	STIF1		STMK1		STPR01, STPR11				
INTCSI10	CSIF10		CSIMK10		CSIPR010, CSIPR110				
INTIIC10	IICIF10		IICMK10		IICPR010, IICPR110				
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11				
INTSRE1	SREIF1		SREMK1		SREPR01, SREPR11				
INTTM03H	TMIF03H		TMMK03H		TMPR003H, TMPR103H				
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100				
INTRTCALM0	RTCAIF0		RTCAMK0		RTCAPR00, RTCAPR10				
INTSMP01	SMPIF01		SMPMK01		SMPPR001, SMPPR101				
INTSMP11	SMPIF11		SMPMK11		SMPPR011, SMPPR111				
INTFM	FMIF		FMMK		FMPR0, FMPR1				
INTSMP02	SMPIF02		SMPMK02		SMPPR002, SMPPR102				
INTSMP12	SMPIF12		SMPMK12		SMPPR012, SMPPR112				
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101				
INTTM02	TMIF02		IF1H		TMMK02		MK1H	TMPR002, TMPR102	PR01H, PR11H
INTTM03	TMIF03	TMMK03		TMPR003, TMPR103					
INTAD	ADIF	ADMK		ADPR0, ADPR1					
INTRTCPRD	RTCRIF	RTCRMK		RTCRPR0, RTCRPR1					
INTSMP03	SMPIF03	SMPMK03		SMPPR003, SMPPR103					
INTSMP13	SMPIF13	SMPMK13		SMPPR013, SMPPR113					
INTIT	TMKAIF	TMKAMK		TMKAPR0, TMKAPR1					
INTKR	KRIF	KRMK		KRPR0, KRPR1					
INTRTCALM1	RTCAIF1	RTCAMK1		RTCAPR01, RTCAPR11					
INTSMP04	SMPIF04	SMPMK04		SMPPR004, SMPPR104					
INTSMP14	SMPIF14	SMPMK14		SMPPR014, SMPPR114					
INTST3	STIF3	STMK3		STPR03, STPR13					
INTCSI30	CSIF30	CSIMK30		CSIPR030, CSIPR130					
INTIIC30	IICIF30	IICMK30		IICPR030, IICPR130					
INTSR3	SRIF3	SRMK3		SRPR03, SRPR13					
INTDSAD	DSAIF	IF2L		DSAMK	MK2L	DSAPR0, DSAPR1		PR02L, PR12L	
INTSMP05	SMPIF05			SMPMK05		SMPPR005, SMPPR105			
INTSMP15	SMPIF15		SMPMK15	SMPPR015, SMPPR115					
INTTM04	TMIF04		TMMK04	TMPR004, TMPR104					
INTTM05	TMIF05		TMMK05	TMPR005, TMPR105					
INTSMOTA0	SMOTAIF0		SMOTAMK0	SMOTAPR00, SMOTAPR10					
INTP6	PIF6		PMK6	PPR06, PPR16					
INTP7	PIF7		PMK7	PPR07, PPR17					
INTRTCIC2	RTCIF2		RTCIMK2	RTCIPR02, RTCIPR12					
INTP12	PIF12		PMK12	PPR012, PPR112					
INTRTCIC1	RTCIF1		RTCIMK1	RTCIPR01, RTCIPR11					
INTP13	PIF13		PMK13	PPR013, PPR113					
INTRTCIC0	RTCIF0		RTCIMK0	RTCIPR00, RTCIPR10					
INTP14	PIF14		PMK14	PPR014, PPR114					

表27-2 割り込み制御レジスタの構成 (3/3)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTTM06	TMIF06	IF2H	TMMK06	MK2H	TMPR006, TMPR106	PR02H, PR12H
INTSMOTB0	SMOTBIF0		SMOTBMK0		SMOTBPR00, SMOTBPR10	
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
INTSMOTA1	SMOTAIF1		SMOTAMK1		SMOTAPR01, SMOTAPR11	
INTIT00	ITIF00		ITMK00		ITPR000, ITPR100	
INTIT01	ITIF01		ITMK01		ITPR001, ITPR101	
INTSRE3	SREIF3		SREMK3		SREPR03, SREPR13	
INTMACLOF	MACIF		MACMK		MACPR0, MACPR1	
INTSMOTB1	SMOTBIF1		SMOTBMK1		SMOTBPR01, SMOTBPR11	
INTOSDC	OSDIF		OSDMK		OSDPR0, OSDPR1	
INTFL	FLIF		FLMK		FLPR0, FLPR1	
INTP8	PIF8		IF3L		PMK8	
INTP9	PIF9	PMK9		PPR09, PPR19		
INTIT10	ITIF10	ITMK10		ITPR010, ITPR110		
INTIT11	ITIF11	ITMK11		ITPR011, ITPR111		
INTLVDVDD	LVDVDIF	LVDVDMK		LVDVDPR0, LVDVDPR1		
INTIT20	ITIF20	ITMK20		ITPR020, ITPR120		
INTLVDVBAT	LVDVBIF	LVDVBMK		LVDVBPR0, LVDVBPR1		
INTIT21	ITIF21	ITMK21		ITPR021, ITPR121		
INTLVDVRTC	LVDVRIF	LVDVRMK		LVDVRPR0, LVDVRPR1		
INTIT30	ITIF30	ITMK30		ITPR030, ITPR130		
INTLVDEXLVD	LVDEXIF	LVDEXMK		LVDEXPR0, LVDEXPR1		
INTIT31	ITIF31	ITMK31		ITPR031, ITPR131		
INTST4	STIF4	IF3H	STMK4	MK3H	STPR04, STPR14	PR03H, PR13H
INTSTMG1	STMGIF1		STMGMK1		STMGPR01, STMGPR11	
INTSR4	SRIF4		SRMK4		SRPR04, SRPR14	
INTSRMG1	SRMGIF1		SRMGMK1		SRMGPR01, SRMGPR11	
INTSRE4	SREIF4		SREMK4		SREPR04, SREPR14	
INTSREMG1	SREMGIF1		SREMGMK1		SREMGPR01, SREMGPR11	
INTTRJ0	TRJIF0		TRJMK0		TRJPR00, TRJPR10	
INTDSADDEC	DSADDECIF		DSADDECMK		DSADDECPR0, DSADDECPR1	
INTTRJ1	TRJIF1		TRJMK1		TRJPR01, TRJPR11	

27.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタ、IF3LレジスタとIF3Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2, IF3として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図27-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット (1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SRIF0	IICAI0	STIF0	AESIF	CRIF	SREIF2	SRIF2	STIF2
			CSIF00	AESFIF	SMPIF00	SREMGIF0	SRMGIF0	STMGIF0
			IICIF00		SMPIF10			

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF01	FMIF	RTCAIF0	TMIF00	SREIF1	SRIF1	STIF1	SREIF0
		SMPIF02	SMPIF01		TMIF03H		CSIF10	TMIF01H
		SMPIF12	SMPIF11				IICIF10	

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	SRIF3	STIF3	KRIF	TMKAIF	RTCRIF	ADIF	TMIF03	TMIF02
		CSIF30	RTCAIF1		SMPIF03			
		IICIF30	SMPIF04		SMPIF13			
			SMPIF14					

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	RTCIIF0	RTCIIF1	RTCIIF2	PIF7	PIF6	TMIF05	TMIF04	DSAIF
	PIF14	PIF13	PIF12			SMOTAIF0		SMPIF05
								SMPIF15

図27-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット (2/2)

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	OSDIF	MACIF SMOTBIF1	SREIF3	ITIF01	ITIF00	TMIF07 SMOTAIF1	TMIF06 SMOTBIF0

アドレス : FFFD2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF3L	LVDEXIF ITIF31	LVDVRIF ITIF30	LVDVBIF ITIF21	LVDVDIF ITIF20	ITIF11	ITIF10	PIF9	PIF8

アドレス : FFFD3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF3H	0	0	0	TRJIF1	TRJIF0 DSADECIF	SREIF4 SREMGIF1	SRIF4 SRMGIF1	STIF4 STMGIF1

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. ビットについては、表27-2を参照してください。また、搭載していないビットには必ず0を設定してください。

2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

27.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ、MK1LレジスタとMK1Hレジスタ、MK2LレジスタとMK2Hレジスタ、MK3LレジスタとMK3Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2, MK3として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図27-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H) のフォーマット (1/2)

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SRMK0	IICAMK0	STMK0	AESMK	CRMK	SREMK2	SRMK2	STMK2
			CSIMK00	AESFMK	SMPMK00	SREMGMK0	SRMGMK0	STMGMK0
			IICMK00		SMPMK10			

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK01	FMMK	RTCAMK0	TMMK00	SREMK1	SRMK1	STMK1	SREMK0
		SMPMK02	SMPMK01		TMMK03H		CSIMK10	TMMK01H
		SMPMK12	SMPMK11				IICMK10	

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	SRMK3	STMK3	KRMK	TMKAMK	RTCRMK	ADMK	TMMK03	TMMK02
		CSIMK30	RTCAMK1		SMPMK03			
		IICMK30	SMPMK04		SMPMK13			
			SMPMK14					

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	RTCIMK0	RTCIMK1	RTCIMK2	PMK7	PMK6	TMMK05	TMMK04	DSAMK
	PMK14	PMK13	PMK12			SMOTAMK0		SMPMK05
								SMPMK15

図27-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H) の
フォーマット (2/2)

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	OSDMK	MACMK SMOTBMK1	SREMK3	ITMK01	ITMK00	TMMK07 SMOTAMK1	TMMK06 SMOTBMK0

アドレス : FFFD6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK3L	LVDEXMK ITMK31	LVDVRMK ITMK30	LVDVBMK ITMK21	LVDVDMK ITMK20	ITMK11	ITMK10	PMK9	PMK8

アドレス : FFFD7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK3H	1	1	1	TRJMK1	TRJMK0 DSADECМК	SREMK4 SREMGMK1	SRMK4 SRMGMK1	STMK4 STMGMK1

XXMKX	割り込み処理の制御						
0	割り込み処理許可						
1	割り込み処理禁止						

注意 ビットについては、表27-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

27.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせると、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L, 3H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ、PR01LレジスタとPR01Hレジスタ、PR02LレジスタとPR02Hレジスタ、PR03LレジスタとPR03Hレジスタ、PR10LレジスタとPR10Hレジスタ、PR11LレジスタとPR11Hレジスタ、PR12LレジスタとPR12Hレジスタ、PR13LレジスタとPR13Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR03, PR10, PR11, PR12, PR13として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図27-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット (1/3)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SRPR00	IICAPR0	STPR00	AESPR0	CRPR0	SREPR02	SRPR02	STPR02
			CSIPR000	AESFPR0	SMPPR000	SREMGPR00	SRMGPR00	STMGPR00
			IICPR000		SMPPR010			

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SRPR10	IICAPR10	STPR10	AESPR1	CRPR1	SREPR12	SRPR12	STPR12
			CSIPR100	AESFPR1	SMPPR100	SREMGPR10	SRMGPR10	STMGPR10
			IICPR100		SMPPR110			

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPPR001	FMPR0	RTCAPR00	TMPPR000	SREPR01	SRPR01	STPR01	SREPR00
		SMPPR002	SMPPR001		TMPPR003H		CSIPR010	TMPPR001H
		SMPPR012	SMPPR011				IICPR010	

図27-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット (2/3)

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR101	FMPR1 SMPPR102 SMPPR112	RTCAPR10 SMPPR101 SMPPR111	TMPR100	SREPR11 TMPR103H	SRPR11	STPR11 CSIPR110 IICPR110	SREPR10 TMPR101H

アドレス : FFFEBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	SRPR03	STPR03 CSIPR030 IICPR030	KRPR0 RTCAPR01 SMPPR004 SMPPR014	TMKAPR0	RTCRPR0 SMPPR003 SMPPR013	ADPR0	TMPR003	TMPR002

アドレス : FFFEFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	SRPR13	STPR13 CSIPR130 IICPR130	KRPR1 RTCAPR11 SMPPR104 SMPPR114	TMKAPR1	RTCRPR1 SMPPR103 SMPPR113	ADPR1	TMPR103	TMPR102

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02L	RTCIPR00 PPR014	RTCIPR01 PPR013	RTCIPR02 PPR012	PPR07	PPR06	TMPR005 SMOTAPR00	TMPR004	DSAPR0 SMPPR005 SMPPR015

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12L	RTCIPR10 PPR114	RTCIPR11 PPR113	RTCIPR12 PPR112	PPR17	PPR16	TMPR105 SMOTAPR10	TMPR104	DSAPR1 SMPPR105 SMPPR115

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	OSDPR0	MACPR0 SMOTBPR01	SREPR03	ITPR001	ITPR000	TMPR007 SMOTAPR01	TMPR006 SMOTBPR00

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	OSDPR1	MACPR1 SMOTBPR11	SREPR13	ITPR101	ITPR100	TMPR107 SMOTAPR11	TMPR106 SMOTBPR10

図27-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット (3/3)

アドレス : FFFDAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR03L	LVDEXPR0 ITPR031	LVDVRPR0 ITPR030	LVDVBPR0 ITPR021	LVDVDPR0 ITPR020	ITPR011	ITPR010	PPR09	PPR08

アドレス : FFFDEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR13L	LVDEXPR1 ITPR131	LVDVRPR1 ITPR130	LVDVBPR1 ITPR121	LVDVDPR1 ITPR120	ITPR111	ITPR110	PPR19	PPR18

アドレス : FFFDBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR03H	1	1	1	TRJPR01	TRJPR00 DSADECPR0	SREPR04 SREMGPR01	SRPR04 SRMGPR01	STPR04 STMGPR01

アドレス : FFFDFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR13H	1	1	1	TRJPR11	TRJPR10 DSADECPR1	SREPR14 SREMGPR11	SRPR14 SRMGPR11	STPR14 STMGPR11

XXPR1X	XXPROX	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注意 ビットについては、表27-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

27. 3. 4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTP0-INTP9, INTP12-INTP14, RTCIC0-RTCIC2の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FFF3AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	EGP14	EGP13	EGP12	0	0	EGP9	EGP8

アドレス : FFF3BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	EGN14	EGN13	EGN12	0	0	EGN9	EGN8

EGPn	EGNn	INTP0-INTP9, INTP12-INTP14, RTCIC0-RTCIC2端子の有効エッジの選択 (n = 0-9, 12-14)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表27-3に示します。

表27-3 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号	80, 100ピン
EGP0	EGN0	INTP0	○
EGP1	EGN1	INTP1	○
EGP2	EGN2	INTP2	○
EGP3	EGN3	INTP3	○
EGP4	EGN4	INTP4	○
EGP5	EGN5	INTP5	○
EGP6	EGN6	INTP6	○
EGP7	EGN7	INTP7	○
EGP8	EGN8	INTP8	○
EGP9	EGN9	INTP9	○
EGP12	EGN12	RTCIC2/INTP12	○
EGP13	EGN13	RTCIC1/INTP13	○
EGP14	EGN14	RTCIC0/INTP14	○

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn=0, 0) にしてからポート・モード・レジスタ (PMxx) を0に設定してください。

備考 1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

2. n = 0-9, 12-14

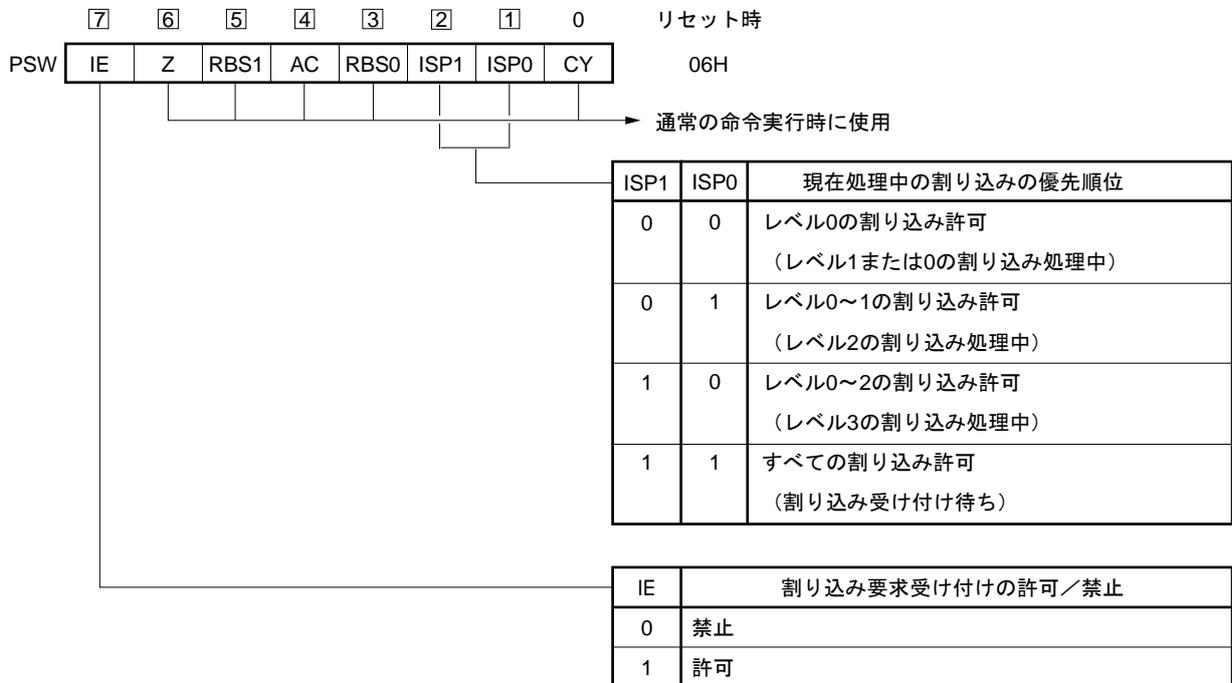
27.3.5 プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、“-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWIは06Hとなります。

図27-6 プログラム・ステータス・ワードの構成



27.4 割り込み処理動作

27.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込み要求のマスク (MK) フラグがクリア (0) されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態 (IEフラグがセット (1) されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表27-4のようになります。

割り込み要求の受け付けタイミングについては、[図27-8](#)、[27-9](#)を参照してください。

表27-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	16クロック

注 内部RAM 領域からの命令実行時は除きます。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

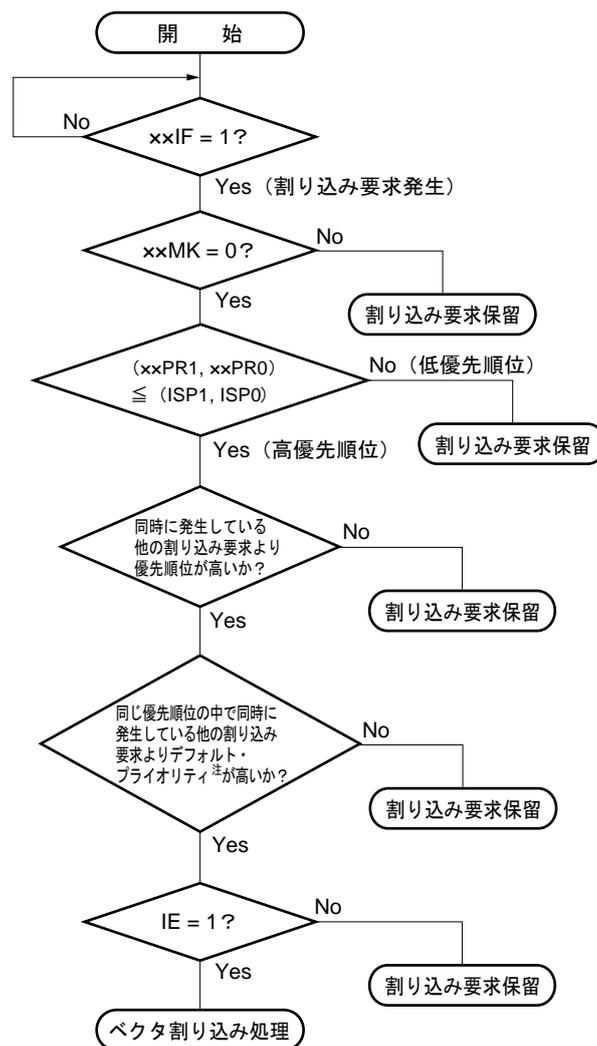
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを[図27-7](#)に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、受け付けた割り込みの優先順位指定フラグの内容をISP1、ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

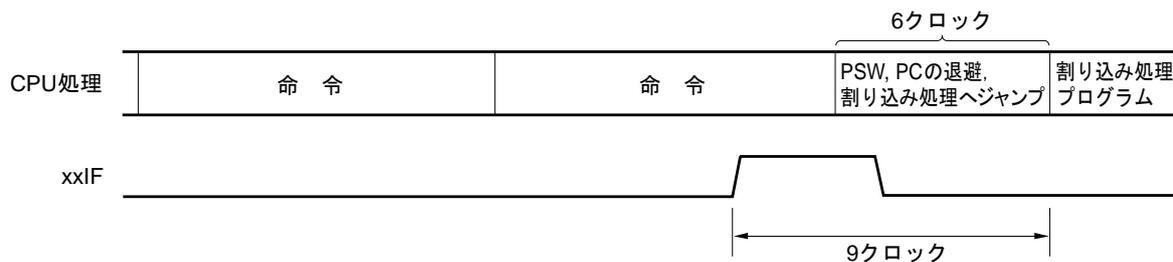
図27-7 割り込み要求受け付け処理アルゴリズム



- × × IF : 割り込み要求フラグ
 × × MK : 割り込みマスク・フラグ
 × × PR0 : 優先順位指定フラグ0
 × × PR1 : 優先順位指定フラグ1
 IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)
 ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図27-6参照)

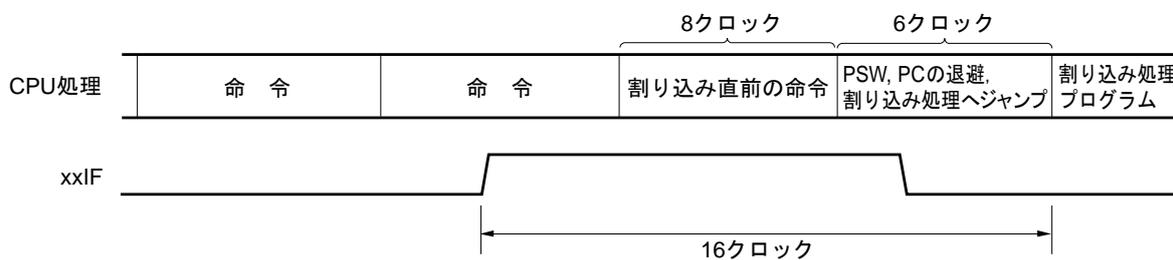
注 デフォルト・プライオリティは、表27-1 割り込み要因一覧を参照してください。

図27-8 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図27-9 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

27.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはありません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

27.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただし、レベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表27-5に多重割り込み可能な割り込み要求の関係を、図27-10に多重割り込みの例を示します。

表27-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0							
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

2. × : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち (すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hレジスタに含まれるフラグです。

PR = 00 : × × PR1 × = 0, × × PR0 × = 0でレベル0を指定 (高優先順位)

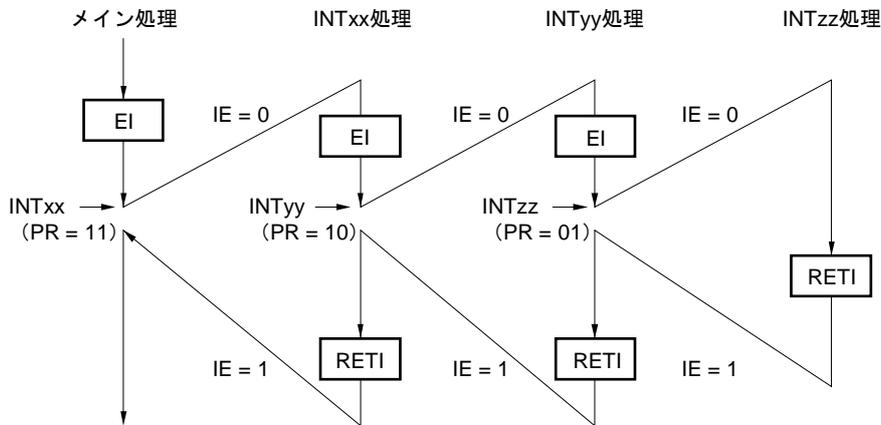
PR = 01 : × × PR1 × = 0, × × PR0 × = 1でレベル1を指定

PR = 10 : × × PR1 × = 1, × × PR0 × = 0でレベル2を指定

PR = 11 : × × PR1 × = 1, × × PR0 × = 1でレベル3を指定 (低優先順位)

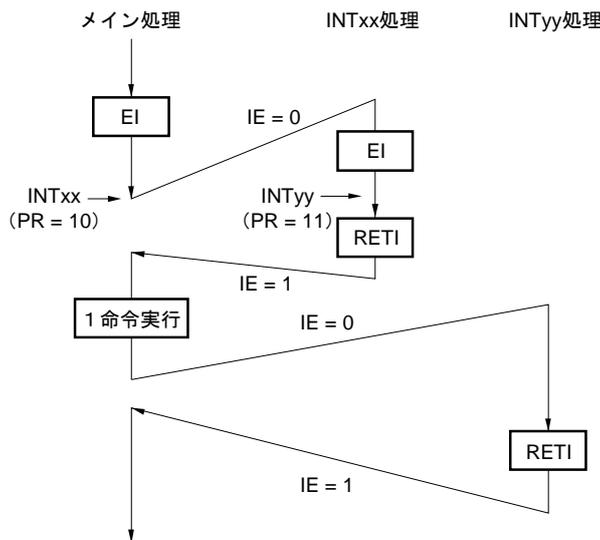
図27-10 多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例

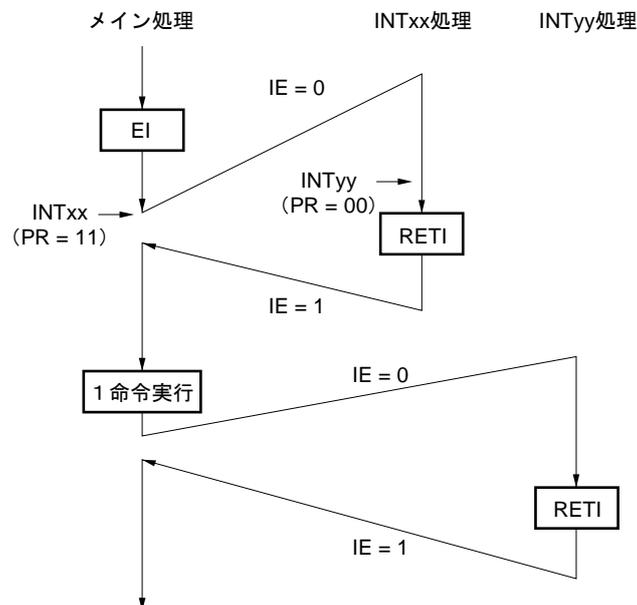


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 00 : $\times \times PR1 \times = 0, \times \times PR0 \times = 0$ でレベル0を指定 (高優先順位)
- PR = 01 : $\times \times PR1 \times = 0, \times \times PR0 \times = 1$ でレベル1を指定
- PR = 10 : $\times \times PR1 \times = 1, \times \times PR0 \times = 0$ でレベル2を指定
- PR = 11 : $\times \times PR1 \times = 1, \times \times PR0 \times = 1$ でレベル3を指定 (低優先順位)
- IE = 0 : 割り込み要求受け付け禁止
- IE = 1 : 割り込み要求受け付け許可

図27-10 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times \times PR1 \times = 0, \times \times PR0 \times = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $\times \times PR1 \times = 0, \times \times PR0 \times = 1$ でレベル1を指定

PR = 10 : $\times \times PR1 \times = 1, \times \times PR0 \times = 0$ でレベル2を指定

PR = 11 : $\times \times PR1 \times = 1, \times \times PR0 \times = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

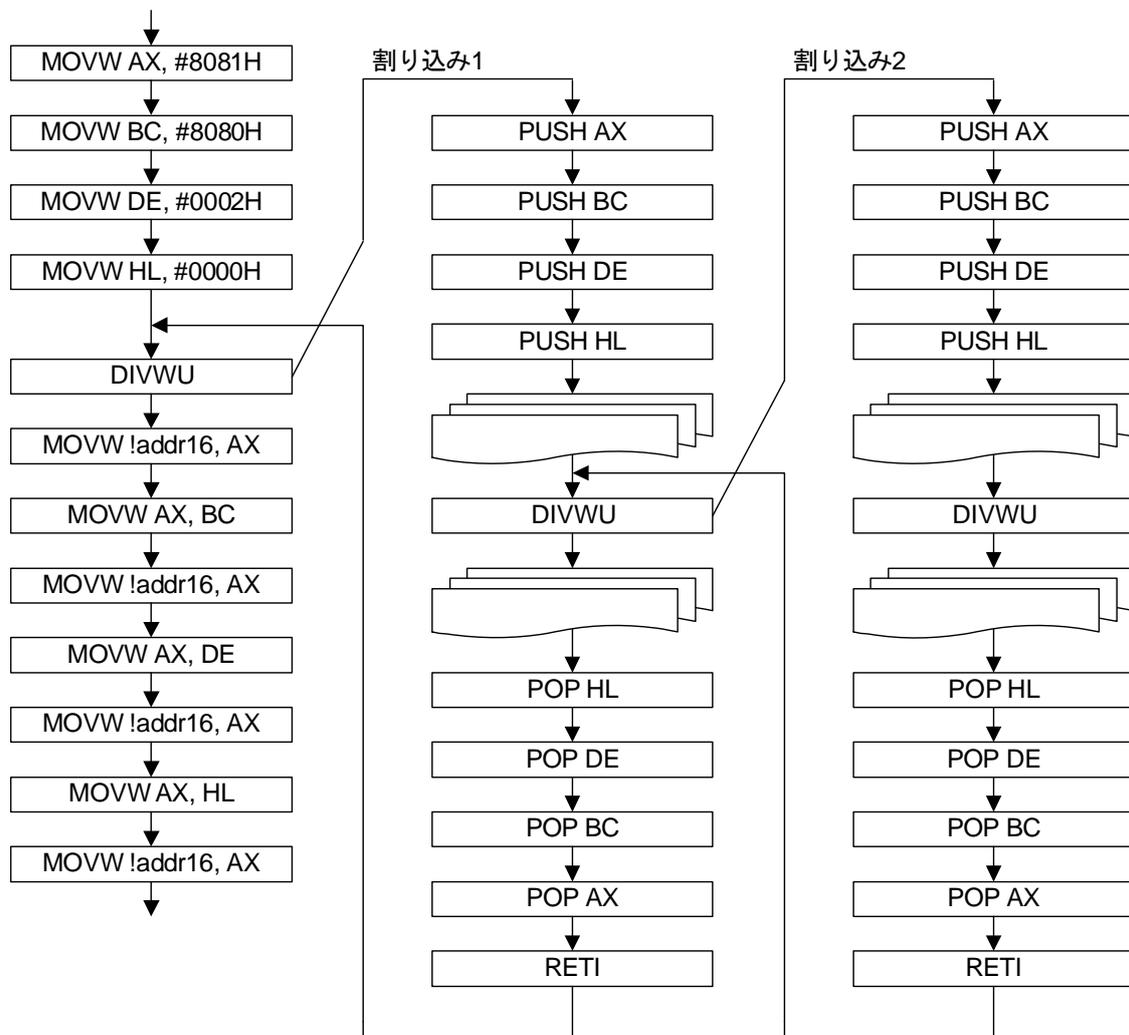
27.4.4 除算命令中の割り込み処理

RL78/I1C (512 KB) は、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は、DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために、PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)S	(SP-2) ← (PC-3)S
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCS ← 0000	PCS ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。ただし、RAM 領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社コンパイラ製品) V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78(IAR社コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78(KPIT社コンパイラ)のC言語ソース

27.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, #byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ MULHU
- ・ MULH
- ・ MACHU
- ・ MACH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図27-11に示します。

図27-11 割り込み要求の保留



- 備考1.** 命令N：割り込み要求の保留命令
- 2.** 命令M：割り込み要求の保留命令以外の命令

第28章 キー割り込み機能

28.1 キー割り込みの機能

キー割り込み入力端子 (KR0-KR7) に立ち上がり/立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表28-1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ0 (KRM0)
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03
KR4	KRM04
KR5	KRM05
KR6	KRM06
KR7	KRM07

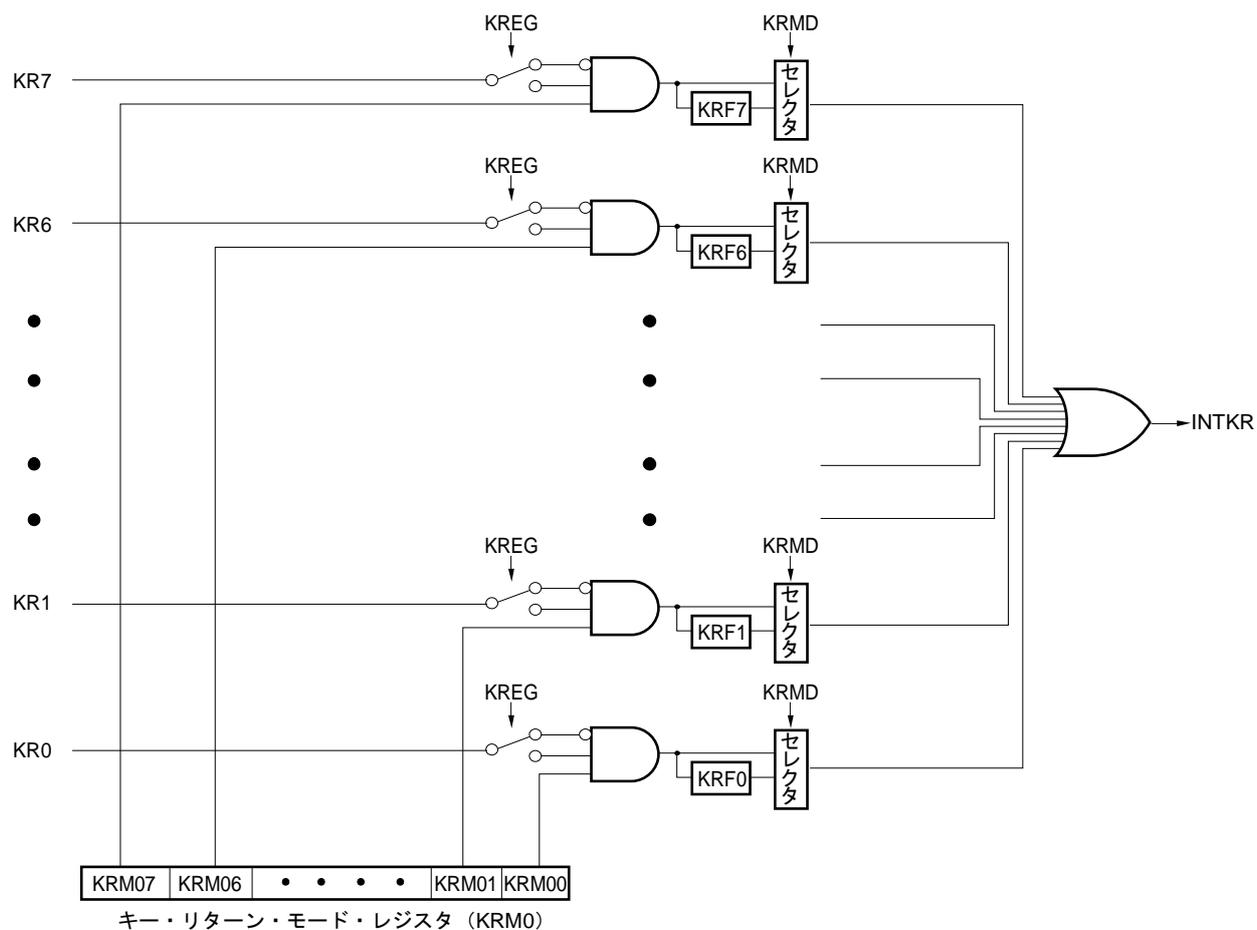
28.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表28-2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・コントロール・レジスタ (KRCTL) キー・リターン・モード・レジスタ0 (KRM0) キー・リターン・フラグ・レジスタ (KRF) ポート・モード・レジスタ7 (PM7)

図28-1 キー割り込みのブロック図



28.3 キー割り込みを制御するレジスタ

キー割り込み機能は、次のレジスタで制御します。

- キー・リターン・コントロール・レジスタ (KRCTL)
- キー・リターン・モード・レジスタ0 (KRM0)
- キー・リターン・フラグ・レジスタ (KRF)
- ポート・モード・レジスタ7 (PM7)

28.3.1 キー・リターン・コントロール・レジスタ (KRCTL)

キー・リターン・フラグ (KRF0-KRF7) の使用と検出エッジを設定するレジスタです。

KRCTLレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28-2 キー・リターン・コントロール・レジスタ (KRCTL) のフォーマット

アドレス : FFF34H リセット時 : 00H R/W

略号	<input type="checkbox"/>	6	5	4	3	2	1	<input type="checkbox"/>
KRCTL	KRMD	0	0	0	0	0	0	KREG

KRMD	キー・リターン・フラグ (KRF0-KRF7) の使用
0	キー・リターン・フラグを使用しない
1	キー・リターン・フラグを使用する

KREG	検出エッジの選択 (KR0-KR7)
0	立ち下がリエッジ
1	立ち上がりエッジ

28.3.2 キー・リターン・モード・レジスタ0 (KRM0)

KRM0レジスタはKR0-KR7信号を制御するレジスタです。

KRM0レジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28-3 キー・リターン・モード・レジスタ0 (KRM0) のフォーマット

アドレス : FFF37H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

KRM0n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

- 注意**
- キー割り込み入力端子のプルアップ抵抗レジスタ7 (PU7) の対象となるビットに1を設定して、内蔵プルアップ抵抗を使用することができます。
 - キー割り込み入力端子にロウ・レベル (KREGに0を設定時) / ハイ・レベル (KREGに1を設定時) が入力されている状態で、KRM0レジスタの対象ビットをセットすると、割り込みが発生します。
この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRM0レジスタをセットしてください。その後、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅 (43.4 AC特性参照) を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。
 - キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

備考 n = 0-7

28.3.3 キー・リターン・フラグ・レジスタ (KRF)

キー割り込みフラグ (KRF0-KRF7) を制御するレジスタです。

KRFレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28-4 キー・リターン・フラグ・レジスタ (KRF) のフォーマット

アドレス : FFF35H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
KRF	KRF7	KRF6	KRF6	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ (n = 0-7)
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注 “1”の書き込みは無効になります。KRFnをクリアする場合は、対象ビットに“0”を、他のビットに“1”を8ビット・メモリ操作命令で書き込んでください。

28.3.4 ポート・モード・レジスタ7 (PM7)

ポート7の入力/出力を1ビット単位で設定するレジスタです。

キー割り込み入力 (KR0-KR7) として使用するとき、各ポートに対応するポート・モード・レジスタ (PM7) のビットに“1”を設定してください。

PM7レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PM7レジスタはFFHになります。

図28-5 ポート・モード・レジスタ7 (PM7) のフォーマット

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PMmn	PM7nの入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

第29章 スタンバイ機能

29.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSI0, UART0のデータ受信, DTC起動要因により、STOPモードを解除し、CPUを動作させることなくCSI0, UART0のデータ受信, DTC動作を行います。CPU/周辺ハードウェア・クロック (f_{CLK}) に高速オンチップ・オシレータまたは中速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出カラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください（SNOOZEモード設定ユニットを除く）。
 3. CSIO, UART0をSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ m (SSCm) をSTOPモードに移行前に設定してください。詳細は、20.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。
 4. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかどうかは、オプション・バイトのWDTONとサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットで選択できます。詳細は6.1 (2) ②低速オンチップ・オシレータを参照してください。

29.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- ・サブシステム・クロック供給オプション制御レジスタ (OSMC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 上記レジスタの詳細は、第6章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第20章 シリアル・アレイ・ユニットを参照してください。

29.3 スタンバイ機能の動作

29.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0”（割り込み処理許可）で且つ割り込み要求フラグが“1”（割り込み要求信号が発生）の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表29-1 HALTモード時の動作状態 (1/4)

項目		HALTモードの設定				
		メイン・システム・クロックでCPU動作中のHALT命令実行時				
		高速オンチップ・オシレータ・クロック (f _H) でCPU動作時	中速オンチップ・オシレータ・クロック (f _M) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時	PLLクロック (f _{PLL}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止				
メイン・システム・クロック	f _H	動作継続 (停止不可)	動作禁止	動作禁止		動作継続 (停止不可)
	f _M	動作禁止	動作継続 (停止不可)			動作禁止
	f _X	動作禁止		動作継続 (停止不可)	動作不可	
	f _{EX}			動作不可	動作継続 (停止不可)	
	f _{PLL}	動作禁止				
サブシステム・クロック	f _{XT} f _{EXS}	HALTモード設定前の状態を継続 (ただし、RTCPORが発生している場合は動作禁止)				
低速オンチップ・オシレータ・クロック	f _L	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給 オプション制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0=1またはSELLOSC=1: 発振 (サブ・クロック (f _{SX}) 動作時はWUTMMCK0=1, SELLOSC=1の設定禁止) WUTMMCK0=0かつSELLOSC=0かつWDTON=0: 停止 WUTMMCK0=0かつSELLOSC=0かつWDTON=1かつWDSTBYON=1のとき: 発振 WUTMMCK0=0かつSELLOSC=0かつWDTON=1かつWDSTBYON=0のとき: 停止				
CPU	動作停止					
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ						
RAM	動作停止 (DTC実行時は動作可能)					
ポート (ラッチ)	HALTモード設定前の状態を保持 (ただし、DTCによるポートレジスタ書き換えによりポートの設定変更可能)					
タイマ・アレイ・ユニット	動作可能					
独立電源RTC	動作可能 (ただし、RTCPORが発生している場合動作停止)					
周波数測定機能	動作禁止		動作可能			
高速オンチップ・オシレータ・クロック周波数補正機能	動作可能		動作禁止 (f _X またはf _{EXS} 供給時)			
発振停止検出	動作可能 (f _L 発振時のみ)					
12ビット・インターバル・タイマ	動作可能					
8ビット・インターバル・タイマ						
サンプリング出力タイマ/ディテクタ						
タイマRJ						
ウォッチドッグ・タイマ	第16章 ウォッチドッグ・タイマ参照					
クロック出力/ブザー出力	動作可能					
12ビットA/Dコンバータ	動作可能な機能ブロック間のリンクが可能					
24ビットΔΣA/Dコンバータ						
温度センサ2						
シリアル・アレイ・ユニット (SAU)						
IrDA						
シリアル・インタフェース (IICA)						
シリアル・インタフェースUARTMG						
LCDコントローラ/ドライバ						
データ・トランスファ・コントローラ (DTC)						
イベント・リンク・コントローラ (ELC)						
32ビット積和演算器	動作禁止					

(備考は次ページにあります。)

表29-1 HALTモード時の動作状態 (2/4)

項目	HALTモードの設定	メイン・システム・クロックでCPU動作中のHALT命令実行時				
		高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時	中速オンチップ・オシレータ・クロック (f _{IM}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時	PLLクロック (f _{PLL}) でCPU動作時
AES		動作可能				
パワーオン・リセット機能						
RTCパワーオン・リセット機能						
電圧検出機能	V _{DD}					
	V _{DD} , LVDVBAT, VRTC, EXLVD 端子電圧					
外部割り込み	INTP0-INTP9, NTP12-INTP14					
	RTCIC0-RTCIC2					
キー割り込み機能		動作可能				
CRC演算機能	高速CRC	RAM領域の演算で、DTC実行時は動作可能				
	汎用CRC					
不正メモリ・アクセス検出機能		動作停止 (DTC実行時は動作可能)				
RAMパリティ・エラー検出機能						
RAMガード機能						
SFRガード機能						

備考 動作停止：HALTモード移行時に自動的に動作停止

動作禁止：HALTモード移行前に動作を停止させる

f_{IH}： 高速オンチップ・オシレータ・クロック

f_{IL}： 低速オンチップ・オシレータ・クロック

f_{IM}： 中速オンチップ・オシレータ・クロック

f_{PLL}： PLLクロック

f_{EX}： 外部メイン・システム・クロック

f_X： X1クロック

f_{EXS}： 外部サブシステム・クロック

f_{XT}： XT1クロック

表29-1 HALTモード時の動作状態 (3/4)

項目		サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (f _{XT}) で CPU動作時	外部サブシステム・クロック (f _{EXS}) でCPU動作時	低速オンチップ・オシレータ・ クロック (f _{IL}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・ クロック	f _H	動作禁止		
	f _M			
	f _X			
	f _{EX}			
	f _{PLL}			
サブシステム・ クロック	f _{XT}	動作継続 (停止不可) (ただし、RTCPORが発生して いる場合動作禁止)	動作不可	動作禁止
	f _{EXS}	動作不可	動作継続 (停止不可) (ただし、RTCPORが発生して いる場合動作禁止)	
低速オンチップ・ オシレータ・クロック	f _{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給オプシ ョン制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 (サブ・クロック (f _{sx}) 動作時はWUTMMCK0 = 1, SELLOSC = 1 の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつ WDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつ WDSTBYON = 0のとき : 停止		動作継続 (停止不可)
CPU	動作停止			
コード・フラッシュ・メモリ	動作停止			
データ・フラッシュ・メモリ	動作停止			
RAM	動作停止 (DTC実行時は動作可能)			
ポート (ラッチ)	HALTモード設定前の状態を保持 (ただし、DTCによるポートレジスタ書き換えによりポートの設 定変更可能)			
タイマ・アレイ・ユニット	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
独立電源RTC	動作可能 (ただし、RTCPORが発生している場合動作停止)			
周波数測定機能	動作禁止			
高速オンチップ・オシレータ・クロック周波数 補正機能	動作禁止			
発振停止検出	動作禁止			
12ビット・インターバル・タイマ	動作可能			
8ビット・インターバル・タイマ	動作可能			
サンプリング出力タイマ/ディテクタ	動作可能			
タイマRJ	動作可能			
ウォッチドッグ・タイマ	第16章 ウォッチドッグ・タイマ参照			
クロック出力/ブザー出力	カウント・クロックにサブ・クロック選択時のみ動作可能			
12ビットA/Dコンバータ	動作禁止			
24ビットΔΣA/Dコンバータ	動作禁止			
温度センサ2	動作禁止			
シリアル・アレイ・ユニット (SAU)	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
IrDA	動作禁止			
シリアル・インタフェース (IICA)	動作禁止			
シリアル・インタフェースUARTMG	動作可能			

(備考は次ページにあります。)

表29-1 HALTモード時の動作状態 (4/4)

項目	HALTモードの設定	サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (f_{XT}) で CPU動作時	外部サブシステム・クロック (f_{EXS}) でCPU動作時	低速オンチップ・オシレータ・ クロック (f_{LL}) でCPU動作時
LCDコントローラ/ドライバ		動作可能 (ただし、LCDソース・クロックとして選択したクロックの状態にしたがう (選択クロックが動作中なら動作可能、停止中なら動作停止))		
データ・トランスファ・コントローラ (DTC)		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
イベント・リンク・コントローラ (ELC)		動作可能な機能ブロック間のリンクが可能		
32ビット積和演算器		動作禁止		
AES		動作可能		
パワーオン・リセット機能				
RTC パワーオン・リセット機能				
電圧検出機能	V_{DD}			
	V_{DD} , LVDVBAT, VRTC, EXLVD端子電圧			
外部割り込み	INTP0-INTP9, INTP12-INTP14			
	RTCIC0-RTCIC2			
キー割り込み機能				
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で、DTC実行時は動作可能		
不正メモリ・アクセス検出機能		DTC実行時は動作可能		
RAMパリティ・エラー検出機能				
RAMガード機能				
SFRガード機能				

備考 動作停止 : HALTモード移行時に自動的に動作停止

動作禁止 : HALTモード移行前に動作を停止させる

f_{IH} : 高速オンチップ・オシレータ・クロック

f_{IL} : 低速オンチップ・オシレータ・クロック

f_{IM} : 中速オンチップ・オシレータ・クロック

f_X : X1クロック

f_{EX} : 外部メイン・システム・クロック

f_{XT} : XT1クロック

f_{EXS} : 外部サブシステム・クロック

f_{PLL} : PLLクロック周波数

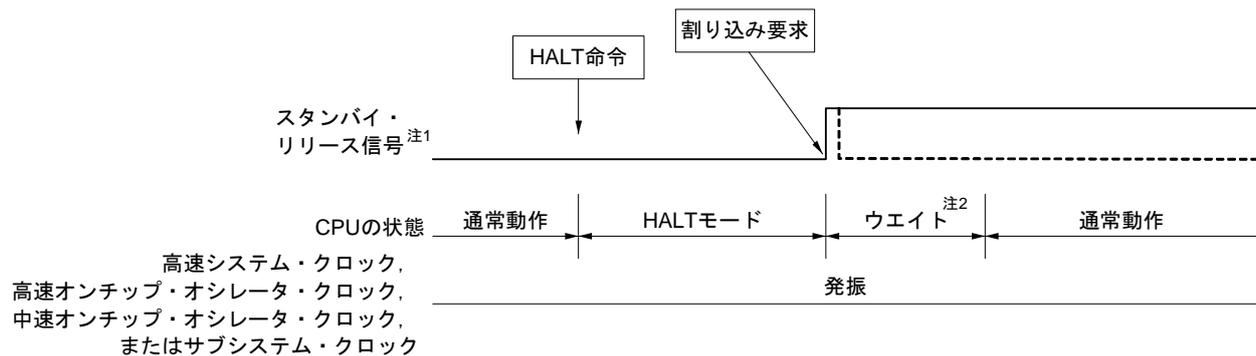
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図29-1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図27-1 割り込み機能の基本構成を参照してください。

2. HALTモード解除のウェイト時間

- ・ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時 : 15~16クロック
 - サブシステム・クロック時 (RTCLPC = 0) : 10~11クロック
 - サブシステム・クロック時 (RTCLPC = 1) : 11~12クロック
- ・ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時 : 9~10クロック
 - サブシステム・クロック時 (RTCLPC = 0) : 4~5クロック
 - サブシステム・クロック時 (RTCLPC = 1) : 5~6クロック

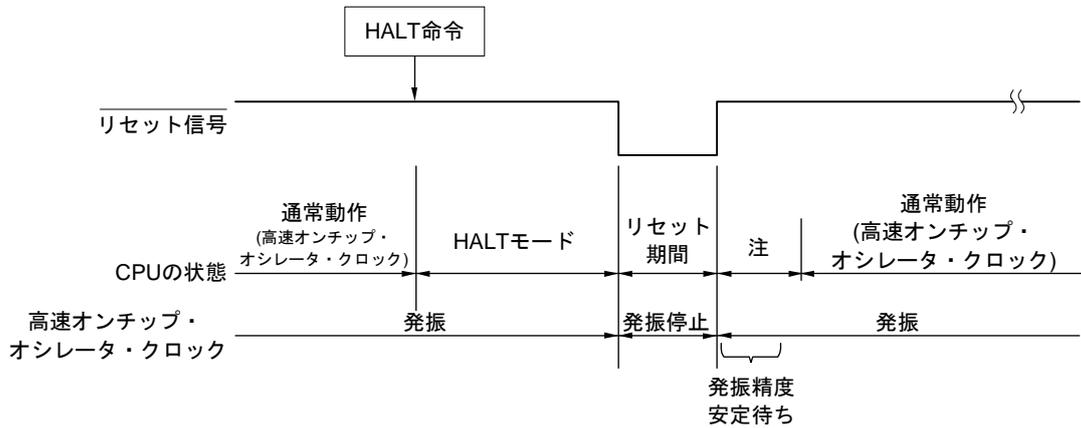
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

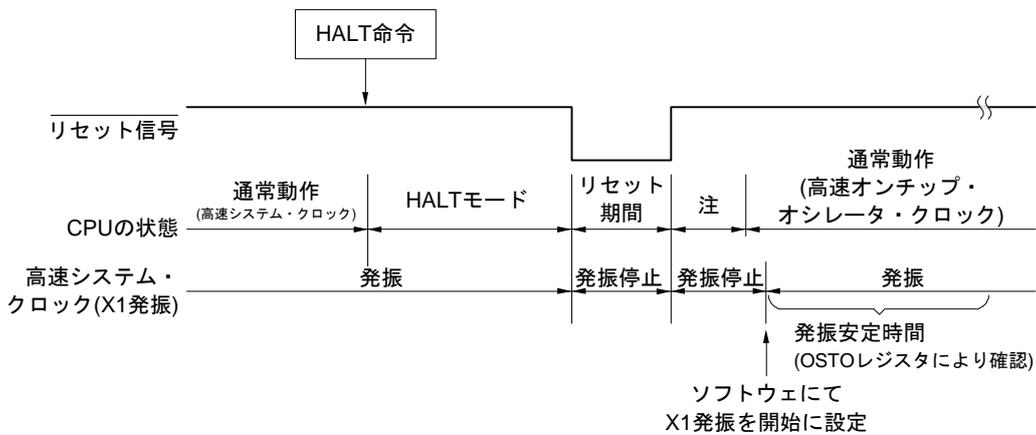
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図29-2 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



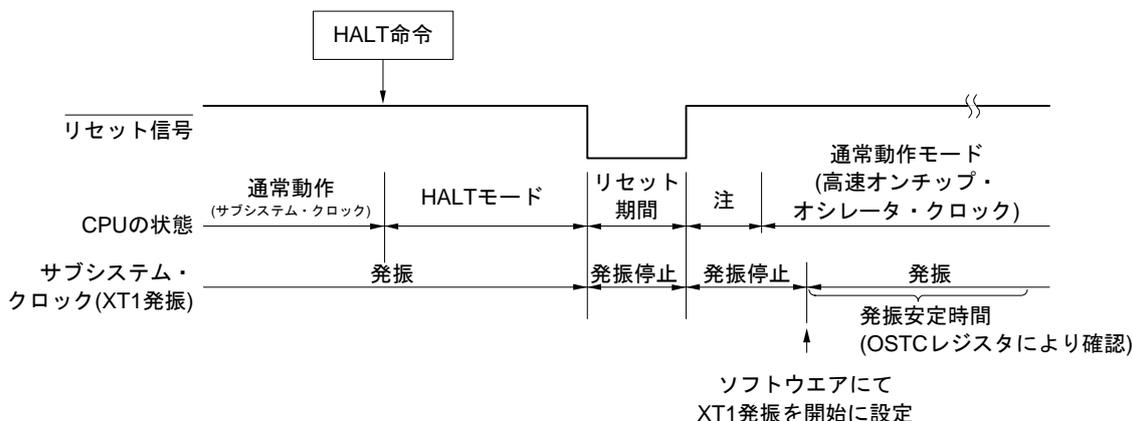
(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、**第30章 リセット機能**を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、**第31章 パワーオン・リセット回路**を参照してください。

図29-2 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合



注 リセット処理時間は、**第30章 リセット機能**を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、**第31章 パワーオン・リセット回路**を参照してください。

29.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロック (PLLを除く) の場合のみ設定可能です。

注意 割り込みマスク・フラグが“0” (割り込み処理許可) かつ割り込み要求フラグが“1” (割り込み要求信号が発生) の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってからただちに解除されます。したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表29-2 STOPモード時の動作状態 (1/2)

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時	中速オンチップ・オシレータ・クロック (f _{IM}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	f _{IH}	停止			
	f _{IM}				
	f _X				
	f _{EX}				
	f _{PLL}				
サブシステム・クロック	f _{XT}	STOPモード設定前の状態を継続 (ただし、RTCPORが発生している場合動作禁止)			
	f _{EXS}				
低速オンチップ・オシレータ・クロック	f _{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) およびサブシステム・クロック供給オプション制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブ・クロック (f _{SX}) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU	動作停止				
コード・フラッシュ・メモリ	動作停止				
データ・フラッシュ・メモリ	動作停止 (DataFlashのプログラミング時には、STOP命令は実行不可)				
RAM	動作停止				
ポート (ラッチ)	STOPモード設定前の状態を継続				
タイマ・アレイ・ユニット	動作禁止				
独立電源RTC	動作可能 (ただし、RTCPORが発生している場合動作停止)				
周波数測定機能	動作禁止				
高速オンチップ・オシレータ・クロック周波数補正機能	動作禁止				
発振停止検出	f _{IL} が発振している場合のみ動作可能				
12ビット・インターバル・タイマ	動作可能				
8ビット・インターバル・タイマ					
サンプリング出カタイマ/ディテクタ					
タイマRJ	<ul style="list-style-type: none"> • TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 • カウントソースにサブ・クロック (f_{SX}) 選択時でかつOSMCレジスタのRTCLPC = 0は動作可能 • カウントソースに低速オンチップ・オシレータ周波数 (f_{IL}) 選択時は動作可能 • 上記以外は動作禁止 				
ウォッチドッグ・タイマ	第16章 ウォッチドッグ・タイマ参照				
クロック出力/ブザー出力	カウント・クロックにサブ・クロック選択時のみ動作可能				
12ビットA/Dコンバータ	動作停止				
24ビットΔΣA/Dコンバータ	動作禁止				
温度センサ2	動作禁止				
シリアル・アレイ・ユニット (SAU)	CSI00, UART0のみウエイク・アップ動作可能 (SNOOZEモードへ移行) CSI00, UART0以外は動作禁止				
IrDA	動作禁止				

(備考は次ページにあります。)

表29-2 STOPモード時の動作状態 (2/2)

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時	中速オンチップ・オシレータ・クロック (f _{IM}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時
シリアル・インタフェース (IICA)		アドレス一致によるウエイク・アップ動作可能			
シリアル・インタフェースUARTMG		動作可能			
LCDコントローラ/ドライバ		動作可能 (ただし、LCDソース・クロックとして選択したクロックの状態にしたがう (選択クロックが動作中なら動作可能、停止中なら動作停止))			
データ・トランスファ・コントローラ (DTC)		動作可能			
イベント・リンク・コントローラ (ELC)		動作可能な機能ブロック間のリンクが可能			
32ビット積和演算器		動作禁止			
AES					
パワーオン・リセット機能					
RTCパワーオン・リセット機能					
電圧検出機能	V _{DD}				
	V _{DD} , LVDVBAT, VRTC, EXLVD 端子電圧				
外部割り込み	INTP0-INTP9, INTP12-INTP14				
	RTIC0-RTIC2				
	キー割り込み機能				
CRC演算機能	高速CRC				
	汎用CRC				
不正メモリ・アクセス検出機能					
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					

備考 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

f_{IH} : 高速オンチップ・オシレータ・クロック

f_{IL} : 低速オンチップ・オシレータ・クロック

f_{IM} : 中速オンチップ・オシレータ・クロック

f_X : X1クロック

f_{EX} : 外部メイン・システム・クロック

f_{XT} : XT1クロック

f_{EXS} : 外部サブシステム・クロック

f_{PLL} : PLLクロック周波数

(2) STOPモードの解除

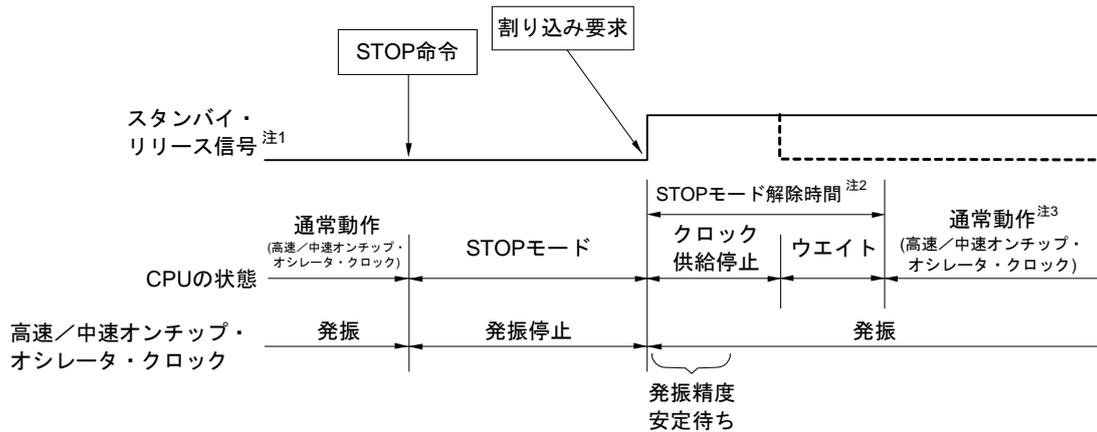
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図29-3 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速/中速オンチップ・オシレータ・クロック



注1. スタンバイ・リリース信号に関する詳細は、図27-1 割り込み機能の基本構成を参照してください。

2. STOPモード解除時間

クロック供給停止:

高速オンチップ・オシレータ・クロックの場合: 18 μs~65 μs

中速オンチップ・オシレータ・クロックの場合: 22 μs~31 μs (HSモード)

~3.4 μs (LSモード, 4 MHz動作時)

~4.2 μs (LSモード, 2 MHz動作時)

~5.9 μs (LSモード, 1 MHz動作時)

~5.9 μs (LPモード, 1 MHz動作時)

ウェイト:

(高速/中速オンチップ・オシレータ・クロック共通)

・ベクタ割り込み処理を行う場合 : 7クロック

・ベクタ割り込み処理を行わない場合 : 1クロック

3. 中速オンチップ・オシレータ・クロックでSTOPモードから通常動作に遷移後、CPU/周辺ハードウェア・クロック (fCLK) を高速オンチップ・オシレータ・クロックに切り替える場合は、ソフトウェアで以下の時間が経過した後に切り替えてください。

HSモード時: 24 μs

LSモード時: 10 μs

LPモード時: 7 μs

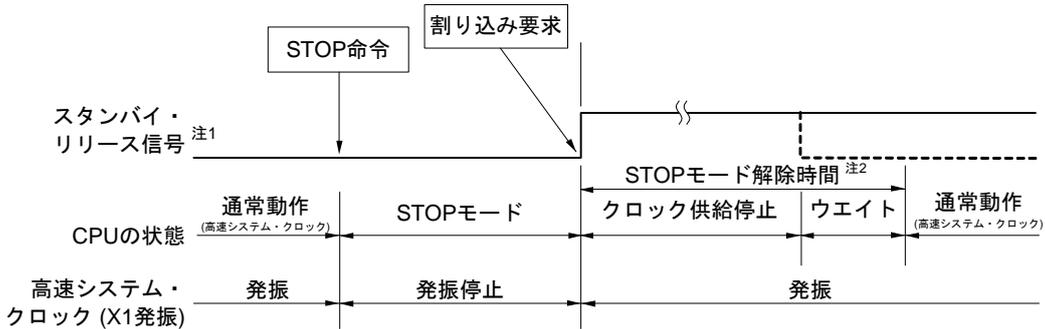
注意 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図29-3 STOPモードの割り込み要求発生による解除 (2/2)

(2) CPUクロックが高速システム・クロック (X1発振) の場合



注1. スタンバイ・リリース信号に関するの詳細は、図27-1 割り込み機能の基本構成を参照してください。

2. STOPモード解除時間

クロック供給停止 :

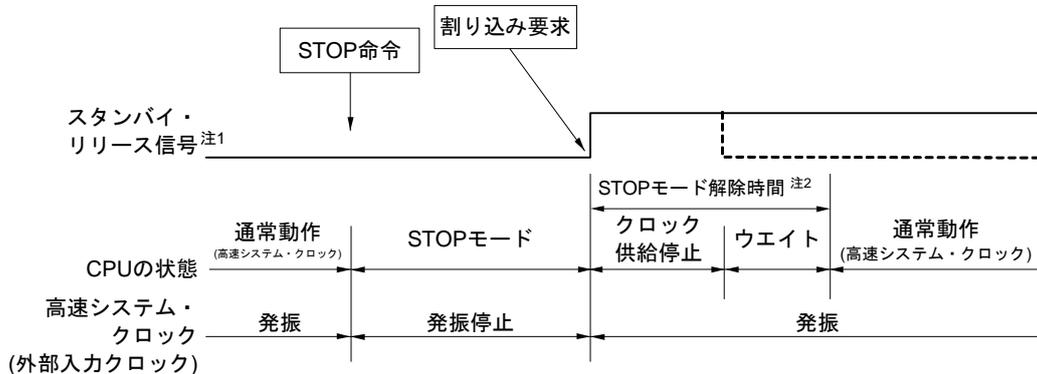
18 μ s~65 μ sまたは発振安定時間 (OSTSで設定) の長い方

ウエイト :

・ベクタ割り込み処理を行う場合 : 10~11クロック

・ベクタ割り込み処理を行わない場合 : 4~5クロック

(3) CPUクロックが高速システム・クロック (外部クロック入力) の場合



注1. スタンバイ・リリース信号に関するの詳細は、図27-1 割り込み機能の基本構成を参照してください。

2. STOPモード解除時間

クロック供給停止 :

18 μ s~65 μ s

ウエイト :

・ベクタ割り込み処理を行う場合 : 7クロック

・ベクタ割り込み処理を行わない場合 : 1クロック

注意 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

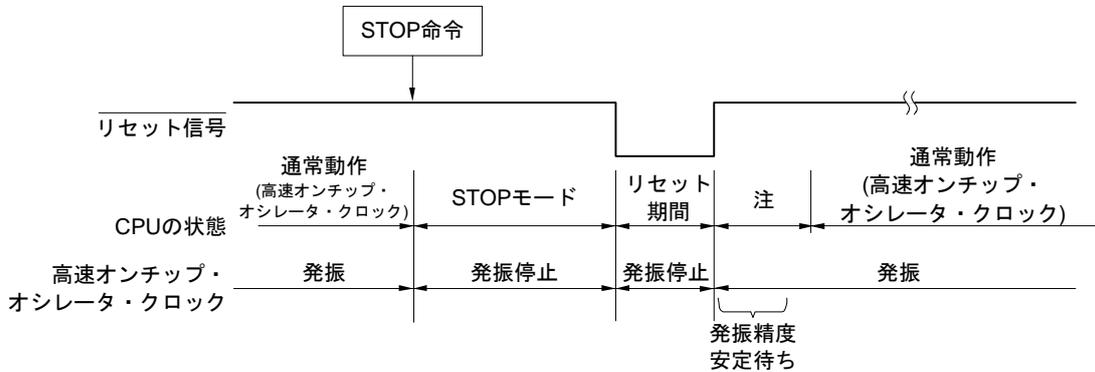
2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

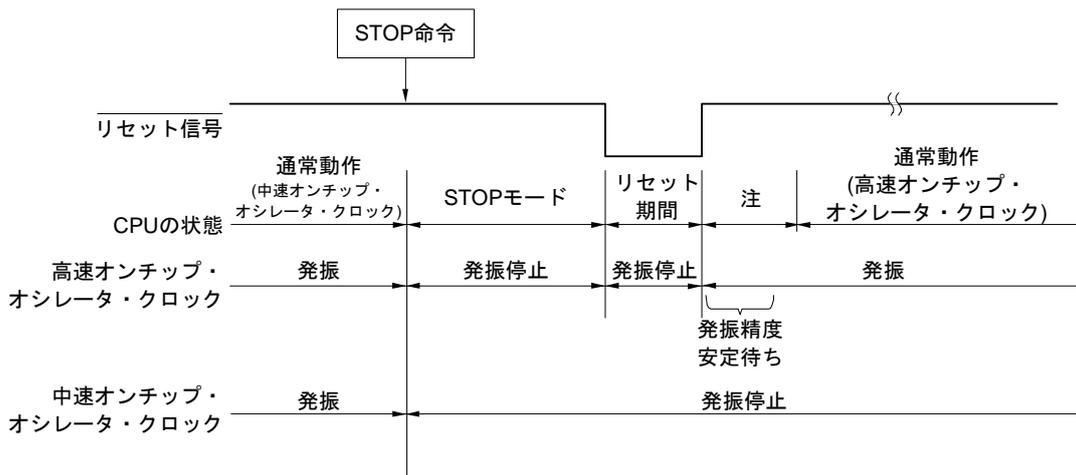
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図29-4 STOPモードのリセットによる解除

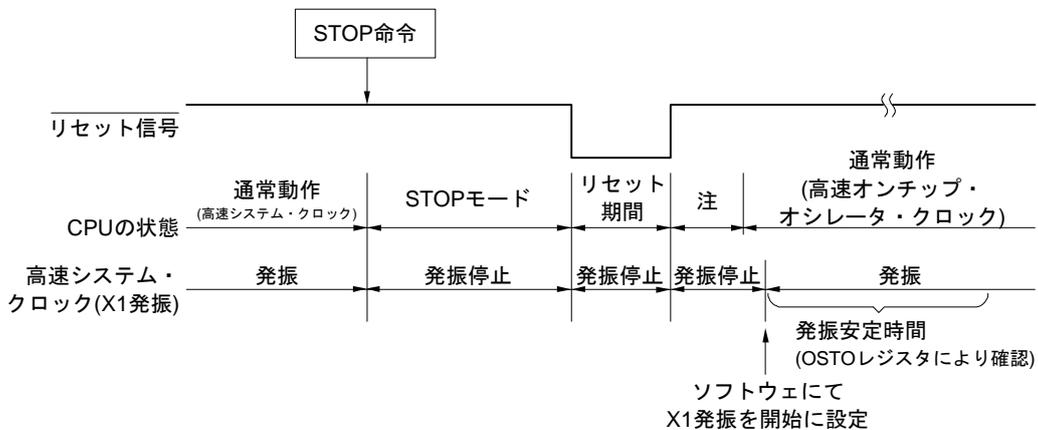
(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが中速オンチップ・オシレータ・クロックの場合



(3) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第30章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、第31章 パワーオン・リセット回路を参照してください。

29.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

CSI0, UART0またはDTCが設定可能です。また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックの場合、設定可能です注。

CSI0, UART0をSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm) をSTOPモードに移行前に設定してください。詳細は、**20.3 シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

DTC転送をSNOOZEモードで使用する場合は、STOPモードに移行する前に、使用するDTC起動要因を許可してください。STOPモード中に、許可したDTC起動要因を検出すると自動的にSNOOZEモードに移移します。詳細は、**25.3 DTCを制御するレジスタ**を参照してください。

注 UART受信を使用してSTOPモードからSNOOZEモードへ遷移する場合、高速オンチップ・オシレータを使用してください。

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間：

高速オンチップ・オシレータ・クロックの場合 : 18 μ s~65 μ s

中速オンチップ・オシレータ・クロックの場合 : 22 μ s~31 μ s (HSモード)

~3.4 μ s (LSモード, 4 MHz動作時)

~4.2 μ s (LSモード, 2 MHz動作時)

~5.9 μ s (LSモード, 1 MHz動作時)

~5.9 μ s (LPモード, 1 MHz動作時)

備考 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間：

高速オンチップ・オシレータ・クロックの場合：

・ベクタ割り込み処理を行う場合

HS（高速メイン）モード：“5.2~9.4 μs ” + 7クロック

LS（低速メイン）モード：“1.3~4.5 μs ” + 7クロック

LV（低電圧メイン）モード：“17.5~25.2 μs ” + 7クロック

・ベクタ割り込み処理を行わない場合

HS（高速メイン）モード：“5.2~9.4 μs ” + 1クロック

LS（低速メイン）モード：“1.3~4.5 μs ” + 1クロック

LV（低電圧メイン）モード：“17.5~25.2 μs ” + 1クロック

中速オンチップ・オシレータ・クロックの場合：

・ベクタ割り込み処理を行う場合

HS（高速メイン）モード：“6.0~10.3 μs ” + 7クロック

LS（低速メイン）モード：“1.8~4.9 μs ” + 7クロック

LP（低電力メイン）モード：“3.8~4.9 μs ” + 7クロック

・ベクタ割り込み処理を行わない場合

HS（高速メイン）モード：“6.0~10.3 μs ” + 1クロック

LS（低速メイン）モード：“1.8~4.9 μs ” + 1クロック

LP（低電力メイン）モード：“3.8~4.9 μs ” + 1クロック

次にSNOOZEモード時の動作状態を示します。

表29-3 SNOOZEモード時の動作状態 (1/2)

STOPモードの設定 項目		STOPモード中にCSI0, UART0のデータ受信信号, DTC起動要因発生時	
		高速オンチップ・オシレータ・クロック (f _{IH}) でのCPU動作時	中速オンチップ・オシレータ・クロック (f _{IM}) でのCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH}	動作開始	停止
	f _{IM}	停止	動作開始
	f _X	停止	
	f _{EX}		
	f _{PLL}		
サブシステム・クロック	f _{XT}	STOPモード中の状態を継続 (ただし, RTCPORが発生している場合動作禁止)	
	f _{EXS}		
低速オンチップ・オシレータ・クロック	f _L	オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) およびサブシステム・クロック供給オプション制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブ・クロック (f _{SX}) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止	
CPU	動作停止		
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM	動作停止 (DTC実行時は動作可能)		
ポート (ラッチ)	STOPモード中の状態を継続		
タイマ・アレイ・ユニット	動作禁止		
独立電源RTC	動作可能 (ただし, RTCPORが発生している場合動作停止)		
周波数測定機能	動作禁止		
高速オンチップ・オシレータ・クロック周波数補正機能			
発振停止検出	f _L が発振している場合のみ動作可能		
12ビット・インターバル・タイマ	動作可能		
8ビット・インターバル・タイマ			
サンプリング出カタイマ/ディテクタ	カウントソースにサブ・クロック (f _{SX}) 選択時でかつOSMCレジスタのRTCLPC = 0は動作可能		
タイマRJ	<ul style="list-style-type: none"> • TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 • カウントソースにサブ・クロック (f_{SX}) 選択時でかつOSMCレジスタのRTCLPC = 0は動作可能 • カウントソースに低速オンチップ・オシレータ周波数 (f_L) 選択時は動作可能 • 上記以外は動作禁止 		
ウォッチドッグ・タイマ	第16章 ウォッチドッグ・タイマ 参照		
クロック出力/ブザー出力	カウント・クロックにサブ・クロック選択時のみ動作可能		
12ビットA/Dコンバータ	動作停止		
24ビットΔΣA/Dコンバータ	動作禁止		
温度センサ2			
シリアル・アレイ・ユニット (SAU)	CSI00, UART0のみ動作可能 CSI00, UART0以外は動作禁止		
IrDA	動作禁止		
シリアル・インタフェース (IICA)			
シリアル・インタフェースUARTMG	動作可能		
LCDコントローラ/ドライバ	動作可能 (ただし, LCDソース・クロックとして選択したクロックの状態にしたがう (選択クロックが動作中なら動作可能, 停止中なら動作停止))		
データ・トランスファ・コントローラ (DTC)	動作可能		

(備考は次ページにあります。)

表29-3 SNOOZEモード時の動作状態 (2/2)

STOPモードの設定		STOPモード中にCSI0, UART0のデータ受信信号, DTC起動要因発生時	
		高速オンチップ・オシレータ・クロック (f _{ih}) でのCPU動作時	中速オンチップ・オシレータ・クロック (f _{im}) でのCPU動作時
項目			
イベント・リンク・コントローラ (ELC)		動作可能な機能ブロック間のリンクが可能	
32ビット積和演算		動作禁止	
AES			
パワーオン・リセット機能		動作可能	
RTCパワーオン・リセット機能			
電圧検出機能	V _{DD}		
	V _{DD} , LVDVBAT, VRTC, EXLVD 端子電圧		
外部割り込み	INTP0-INTP9, INTP12-INTP14		
	RTCIC0-RTCIC2		
キー割り込み機能			
CRC演算機能	高速CRC	動作停止	
	汎用CRC		
不正メモリ・アクセス検出機能		DTC実行時は動作可能	
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			

備考 動作停止：STOPモード移行時に自動的に動作停止

動作禁止：STOPモード移行前に動作を停止させる

f_{ih}： 高速オンチップ・オシレータ・クロック

f_{il}： 低速オンチップ・オシレータ・クロック

f_{im}： 中速オンチップ・オシレータ・クロック

f_x： X1クロック

f_{EX}： 外部メイン・システム・クロック

f_{XT}： XT1クロック

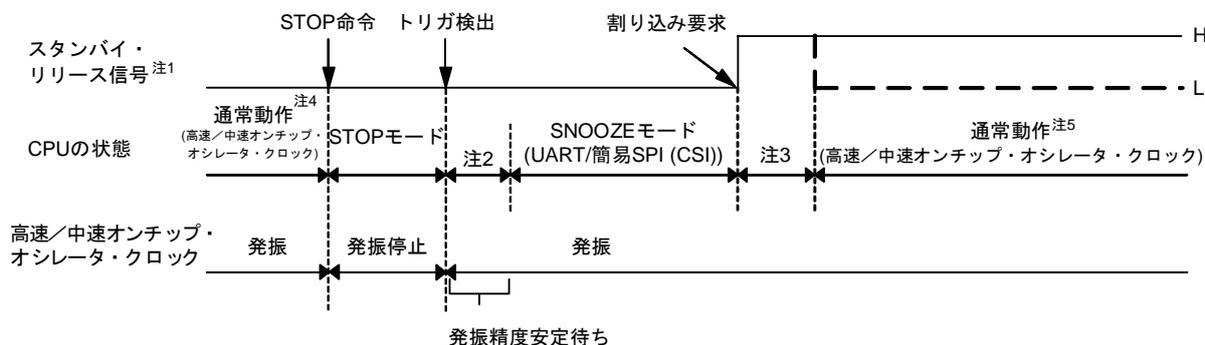
f_{EXS}： 外部サブシステム・クロック

f_{SX}： サブ・クロック

f_{PLL}： PLLクロック周波数

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図29-5 SNOOZEモードの割り込み要求が発生する場合

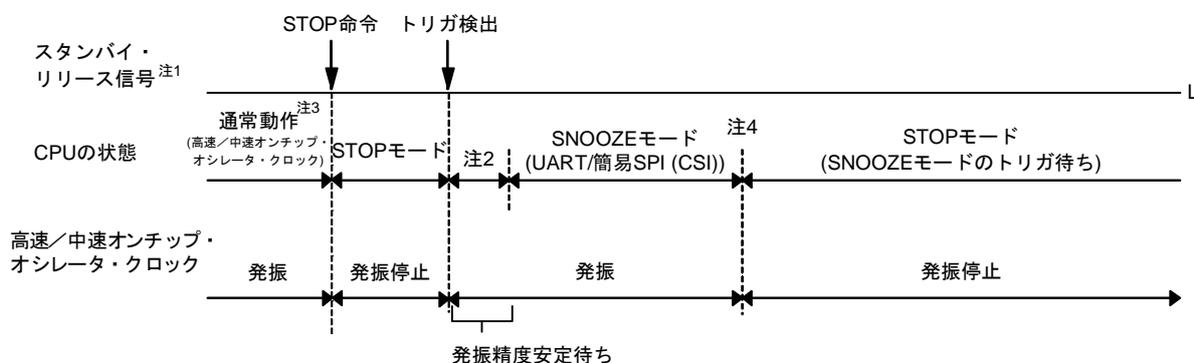


注1. スタンバイ・リリース信号についての詳細は、図27-1 割り込み機能の基本構成を参照してください。

2. STOPモード→SNOOZEモードの遷移時間
3. SNOOZEモード→通常動作の遷移時間
4. STOPモードへ移行する直前に、SNOOZEモード許可 (AWC = 1/SWC = 1) に設定してください。
5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除 (AWC = 0/SWC = 0) に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図29-6 SNOOZEモードの割り込み要求が発生しない場合



注1. スタンバイ・リリース信号についての詳細は、図27-1 割り込み機能の基本構成を参照してください。

2. STOPモード→SNOOZEモードの遷移時間
3. STOPモードへ移行する直前に、SNOOZEモード許可 (AWC = 1/SWC = 1) に設定してください。
4. SNOOZEモードからSTOPモードへ移行するタイミングでSNOOZEモードに設定した機能以外の割り込みによるスタンバイ・リリース信号が発生した場合、CPU動作開始から15 μ s (max.)の間、高速オンチップ・オシレータの周波数が遅くなる可能性があります。スタンバイ解除直後に電気的特性に示す周波数精度が必要な場合は、CPUクロック周波数で15 μ s相当分ウエイトしてください。

備考 SNOOZEモード機能の詳細は、第20章 シリアル・アレイ・ユニットを参照してください。

第30章 リセット機能

リセット信号を発生させる方法には、次の8種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット (POR) 回路の電源電圧と検出電圧との比較による内部リセット^{注1}
- (4) 電圧検出回路 (LVD) の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^{注2}
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット
- (8) RTCパワーオン・リセット (RTCPOR)回路の電源電圧と検出電圧との比較によるRTCおよびXT1発振回路のリセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行^{注2}、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表30-1に示すような状態になります。

尚、RTCパワーオン・リセット(RTCPOR)により、RTCおよびXT1発振回路にリセットがかかります。

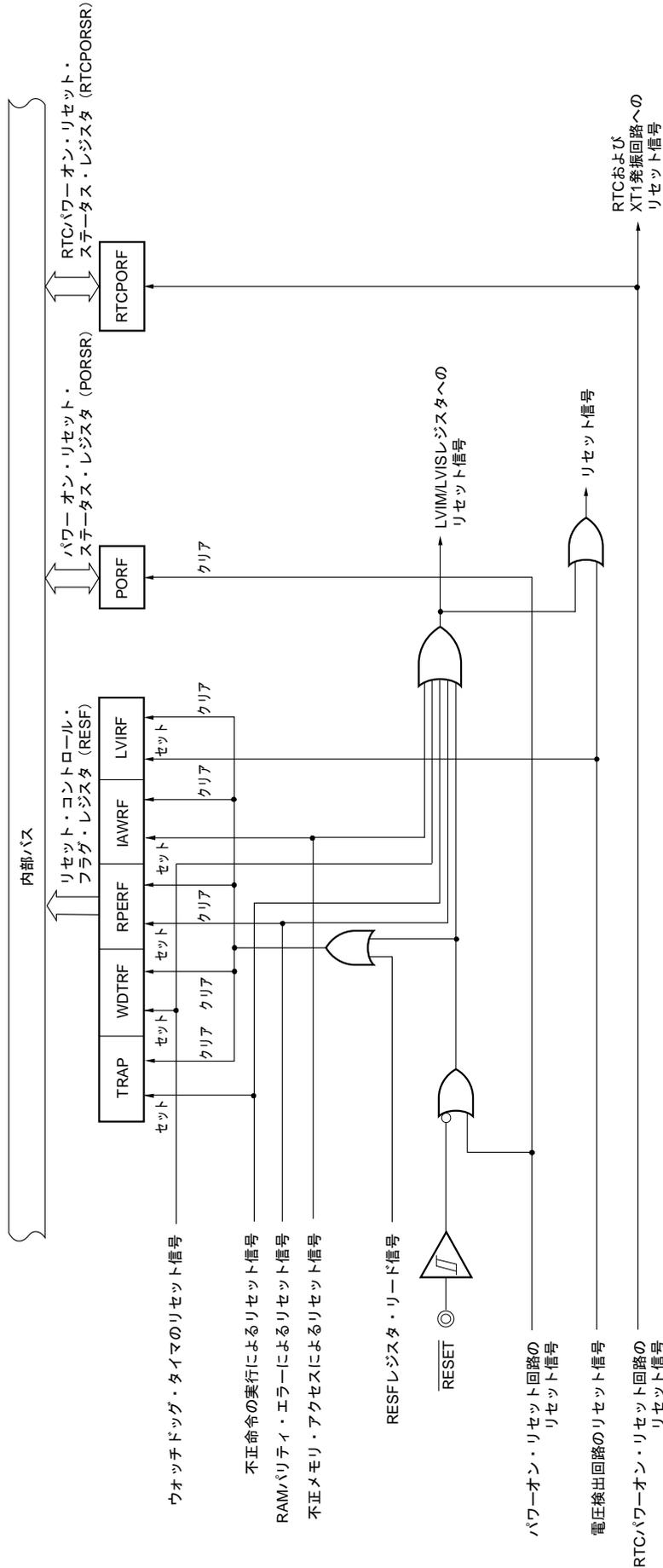
- 注1.** (3) パワーオン・リセットによるリセット期間中も、RTCパワーオンリセットが発生していない場合、独立電源RTCおよびXT1発振回路は動作可能です。
- 2.** FFHの命令コードを実行したときに発生します。
このリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、43.4 AC特性参照に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。
2. リセット信号発生中では、X1クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。
 3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。
 - ・ P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)
 - ・ P130 : リセット期間中およびリセット受け付け後はロウ・レベル出力
 - ・ P40, P130以外のポート : リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

図30-1 リセット機能のブロック図



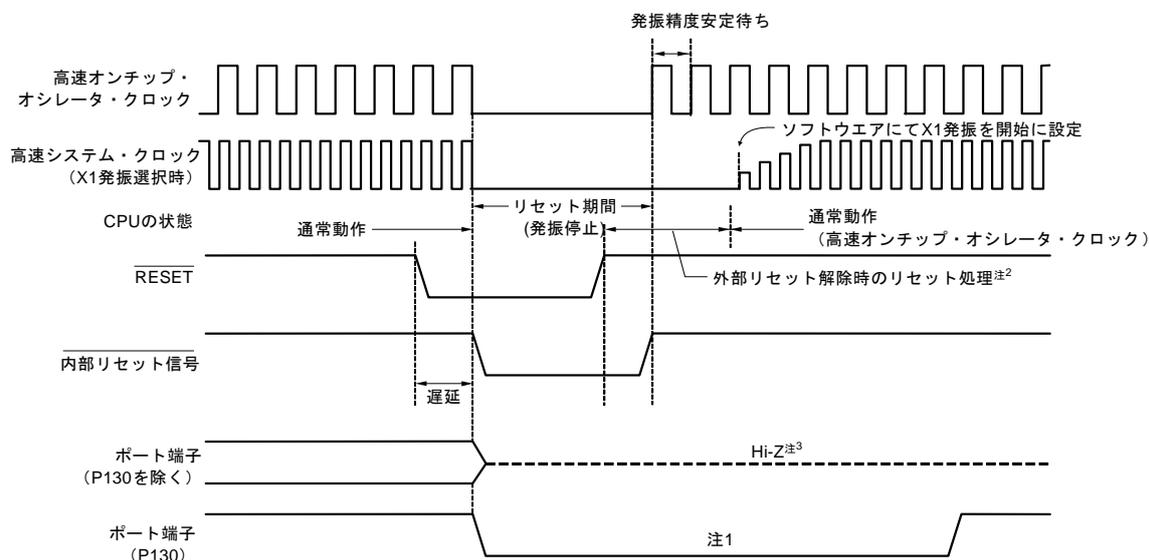
注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

- 備考1.** LVIM : 電圧検出レジスタ
2. LVIS : 電圧検出レベル・レジスタ

30.1 リセット動作のタイミング

RESET端子にロウ・レベルが入力されて、リセットがかかり、RESET端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

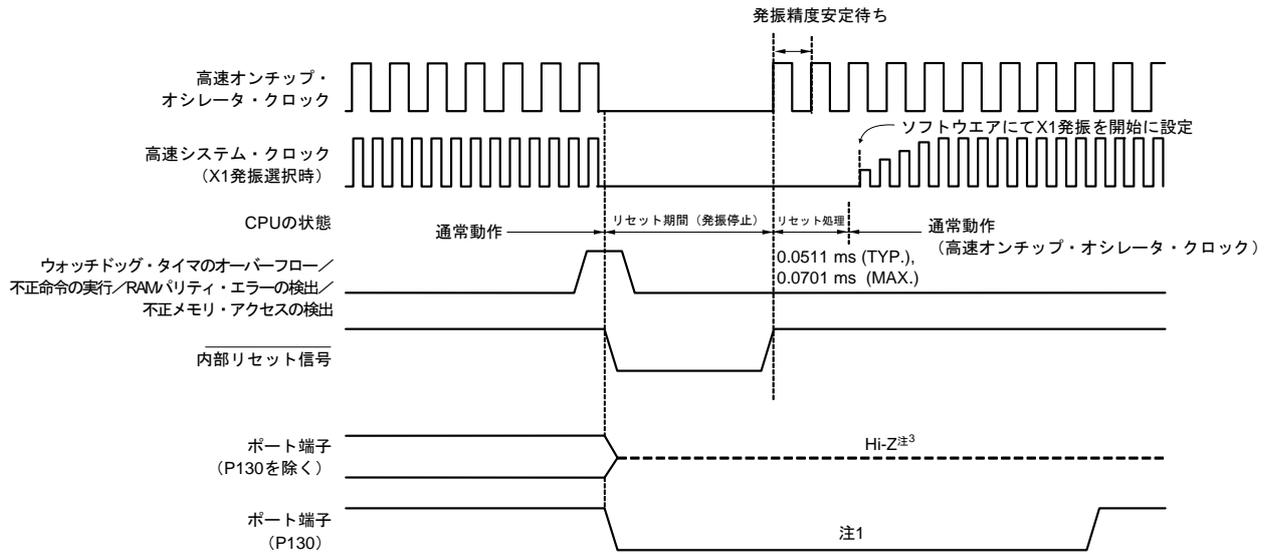
図30-2 RESET入力によるリセット・タイミング



ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

(注、注意は、次ページにあります。)

図30-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



注1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかると前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

2. リセット処理時間（外部リセット状態を解除する時間）

1回目のPOR解除後 : LVD使用時, 0.672 ms (typ.), 0.832 ms (max.)

LVDオフ時, 0.399 ms (typ.), 0.519 ms (max.)

2回目のPOR解除後 : LVD使用時, 0.531 ms (typ.), 0.675 ms (max.)

LVDオフ時, 0.259 ms (typ.), 0.362 ms (max.)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.)がかかります。

3. ポート端子P40は次の状態になります。

- ・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

POR回路、LVD回路の電圧検出によるリセットは、リセット後内部V_{DD} ≥ V_{POR}または内部V_{DD} ≥ V_{LVD}になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

詳細は、**第31章 パワーオン・リセット回路**または**第32章 電圧検出回路**を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

30.2 リセット期間中の動作状態

表30-1にリセット期間中の動作状態を、表30-2にリセット受け付け後の各ハードウェアの状態を示します。

表30-1 リセット期間中の動作状態 (1/2)

項 目		リセット期間中
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _{IH}	動作停止
	f _{IM}	動作停止
	f _X	動作停止 (X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効 (端子は入力ポート・モード)
	f _{PLL}	動作停止
サブシステム・クロック	f _{XT}	RTCPORが発生していない場合、動作可能
	f _{XS}	RTCPORが発生していない場合、動作可能
f _{IL}	動作停止	
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		動作停止
ポート (ラッチ)		ハイ・インピーダンス ^注
タイマ・アレイ・ユニット		動作停止
独立電源RTC		RTCPORが発生していない場合、動作可能
周波数測定回路		動作停止
高速オンチップ・オシレータ・クロック周波数補正機能		
発振停止検出回路		
12ビット・インターバル・タイマ		
8ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
サンプリング出力タイマ/ディテクタ		
タイマRJ		
12ビットA/Dコンバータ		
24ビットΔΣA/Dコンバータ		
温度センサ2		
シリアル・アレイ・ユニット (SAU)		
IrDA		
シリアル・インタフェース (IICA)		
シリアル・インタフェースUARTMG		
LCDコントローラ/ドライバ		
データ・トランスファ・コントローラ (DTC)		
イベントリンクコントローラ (ELC)		
パワーオン・リセット機能		検出動作可能
RTCパワーオン・リセット機能		検出動作可能
電圧検出機能	V _{DD}	LVDリセット時は動作可能。それ以外のリセット時は動作停止。
	V _{DD} , LVDVBAT, VRTC, EXLVD端子電圧	動作停止

(注、備考は、次ページにあります。)

表30-1 リセット期間中の動作状態 (2/2)

項 目		リセット期間中
外部割り込み	INTP0-INTP9, INTP12-INTP14	動作停止
	RTCIC0-RTCIC2	
	キー割り込み	
CRC演算機能	高速CRC	
	汎用CRC	
32ビット積和演算回路		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		
AES機能		
タンバ検出		

注 ポート端子P40, P130は次の状態になります。

- ・ P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル（内蔵プルアップ抵抗接続）
- ・ P130 : リセット期間中はロウ・レベル出力

備考	f _{IH}	: 高速オンチップ・オシレータ・クロック
	f _{IM}	: 中速オンチップ・オシレータ・クロック
	f _X	: X1発振クロック
	f _{EX}	: 外部メイン・システム・クロック
	f _{XT}	: XT1発振クロック
	f _{EXS}	: 外部サブシステム・クロック周波数
	f _{IL}	: 低速オンチップ・オシレータ・クロック
	f _{PLL}	: PLLクロック周波数

表30-2 リセット受け付け後の各ハードウェアの状態

ハードウェア		リセット受け付け後の状態 ^注
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) のリセット受付後の状態は、
3. 2. 4 特殊機能レジスタ (SFR : Special Function Register)、**3. 2. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

30.3 リセット要因を確認するレジスタ

30.3.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

RESET入力、パワーオン・リセット (POR) 回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図30-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 不定^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出 (LVD) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。表30-3を参照してください。

2. FFHの命令コードを実行したときに発生します。

このリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

2. RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、34.3.3 RAMパリティ・エラー検出機能を参照してください。

リセット要求時のRESFレジスタの状態を表30-3に示します。

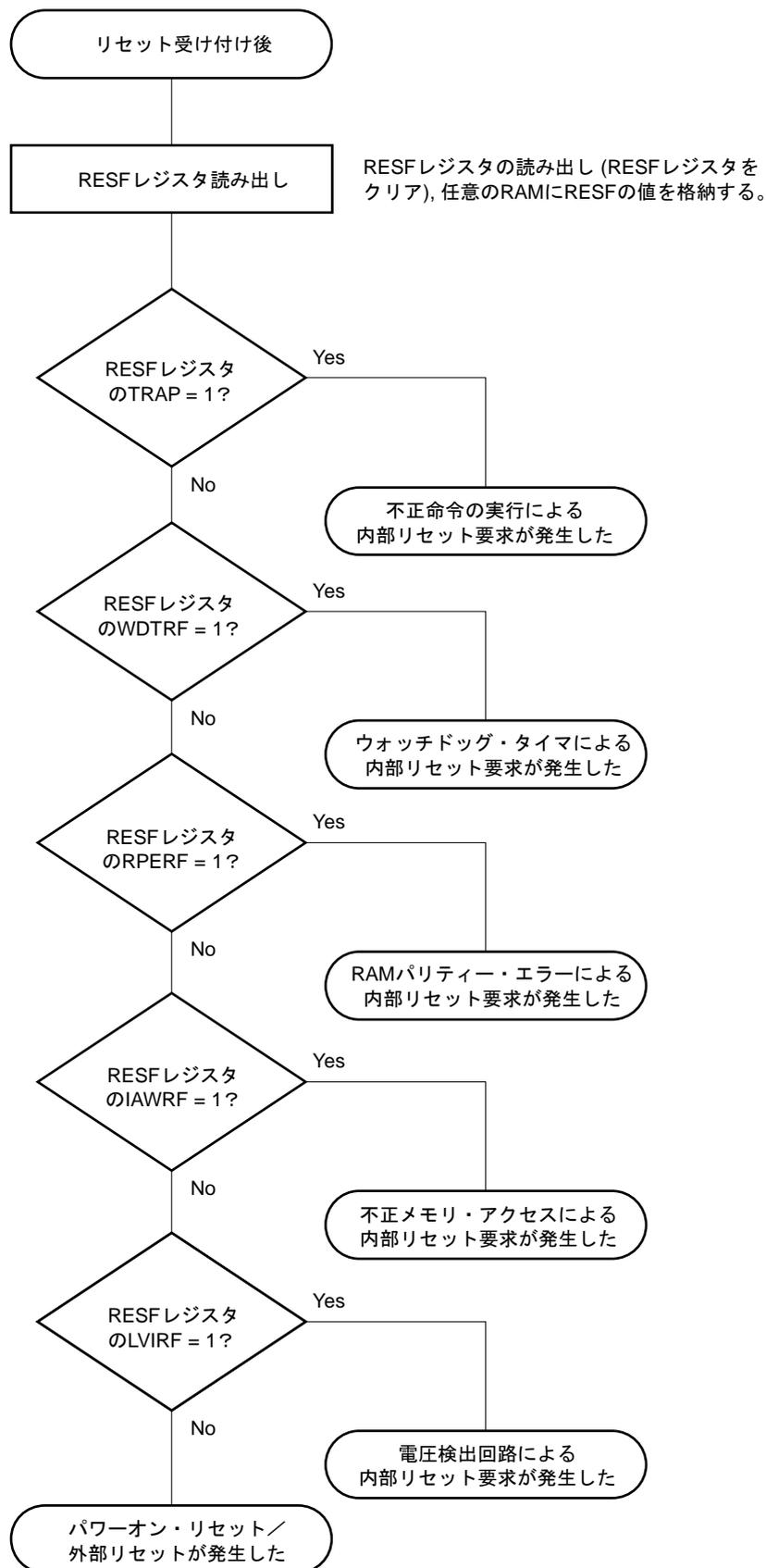
表30-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAMパリティ エラーに よるリセット	不正メモリ アクセスに よるリセット	LVDによる リセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持	保持
WDTRF			保持	セット (1)	保持	セット (1)	
RPERF			保持	セット (1)			
IAWRF			保持	セット (1)			
LVIRF			保持	セット (1)			

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。

リセット要因の手順を図30-5に示します

図30-5 リセット要因の確認手順例



30.3.2 パワーオン・リセット・ステータス・レジスタ (PORSR)

PORSRレジスタは、パワーオン・リセットの発生を確認するレジスタです。

PORSRレジスタのビット0 (PORF) への“1”書き込みは有効であり、“0”書き込みは無視されます。

パワーオン・リセット発生の有無を確認するときは、あらかじめPORFビットに“1”を書き込んでおいてください。

PORSRレジスタは、8ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により、00Hになります。

- 注意1.** PORSRレジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します)。
- 2.** PORFが“1”のとき、パワーオン・リセットが発生していないことは保証されますが、RAMの値が保持されていることを保証するものではありません。

図30-6 パワーオン・リセット・ステータス・レジスタ (PORSR) のフォーマット

アドレス : F00F9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PORSR	0	0	0	0	0	0	0	PORF

PORF	パワーオン・リセット発生確認
0	“1”書き込みが行われていない、またはパワーオン・リセットが発生
1	パワーオン・リセットは発生していない

30.3.3 RTCパワーオン・リセット・ステータス・レジスタ (RTCPORSR)

RTCPORSRレジスタは、RTCパワーオン・リセットの発生を確認するレジスタです。

RTCPORSRレジスタのビット0 (RTCPORF) への“1”書き込みは有効であり、“0”書き込みは無視されます。

RTCパワーオン・リセット発生の有無を確認するときは、あらかじめRTCPORFビットに“1”を書き込んでおいてください。

RTCPORSRレジスタは、8ビット・メモリ操作命令で設定します。

RTCPORSRレジスタはVRTC電源で動作します。VRTC電源起動直後は、VRTC端子の電圧検出機能 (32.3.5 VRTC端子電圧検出制御レジスタ (LVDVRTC) 参照) を使用して、VRTC端子への電源供給開始を確認してください。

RTCパワーオン・リセット信号の発生により、00Hになります。

注意1. RTCPORSRレジスタはRTCパワーオン・リセット時のみ初期化され、その他のリセット要因では、値を保持します。

2. RTCPORSRレジスタはVRTCEN = 1の場合にリード/ライトが可能です。

図30-7 RTCパワーオン・リセット・ステータス・レジスタ (RTCPORSR) のフォーマット

アドレス : F0380H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCPORSR	0	0	0	0	0	0	0	RTCPORF

RTCPORF	RTCパワーオン・リセット発生確認
0	RTCパワーオン・リセット発生を検出
1	RTCパワーオン・リセットは発生していない

30.3.4 周辺リセット制御レジスタ0 (PRR0)

PRR0レジスタは、各周辺ハードウェア・マクロに対して個別にリセット制御を実施するレジスタです。

PRR0レジスタで対応する各周辺ハードウェアのリセット/リセット解除の制御を行います。

図30-8 周辺リセット制御レジスタ0 (PRR0)のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR0	0	IRDARES	ADCRES	IICA0RES	SAU1RES	SAU0RES	SAU2RES	TAU0RES

PRR0n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考 n = 0-6

各ビットの制御対象を以下に示します。

表30-4 PRR0の各ビットにおける制御対象

ビット	ビット名	制御対象
6	IRDARES	IrDA
5	ADCRES	A/Dコンバータ/温度センサ2
4	IICA0RES	シリアル・インタフェースIICA
3	SAU1RES	シリアル・アレイ・ユニット(ユニット1)
2	SAU0RES	シリアル・アレイ・ユニット(ユニット0)
1	SAU2RES	シリアル・アレイ・ユニット(ユニット2)
0	TAU0RES	タイマ・アレイ・ユニット

30.3.5 周辺リセット制御レジスタ1 (PRR1)

PRR1レジスタは、各周辺ハードウェア・マクロに対して個別にリセット制御を実施するレジスタです。PRR1レジスタで対応する各周辺ハードウェアのリセット/リセット解除の制御を行います。

図30-9 周辺リセット制御レジスタ1 (PRR1)のフォーマット

アドレス : F00FBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR1	0	0	SMOTD1RES	SMOTD0RES	0	TRJ1RES	TRJ0RES	DSADRES

PRR1n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考 n = 0-2, 4, 5

各ビットの制御対象を以下に示します。

表30-5 PRR1の各ビットにおける制御対象

ビット	ビット名	制御対象
5	SMOTD1RES	サンプリング出力タイマ/ディテクタ1
4	SMOTD0RES	サンプリング出力タイマ/ディテクタ0
2	TRJ1RES	タイマRJ1
1	TRJ0RES	タイマRJ0
0	DSADRES	24ビット $\Delta\Sigma$ A/Dコンバータ

30.3.6 周辺リセット制御レジスタ2 (PRR2)

PRR2レジスタは、各周辺ハードウェア・マクロに対して個別にリセット制御を実施するレジスタです。PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

図30-10 周辺リセット制御レジスタ2 (PRR2)のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	OSDCRES	UARTMG1RES	UARTMG0RES	0	MACRES	0	0

PRR2n	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺リセット状態

備考 n = 2, 4-7

各ビットの制御対象を以下に示します。

表30-6 PRR2の各ビットにおける制御対象

ビット	ビット名	制御対象
7	TMKARES	12ビット・インターバル・タイマ
6	OSDCRES	発振停止検出回路
5	UARTMG1RES	シリアル・インタフェースUARTMG1
4	UARTMG0RES	シリアル・インタフェースUARTMG0
2	MACRES	32ビット積和演算器

第31章 パワーオン・リセット回路

31.1 パワーオン・リセット回路の機能

パワーオン・リセット (POR) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

電源電圧 (V_{DD}) が検出電圧 (V_{POR}) を越えた場合に、リセットを解除します。ただし、**43.4 AC特性**に示す動作電圧範囲まで、電圧検出機能が外部リセット端子でリセット状態を保ってください。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{PDR}) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、**43.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) およびパワーオン・リセット・ステータス・レジスタ (PORSR) がクリア (00H) されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 電圧検出 (LVD) 回路 / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT / LVD / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFレジスタの詳細については、**第30章 リセット機能**を参照してください。

2. パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ (PORSR) で確認することができます。PORSRレジスタの詳細については、**第30章 リセット機能**を参照してください。

3. V_{POR} : POR電源立ち上がり検出電圧

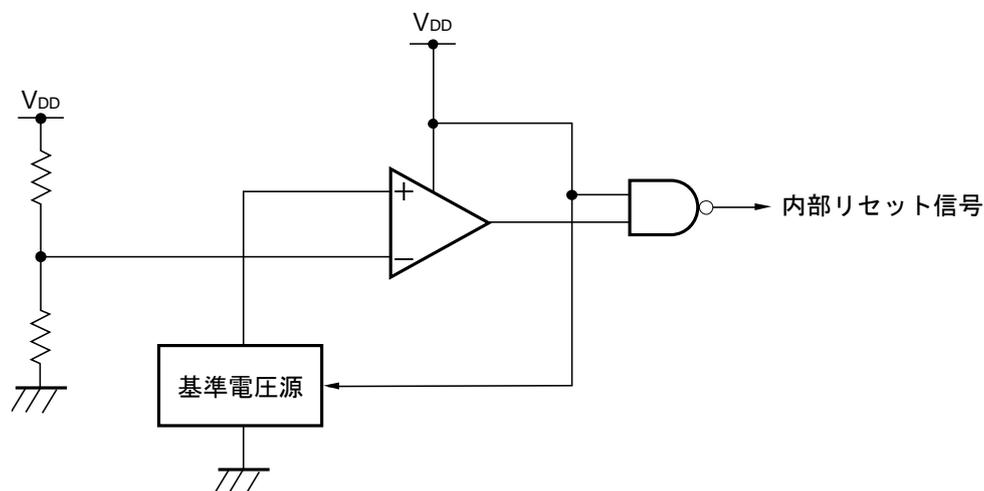
V_{PDR} : POR電源立ち下がり検出電圧

詳細は、**43.6.5 POR回路特性**を参照してください。

31.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図31-1に示します。

図31-1 パワーオン・リセット回路のブロック図

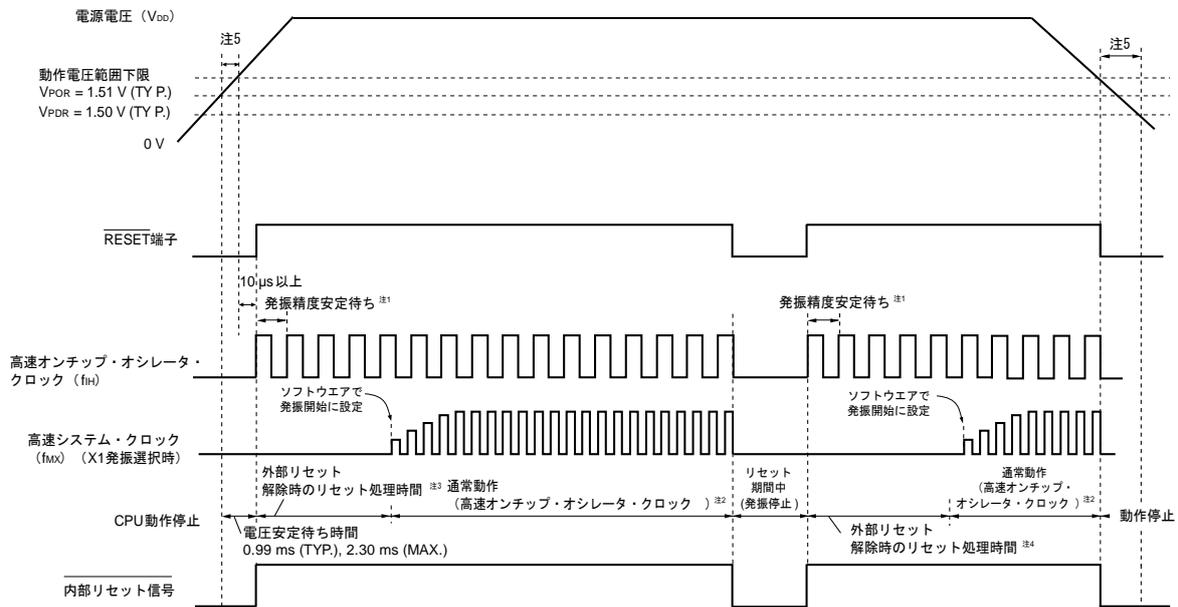


31.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図31-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (1/3)

(1) RESET端子による外部リセット使用時



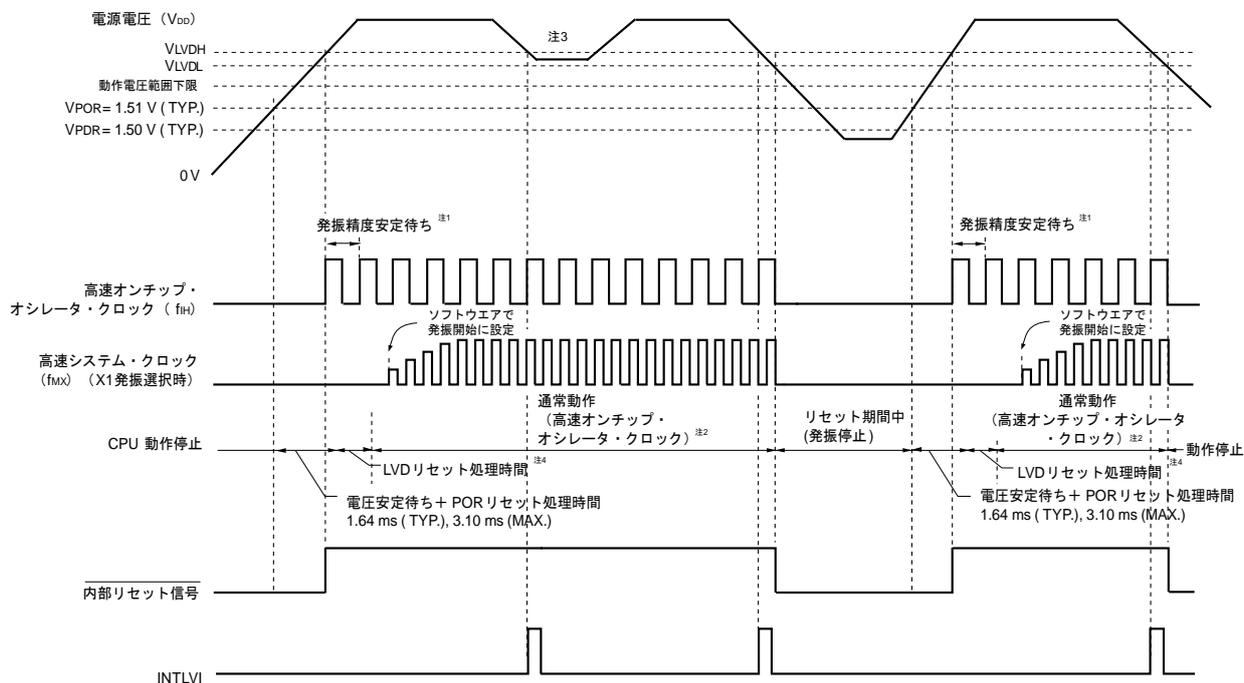
- 注 1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックに切り替え可能です。
X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ（OSTC）で、XT1クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、RESET信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間（POR解除後1回目）”が掛かります。外部リセット解除時のリセット処理時間を次に示します。
POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)
4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。
POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)
5. 電源立ち上がり時は、**43.4 AC特性**に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

注意 LVDオフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第32章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
V_{PDR} : POR電源立ち下がり検出電圧

図31-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (2/3)

(2) LVD割り込み&リセット・モード時 (オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)



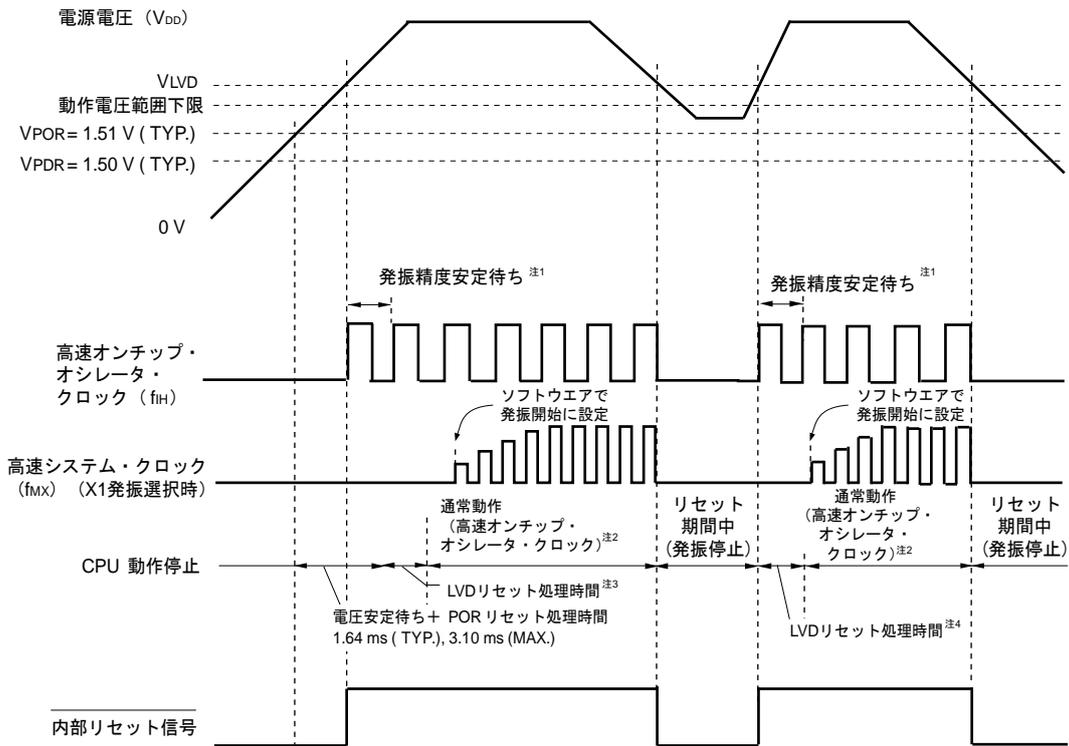
- 注1.** 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 2.** CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 3.** 割り込み要求信号 (INTLVI) が発生したあと、電圧検出レベル・レジスタ (LVIS) のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧 (V_{LVDL}) を下回らずに、高電圧検出電圧 (V_{LVDH}) 以上に復帰する場合を考慮して、INTLVI発生後は、“**図32-20 動作電圧確認／リセットの設定手順**”に従って設定をしてください。
- 4.** 通常動作が開始されるまでの時間は、 V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (V_{LVDH}) に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0 ms ~ 0.0701 ms (MAX.)

備考 V_{LVDH} , V_{LVDL} : LVD検出電圧
 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図31-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (3/3)

(3) LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (V_{LVD}) に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間： 0 ms ~ 0.0701 ms (MAX.)
- 4. 電源電圧降下時、電圧検出回路 (LVD) による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル (V_{LVD}) に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間： 0.0511 ms (TYP.), 0.0701ms (MAX.)

備考1. V_{LVDH}, V_{LVDL} : LVD検出電圧

V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

- 2. LVD割り込みモード (オプション・バイト000C1HのLVIMD1, LVIMD0 = 0,1) を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図31-2 (3) LVDリセット・モード時の“注3”の時間と同じです。

第32章 電圧検出回路

32.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト (000C1H) で動作モードと検出電圧 (V_{LVDH} , V_{LVDL} , V_{LVD}) を設定します。また、検出電圧はLVISレジスタで再設定が可能です。電圧検出 (LVD) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVDH} , V_{LVDL} , V_{LVD}) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧の検出電圧 (V_{LVDH} , V_{LVDL}) は、検出レベルを14段階より選択できます (32.3.2 電圧検出レベル・レジスタ (LVIS) および第37章 オプション・バイト参照)。
- ・STOPモード時においても動作可能です。
- ・電源立ち上がり時は、43.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H/400C2H) の設定により変わります。

(a) 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧 (V_{LVDH} , V_{LVDL}) を選択します。高電圧検出レベル (V_{LVDH}) はリセット解除用/割り込み発生用として使用します。リセット発生用としても使用します。低電圧検出レベル (V_{LVDL}) はリセット発生用として使用します。

(b) リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧 (V_{LVD}) を、リセット発生/解除用として使用します。また、検出電圧はLVISレジスタで再設定が可能です。

(c) 割り込みモード (オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧 (V_{LVD}) を、割り込み発生/リセット解除用として使用します。また、検出電圧はLVISレジスタで再設定が可能です。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して割り込み要求信号を発生、 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して内部リセット発生。	リセット発生直後、LVDの内部リセットは $V_{DD} \geq V_{LVD}$ になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号 (INTLVI) を発生します。

電圧検出回路動作時では、電圧検出フラグ (LVIF : 電圧検出レジスタ (LVIM) のビット0) を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFレジスタについての詳細は、**第30章 リセット機能**を参照してください。

また、RL78/I1C (512 KB) 製品は、電源端子毎の電圧検出機能を搭載しています。

電圧検出機能動作時は、割り込みまたは電圧検出フラグを読み出す事により、各端子の電源電圧が検出レベル以上かを知る事ができます。

- ・ V_{DD}端子電圧と検出電圧 (V_{LVDVDD}) を比較し、V_{DD}端子電圧が電圧検出レベル (V_{LVDVDD}) を下回る遷移が発生した時、またはV_{DD} 端子電圧が電圧検出レベル (V_{LVDVDD}) を上回る遷移が発生した時にワンショットの割り込み要求信号 (INTLVDDVD) を発生します。
- ・ LVDVBAT端子電圧と検出電圧 (V_{LVDVBAT}) を比較し、LVDVBAT端子電圧が電圧検出レベル (V_{LVDVBAT}) を下回る遷移が発生した時、またはLVDVBAT端子電圧が電圧検出レベル (V_{LVDVBAT}) を上回る遷移が発生した時にワンショットの割り込み要求信号 (INTLVDBAT) を発生します。
- ・ VRTC端子電圧と検出電圧 (V_{LVDVRTC}) を比較し、VRTC端子電圧が電圧検出レベル (V_{LVDVRTC}) を下回る遷移が発生した時、またはV_{DD}端子電圧が電圧検出レベル (V_{LVDVRTC}) を上回る遷移が発生した時にワンショットの割り込み要求信号 (INTLVVRTC) を発生します。
- ・ EXLVD端子電圧と検出電圧 (V_{LVDEXLVD}) を比較し、EXLVD端子電圧が電圧検出レベル (V_{LVDEXLVD}) を下回る遷移が発生した時、またはEXLVD端子電圧が電圧検出レベル (V_{LVDEXLVD}) を上回る遷移が発生した時にワンショットの割り込み要求信号 (INTLVDEXLVD) を発生します。

32.2 電圧検出回路の構成

電圧検出 (LVD) 回路のブロック図を**図32-1**～**図32-5**に示します。

図32-1 電圧検出 (LVD) 回路のブロック図

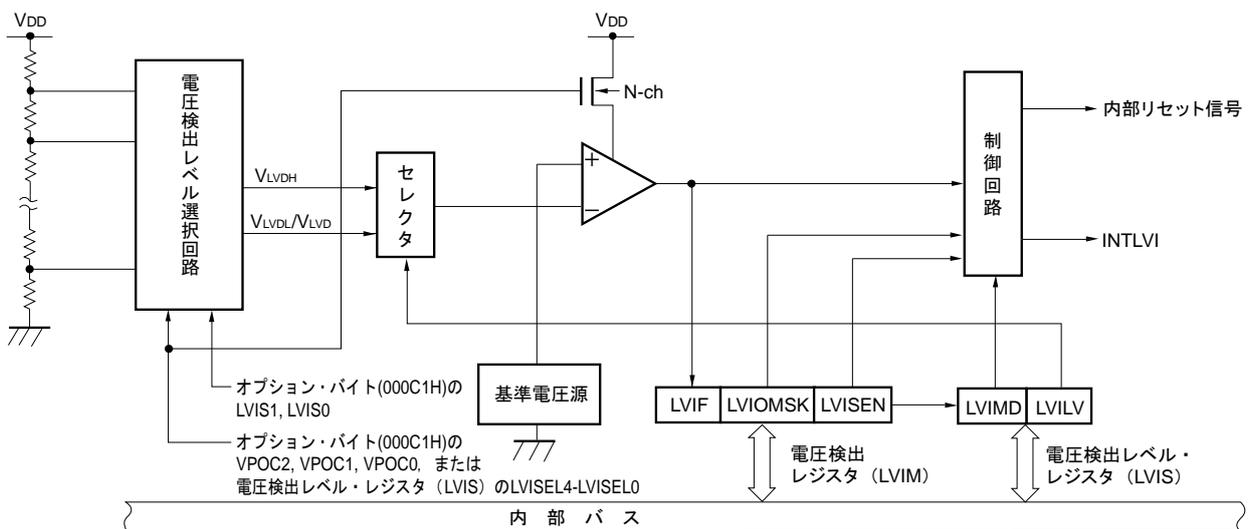


図32-2 V_{DD}端子電圧検出回路のブロック図

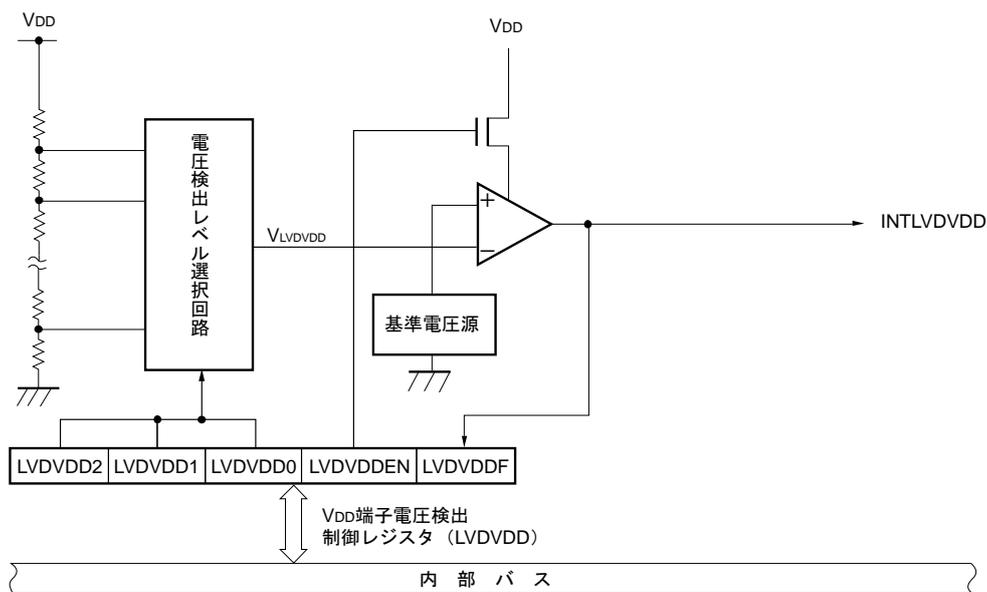


図32-3 LVDVBAT端子電圧検出回路のブロック図

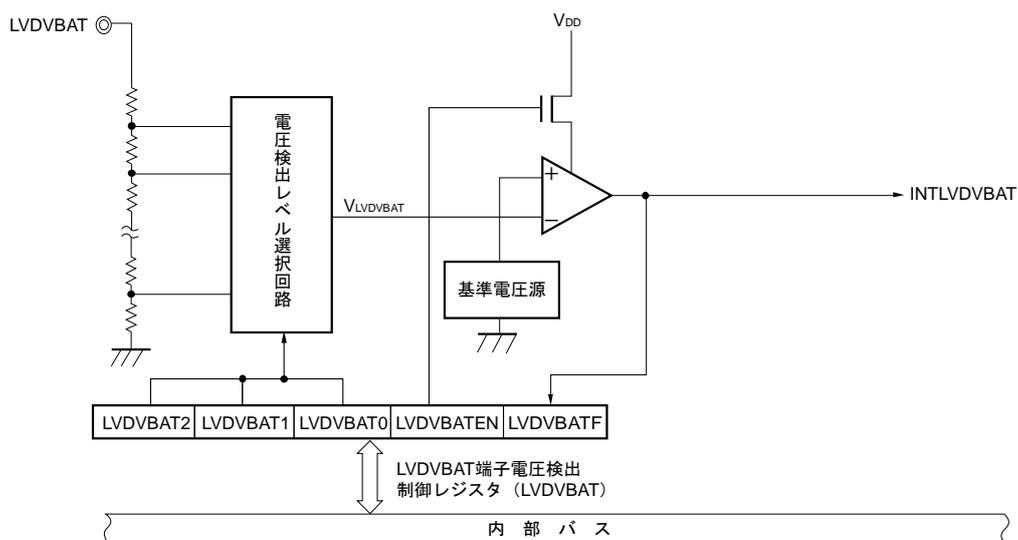


図32-4 VRTC端子電圧検出回路のブロック図

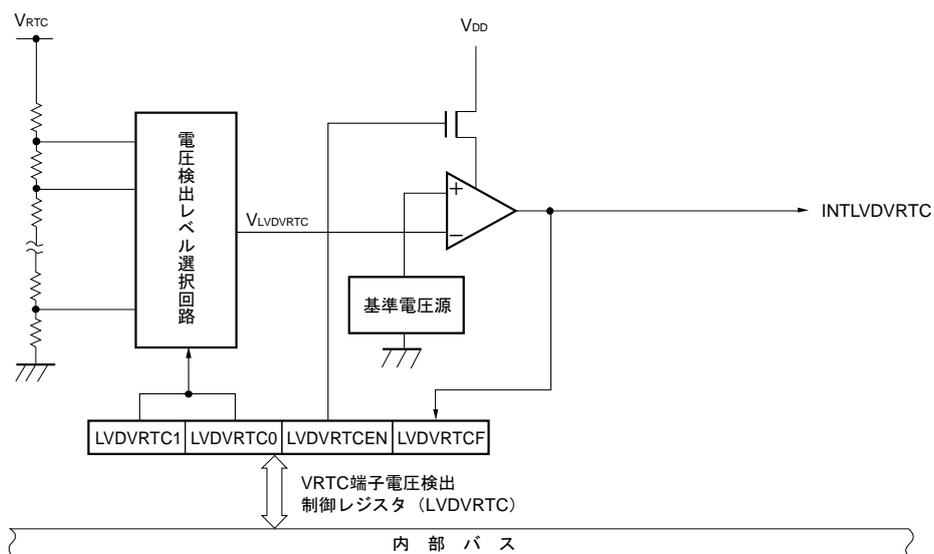
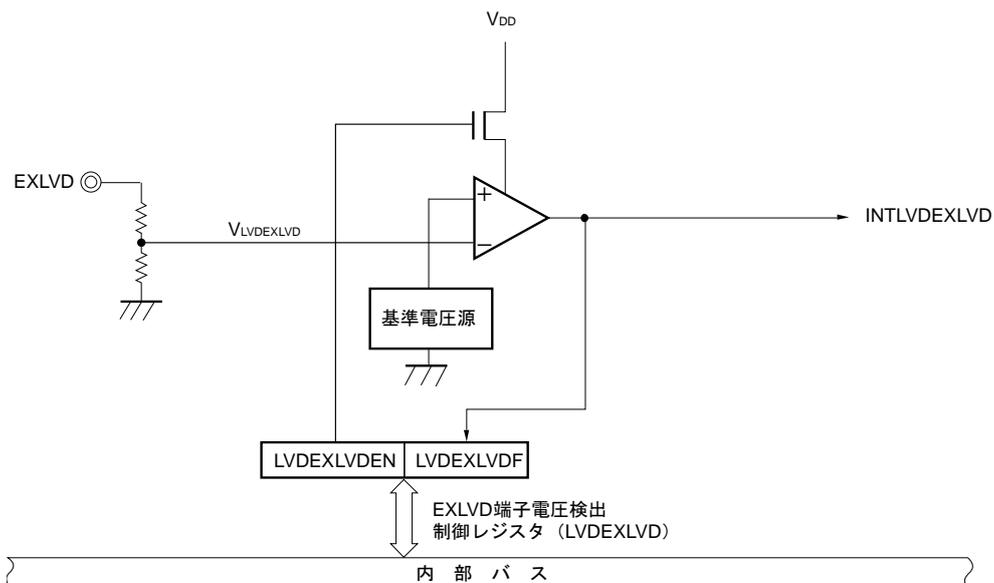


図32-5 EXLVD端子電圧検出回路のブロック図



32.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- ・ 電圧検出レジスタ (LVIM)
- ・ 電圧検出レベル・レジスタ (LVIS)
- ・ V_{DD}端子電圧検出制御レジスタ (LVDVDD)
- ・ LVDVBAT端子電圧検出制御レジスタ (LVDVBAT)
- ・ VRTC端子電圧検出制御レジスタ (LVDVRTC)
- ・ EXLVD端子電圧検出制御レジスタ (LVDEXLVD)

32.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可/禁止の設定, LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により, 00Hになります。

図32-6 電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	電圧検出レベル・レジスタ (LVIS) の書き換え許可/禁止の設定
0	LVISレジスタの書き換え禁止 (LVIOMSK = 0 (LVD出力マスク無効) になる)
1	LVISレジスタの書き換え許可 (LVIOMSK = 1 (LVD出力マスク有効) になる)

LVIOMSK	LVD出力マスク状態フラグ
0	LVD出力マスク無効
1	LVD出力マスク有効 ^{注3}

LVIF	電圧検出フラグ
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVD}) , またはLVDオフ時
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVD})

注1. リセット値は, リセット要因により変化します。

LVDによるリセットのときには, LVIMレジスタの値はリセットされず, そのままの値を保持します。その他のリセットでは, LVISENは"0"にクリアされます。

2. ビット0, 1は, Read Onlyです。
3. LVIOMSKビットは以下の間に自動で1となり, LVDによるリセットまたは割り込み発生がマスクされます。
 - ・ LVISEN = 1の期間
 - 以下のいずれかの場合は, 割り込み&リセットモード時のみLVDによるリセットまたは割り込み発生がマスクされます。
 - ・ LVD割り込み発生から, LVD検出電圧が安定するまでの待ち時間
 - ・ LVILVビットの値変更から, LVD検出電圧が安定するまでの待ち時間

32.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。ユーザ・オプション・バイトで設定した電源下限電圧 (LVD検出電圧) とLVD検出レベルの設定を、ソフトウェアで変更できます。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、注1になります。

注意 割り込み&リセットモード時に検出電圧を変更しないでください。

図32-7 電圧検出レベル・レジスタ (LVIS) のフォーマット

アドレス : FFFAAH リセット時 : ^{注1} R/W

略号	[7]	6	5	4	3	2	1	[0]
LVIS	LVIMD ^{注2}	0	LVISEL4 ^{注6}	LVISEL3	LVISEL2	LVISEL1	LVISEL0	LVILV ^{注2}

LVIMD ^{注2}	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVISEL4 ^{注6}	LVISEL3	LVISEL2	動作下限電圧 (立ち下がりTYP値) ^{注5}
0	0	0	1.63 V
0	0	1	1.84 V
0	1	0	2.45 V
0	1	1	2.75 V
1	1	1	1.53 V (LVD OFF)
上記以外			設定禁止

LVISEL1	LVISEL0	LVD検出レベル設定 ^{注5}
0	0	LVISEL4/3/2による設定電圧+1.2 V ^{注3}
0	1	LVISEL4/3/2による設定電圧+0.2 V ^{注3}
1	0	LVISEL4/3/2による設定電圧+0.1 V ^{注3}
1	1	LVISEL4/3/2による設定電圧 ^{注4}

LVILV ^{注2}	LVD検出レベル
0	高電圧検出レベル (VLVDH)
1	低電圧検出レベル (VLVDLまたはVLVD)

- 注1.** リセット値は、オプション・バイトの設定により変化します。
 リセット解除後、ユーザ・オプション・バイトのVPOC2~VPOC0およびLVIS1, LVIS0の値がそれぞれLVISEL4~LVISEL2, LVISEL1, LVISEL0に反映されます。
 LVIMDおよびLVILVのリセット値は、次のようになります。
 オプションバイトLVIMDS1, LVIMDS0 = 1, 0 のとき : LVIMD = 0, LVILV = 0
 オプションバイトLVIMDS1, LVIMDS0 = 1, 1 のとき : LVIMD = 1, LVILV = 1
 オプションバイトLVIMDS1, LVIMDS0 = 0, 1 のとき : LVIMD = 0, LVILV = 1
2. 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) 選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。
 3. おおよその検出値を示しています。実際の検出電圧は、電気的特性のLVDの項目を参照してください。
 4. LVIMDS1-0 = 1, 0のときは選択不可です。
 5. ソフトウェアによってLVISEL4-0を変更し2種類以上のLVD検出電圧を使用する場合、使用するLVD検出電圧のうち最も高い電圧値を示す設定値をユーザ・オプション・バイトのVPOC2-0, LVIS1-0ビットに設定して使用してください。
 6. LVISEL4の書き換えは禁止です。初期値から変更しないでください。
- 注意1.** LVIMDビットおよびLVILVビットを書き換える場合は、図32-20の手順で行ってください。
2. LVDの動作モードと各モードの初期検出電圧 (VLVDH, VLVDL, VLVD) は、オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト (000C1H/400C1H) のフォーマットを図32-8に示します。オプション・バイトの詳細は第37章 オプション・バイトを参照してください。

図32-8 ユーザ・オプション・バイト (000C1H/400C1H) のフォーマット (1/2)

アドレス : 000C1H/400C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
V _{LVDH}		V _{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
—			上記以外は設定禁止						

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—			上記以外は設定禁止					

注 バンク・スワップを使用する際には、000C1Hと400C1Hが切り替わるので、400C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は、32.2 電圧検出回路の構成を参照してください。

2. 検出電圧はTYP.値です。詳細は、43.6.6 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図32-8 ユーザ・オプション・バイト (000C1H/400C1H) のフォーマット (2/2)

アドレス : 000C1H/400C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

・LVDオフ (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注 バンク・スワップを使用する際には、000C1Hと400C1Hが切り替わるので、400C1HIにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

- 電源立ち上がり時は、43.4 AC特性に示す動作電圧範囲まで、電圧検出回路が外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路が外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/400C2H) の設定により変わります。

備考1. × : don't care

- LVD回路の詳細は、32.2 電圧検出回路の構成を参照してください。
- 検出電圧はTYP.値です。詳細は、43.6.6 LVD回路特性を参照してください。

32.3.3 V_{DD}端子電圧検出制御レジスタ (LVDVDD)

V_{DD}端子の電圧検出機能の動作許可／禁止、および検出電圧を設定するレジスタです。

LVDVDDレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図32-9 V_{DD}端子電圧検出制御レジスタ (LVDVDD) のフォーマット

アドレス : F0332H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
LVDVDD	LVDVDDEN	LVDVDDF	0	0	0	LVDVDD2	LVDVDD1	LVDVDD0

LVDVDDEN	V _{DD} 端子電圧検出機能動作許可／禁止
0	V _{DD} 端子の電圧検出機能動作禁止 ^{注3}
1	V _{DD} 端子の電圧検出機能動作許可

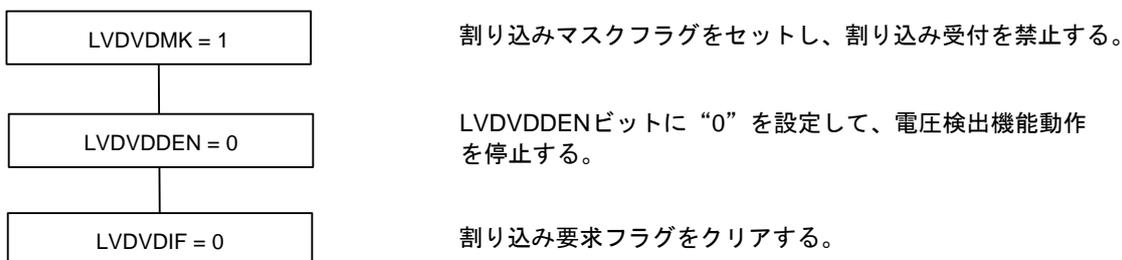
LVDVDDF 注2	V _{DD} 端子電圧検出フラグ
0	V _{DD} 端子電圧 ≥ 検出電圧 (V _{LVDVDD}) , または電圧検出機能動作禁止
1	V _{DD} 端子電圧 < 検出電圧 (V _{LVDVDD})

LVDVDD2	LVDVDD1	LVDVDD0	検出電圧 (V _{LVDVDD})	
			立ち上がり	立ち下がり
0	0	0	2.53 V	2.46 V
0	0	1	2.74 V	2.67 V
0	1	0	2.94 V	2.87 V
0	1	1	3.15 V	3.08 V
1	0	0	3.46 V	3.39 V
1	0	1	3.77 V	3.70 V
上記以外			設定禁止	

注1. ビット6は、Read Onlyです。

- V_{DD}端子電圧 < 検出電圧 (V_{LVDVDD}) の状態でLVDVDDENビットに1を設定した場合、安定時間 (300 μs) が経過するまではLVDVDDFビットは不定になります。
- INTLVDD発生を禁止するため、以下の手順が必要です。

図32-10 V_{DD}端子電圧検出機能禁止時の設定手順



32.3.4 LVDVBAT端子電圧検出制御レジスタ (LVDVBAT)

LVDVBAT端子の電圧検出機能の動作許可／禁止，および検出電圧を設定するレジスタです。
LVDVBATレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図32-11 LVDVBAT端子電圧検出制御レジスタ (LVDVBAT) のフォーマット

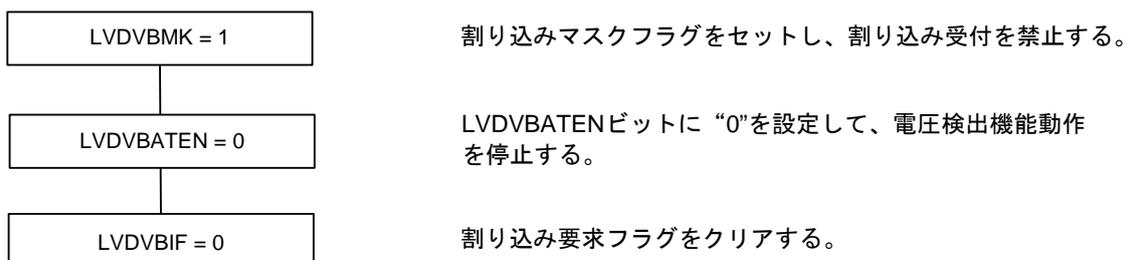
アドレス：F0333H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
LVDVBAT	LVDVBATEN	LVDVBATF	0	0	0	LVDVBAT2	LVDVBAT1	LVDVBAT0
LVDVBATEN	LVDVBAT端子電圧検出機能動作許可／禁止							
0	LVDVBAT端子の電圧検出機能動作禁止 ^{注3}							
1	LVDVBAT端子の電圧検出機能動作許可							
LVDVBATF 注2	LVDVBAT端子電圧検出フラグ							
0	LVDVBAT端子電圧 \geq 検出電圧 ($V_{LVDVBAT}$)，または電圧検出機能動作禁止							
1	LVDVBAT端子電圧 $<$ 検出電圧 ($V_{LVDVBAT}$)							
LVDVBAT2	LVDVBAT1	LVDVBAT0	検出電圧 ($V_{LVDVBAT}$)					
			立ち上がり			立ち下がり		
0	0	0	2.23 V			2.17 V		
0	0	1	2.43 V			2.37 V		
0	1	0	2.63 V			2.57 V		
0	1	1	2.73 V			2.67 V		
1	0	0	2.83 V			2.77 V		
1	0	1	2.93 V			2.87 V		
1	1	0	3.13 V			3.07 V		
上記以外			設定禁止					

注1. ビット6は，Read Onlyです。

- LVDVBAT端子電圧 $<$ 検出電圧 ($V_{LVDVBAT}$) の状態でLVDVBATENビットに1を設定した場合，安定時間 (500 μ s) が経過するまではLVDVBATFビットは不定になります。
- INTLVDBAT発生を禁止するため，以下の手順が必要です。

図32-12 LVDVBAT端子電圧検出機能禁止時の設定手順



32.3.5 VRTC端子電圧検出制御レジスタ (LVDVRTC)

VRTC端子の電圧検出機能の動作許可／禁止、および検出電圧を設定するレジスタです。

LVDVRTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図32-13 VRTC端子電圧検出制御レジスタ (LVDVRTC) のフォーマット

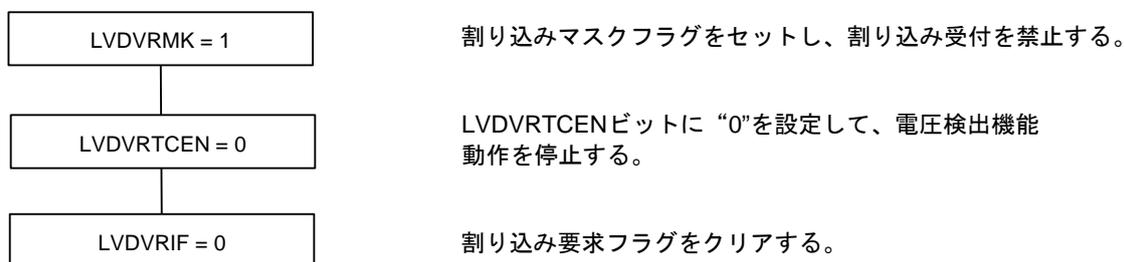
アドレス : F0334H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0	
LVDVRTC	LVDVRTCEN	LVDVRTCF	0	0	0	0	LVDVRTC1	LVDVRTC0	
LVDVRTCEN	VRTC端子電圧検出機能動作許可／禁止								
0	VRTC端子の電圧検出機能動作禁止 ^{注3}								
1	VRTC端子の電圧検出機能動作許可								
LVDVRTCF ^{注2}	VRTC端子電圧検出フラグ								
0	VRTC端子電圧 ≥ 検出電圧 (V _{LVDVRTC}) , または電圧検出機能動作禁止								
1	VRTC端子電圧 < 検出電圧 (V _{LVDVRTC})								
LVDVRTC1	LVDVRTC0	検出電圧 (V _{LVDVRTC})							
		立ち上がり			立ち下がり				
0	0	2.22 V			2.16 V				
0	1	2.43 V			2.37 V				
1	0	2.63 V			2.57 V				
1	1	2.84 V			2.78 V				

注1. ビット6は、Read Onlyです。

- VRTC端子電圧 < 検出電圧 (V_{LVDVRTC}) の状態でLVDVRTCENビットに1を設定した場合、安定時間 (300 μs) が経過するまではLVDVRTCFビットは不定になります。
- INTLVDRVC発生を禁止するため、以下の手順が必要です。

図32-14 VRTC端子電圧検出機能禁止時の設定手順



32.3.6 EXLVD端子電圧検出制御レジスタ (LVDEXLVD)

EXLVD端子の電圧検出機能の動作許可／禁止，および検出電圧を設定するレジスタです。

LVDEXLVDレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図32-15 EXLVD端子電圧検出制御レジスタ (LVDEXLVD) のフォーマット

アドレス：F0335H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
LVDEXLVD	LVDEXLV DEN	LVDEXLV DF	0	0	0	0	0	0

LVDEXLV DEN	EXLVD端子電圧検出機能動作許可／禁止
0	EXLVD端子の電圧検出機能動作禁止 ^{注3}
1	EXLVD端子の電圧検出機能動作許可

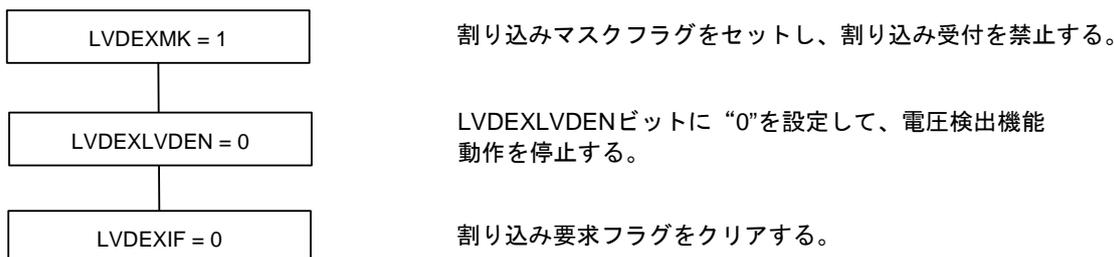
LVDEXLV DF 注2	EXLVD端子電圧検出フラグ
0	EXLVD端子電圧 \geq 検出電圧 ($V_{LVDEXLVD}$)，または電圧検出機能動作禁止
1	EXLVD端子電圧 $<$ 検出電圧 ($V_{LVDEXLVD}$)

検出電圧 ($V_{LVDEXLVD}$)	
立ち上がり	立ち下がり
1.33 V (固定)	1.28 V (固定)

注1. ビット6は，Read Onlyです。

- EXLVD端子電圧 $<$ 検出電圧 ($V_{LVDEXLVD}$) の状態でLVDEXLV DENビットに1を設定した場合，安定時間 (300 μ s) が経過するまではLVDEXLV DFビットは不定になります。
- INTLVDEXLVD発生を禁止するため，以下の手順が必要です。

図32-16 EXLVD端子電圧検出機能禁止時の設定手順



32.4 電圧検出回路の動作

32.4.1 リセット・モードとして使用する場合の設定

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1, 1））と初期検出電圧（V_{LVD}）の設定は、オプション・バイト000C1Hで設定します。検出電圧はLVISレジスタで変更可能です。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は、“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、**32.3.2 電圧検出レベル・レジスタ（LVIS）**を参照してください。
 - ビット7（LVIMD）は“1”（リセット・モード）
 - ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

●LVDリセット・モードの動作

リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）は、電源投入時、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えると内部リセットを解除します。

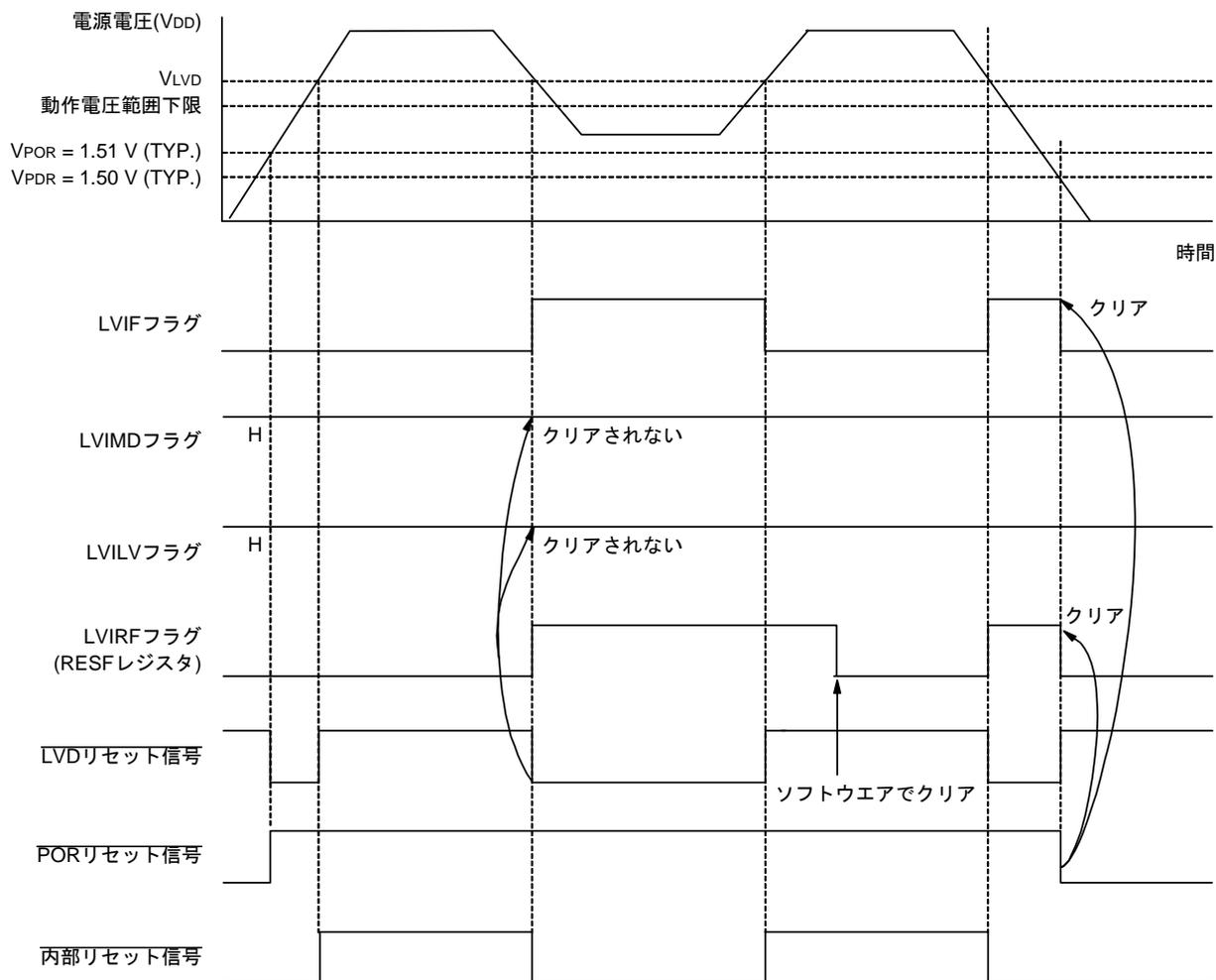
動作電圧降下時は電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を下回るとLVDによる内部リセットが発生します。

LVDリセット発生時のリセット解除電圧は、オプション・バイトで設定した検出電圧と、LVISレジスタで設定した検出電圧の高い方の電圧になります。電源電圧が電圧検出レベルを超えるまでLVDによる内部リセット状態を保ちます。

LVDリセット以外のリセットでのリセット解除電圧は、オプション・バイトで設定した電圧検出レベルになります。

図32-17に、LVDリセット・モードの内部リセット信号発生タイミングを示します。

図32-17 内部リセット信号発生タイミング (オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)



備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

32.4.2 割り込みモードとして使用する場合の設定

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と初期検出電圧（ V_{LVD} ）の設定は、オプション・バイト000C1Hで設定します。検出電圧はLVISレジスタで変更可能です。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は、“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、**32.3.2 電圧検出レベル・レジスタ（LVIS）**を参照してください。
 - ビット7（LVIMD）は“0”（割り込みモード）
 - ビット0（LVILV）は“1”（電圧検出レベル： V_{LVD} ）

●LVD割り込みモードの動作

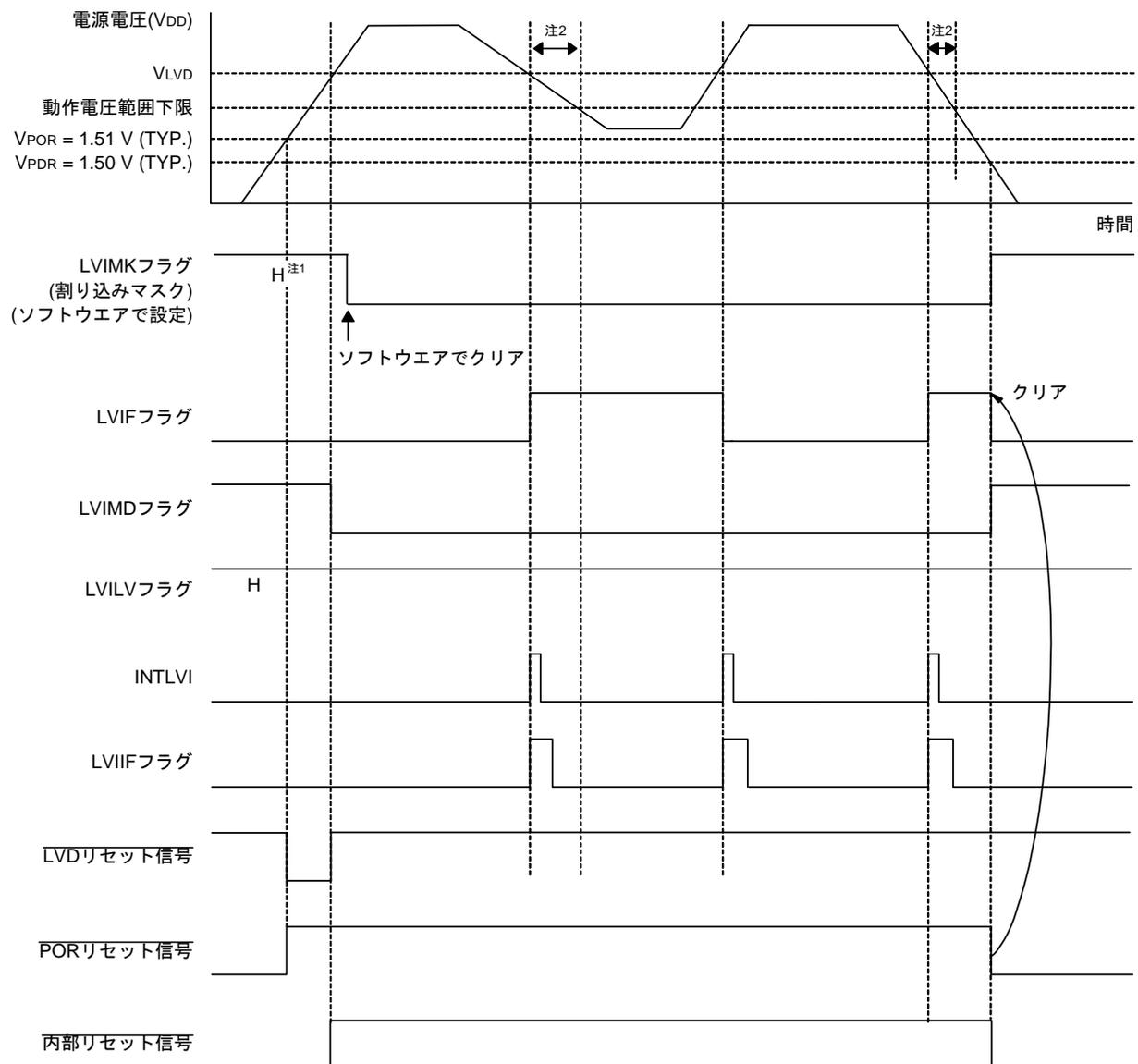
割り込みモード（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）では、リセット発生直後、電源電圧（ V_{DD} ）が電圧検出レベル（ V_{LVD} ）を上回るまではLVDによる内部リセット状態を保ちます。動作電圧（ V_{DD} ）が電圧検出レベル（ V_{LVD} ）を上回るとLVDによる内部リセットを解除します。

LVDの内部リセット解除後は、電源電圧（ V_{DD} ）が電圧検出レベル（ V_{LVD} ）を超えるとLVDによる割り込み要求信号（INTLVD）が発生します。動作電圧降下時は、**43.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

検出レベルを変更するなどLVISENビットを1にした（LVDをマスクした）後、LVISEN = 0にした時に、電源電圧（ V_{DD} ）が電圧検出レベル（ V_{LVD} ）を下回っていた場合、LVDによる割り込み要求信号（INTLVI）が発生します。

図32-18に、LVD割り込みモードの割り込み要求信号発生のタイミングを示します。

図32-18 割り込み信号発生タイミング (オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

- 動作電圧降下時は、43.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

32.4.3 割り込み&リセット・モードとして使用時の設定

動作モード（割り込み&リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（VLVDH, VLVDL）の設定は、オプション・バイト000C1Hで設定します。検出電圧をLVISレジスタで変更する操作は禁止です。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は、“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、**32.3.2 電圧検出レベル・レジスタ（LVIS）**を参照してください。ビット7（LVIMD）は“0”（割り込みモード）、ビット0（LVILV）は“0”（高電圧検出レベル：VLVDH）

●LVD割り込み&リセット・モードの動作

割り込み&リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）は、電源投入時、電源電圧（V_{DD}）が高電圧検出レベル（VLVDH）を超えるまではLVDによる内部リセット状態を保ちます。

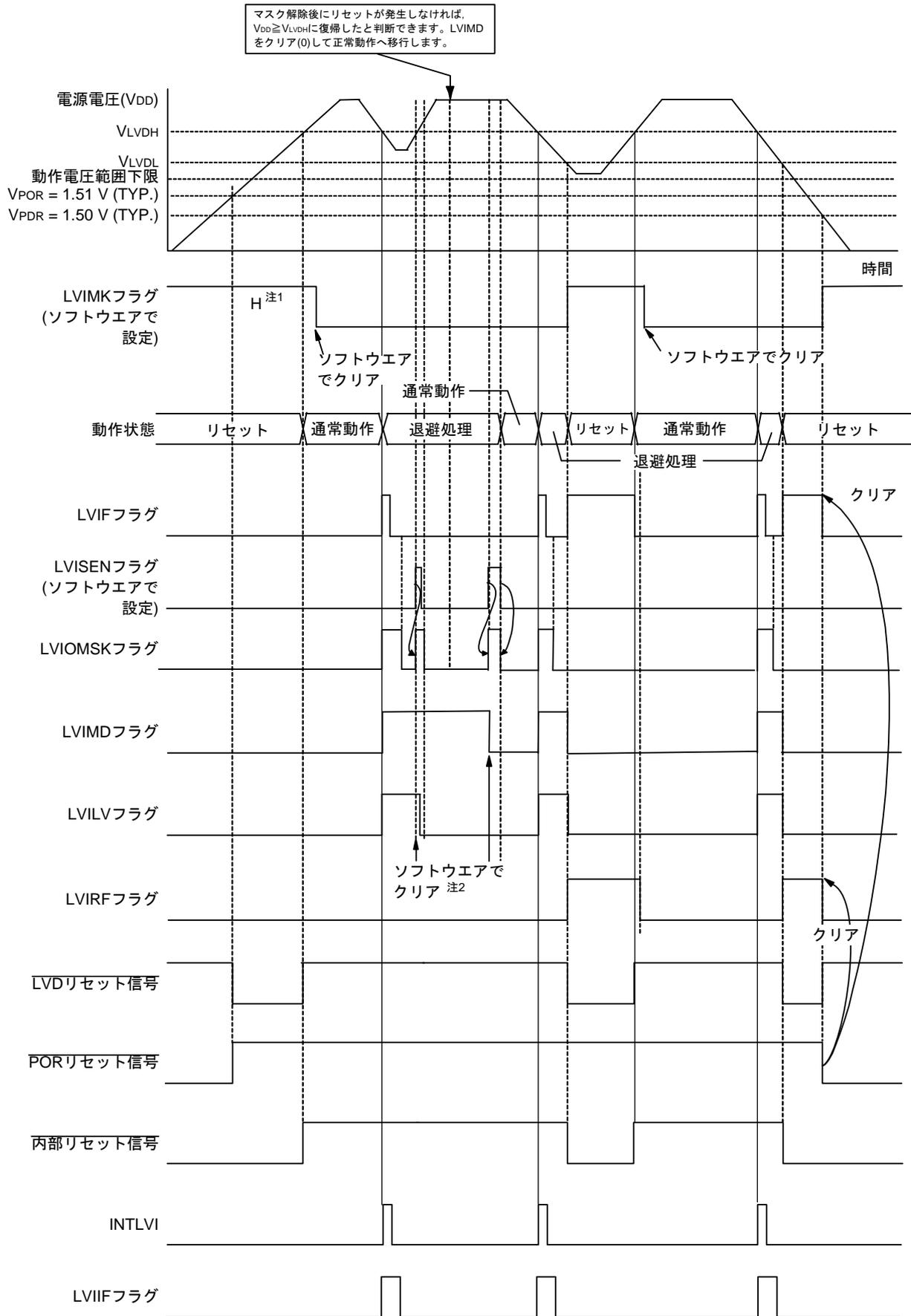
電源電圧（V_{DD}）が高電圧検出レベル（VLVDH）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（V_{DD}）が高電圧検出レベル（VLVDH）を下回るとLVDによる割り込み要求信号（INTLVI）が発生し、任意の退避処理を行うことができます。その後、電源電圧（V_{DD}）が低電圧検出レベル（VLVDL）を下回るとLVDによる内部リセットが発生します。ただし、INTLVI発生後、電源電圧（V_{DD}）が低電圧検出電圧（VLVDL）を下回らずに高電圧検出電圧（VLVDH）以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み&リセット・モードを使用する場合は、“**図 32-20 動作電圧確認／リセットの設定手順**”に従って設定をしてください。

図32-19に、LVD割り込み&リセット・モードの内部リセット信号と割り込み信号発生タイミングを示します。

図32-19 割り込み&リセット信号発生タイミング (オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (1/2)

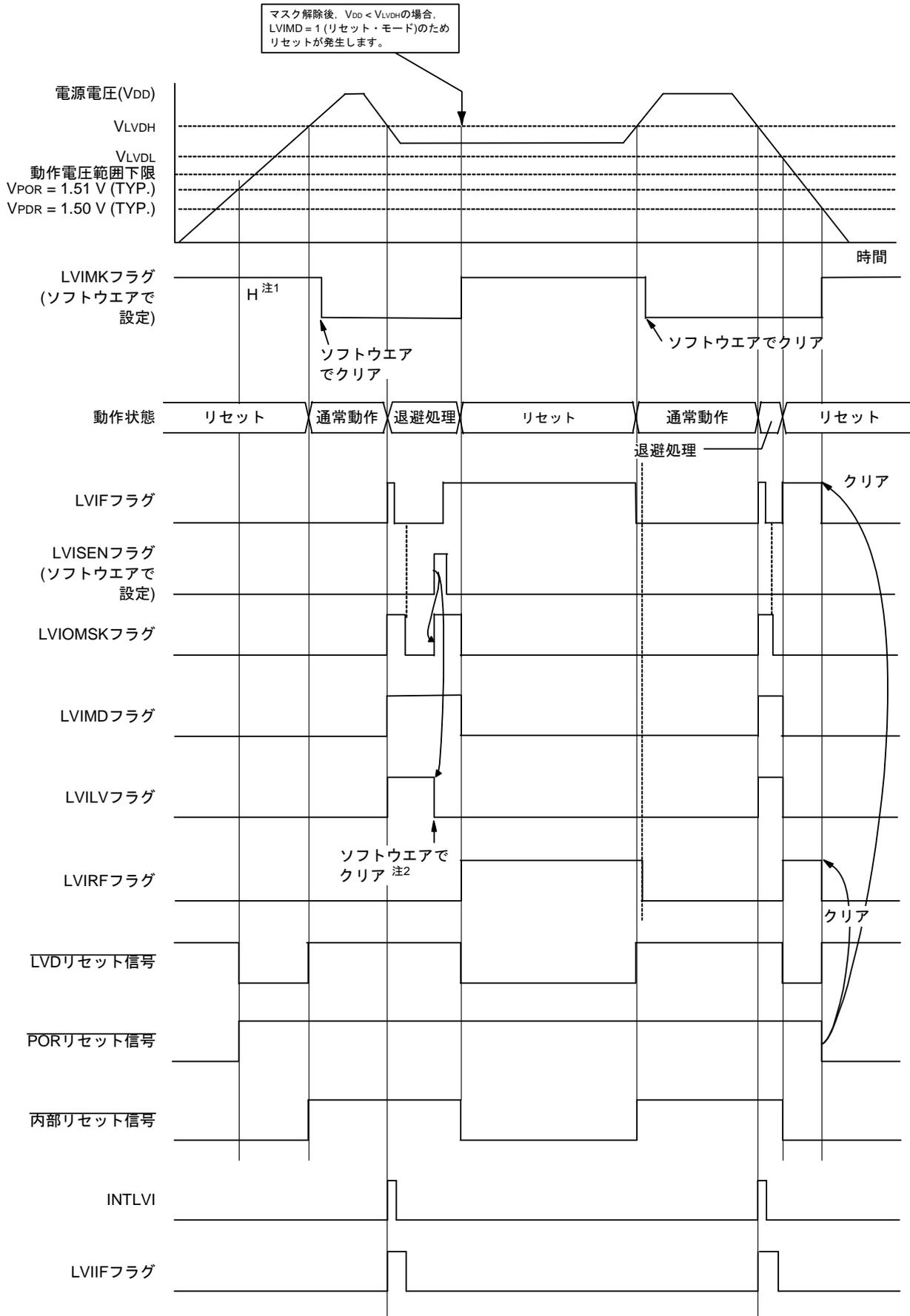


(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み&リセット・モード使用時、割り込み発生後は、**図32-20 動作電圧確認／リセットの設定手順**に従って実施してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図32-19 割り込み&リセット信号発生タイミング (オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (2/2)

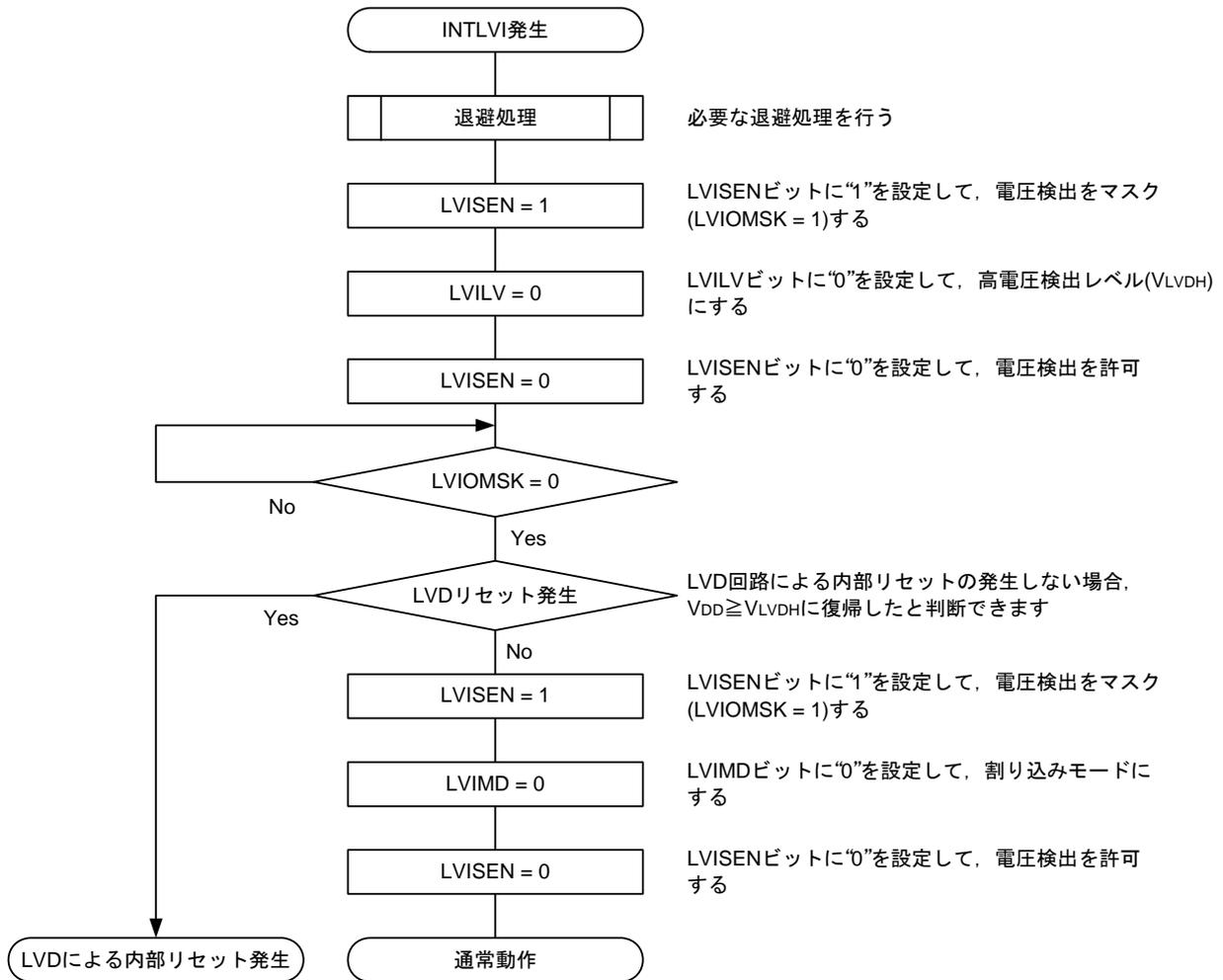


(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により, “1”になっています。
- 2. 割り込み&リセット・モード使用時, 割り込み発生後は, 図32-20 動作電圧確認/リセットの設定手順に従って実施してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図32-20 動作電圧確認/リセットの設定手順

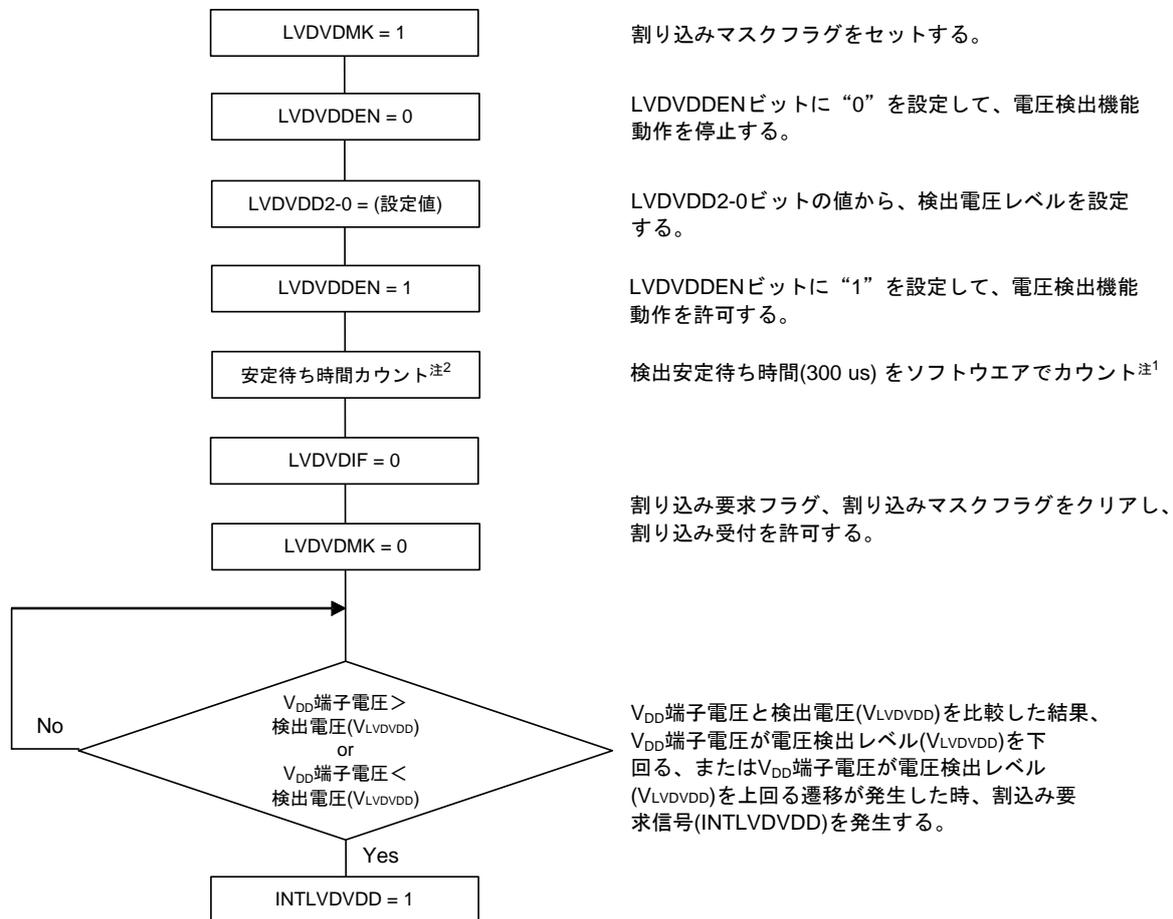


32.4.4 各電源端子電圧検出の設定手順

(1) V_{DD}

V_{DD}端子電圧検出の設定手順を示します。

図32-21 V_{DD}端子電圧検出の設定手順



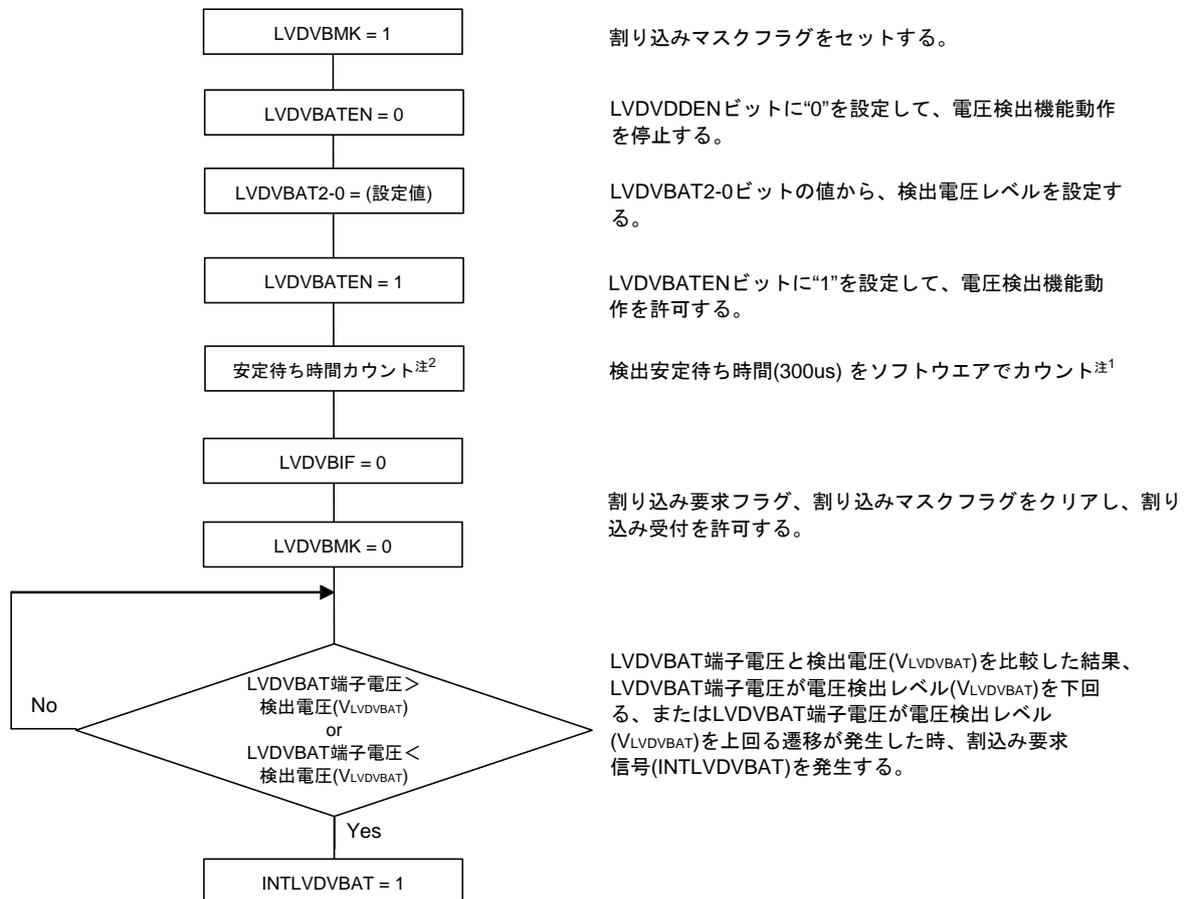
注1. 検出電圧レベルの設定が、端子電圧<検出電圧の場合、必須です。

2. LVDVDDENビットを1に設定して電圧検出機能を有効にした後に、他の処理動作で安定待ち時間を確保するなら、カウント処理は不要です。

(2) LVDVBAT

LVDVBAT端子電圧検出の設定手順を示します。

図32-22 LVDVBAT端子電圧検出の設定手順



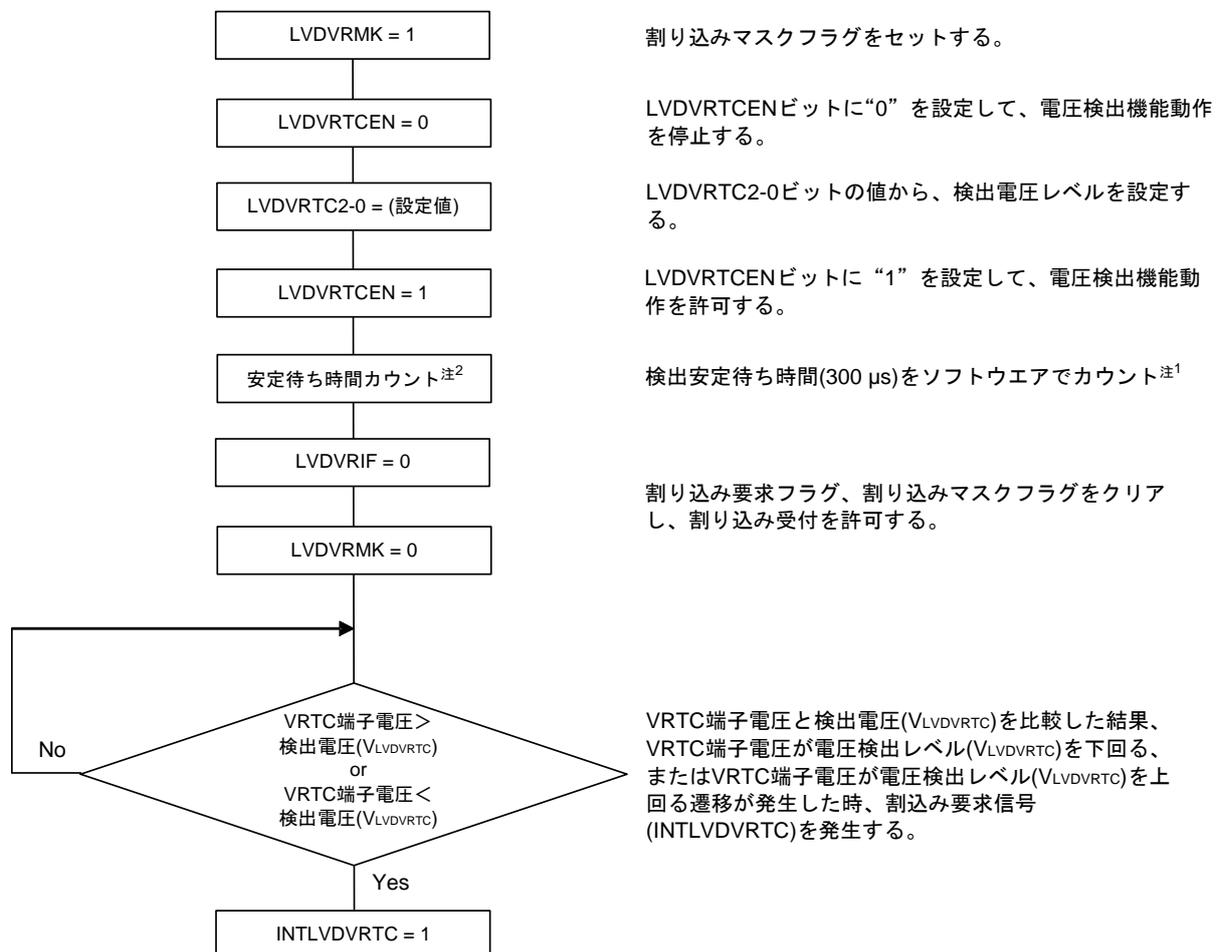
注1. 検出電圧レベルの設定が、端子電圧<検出電圧の場合、必須です。

2. LVDVBATENビットを1に設定して電圧検出機能を有効にした後に、他の処理動作で安定待ち時間を確保するなら、カウント処理は不要です。

(3) VRTC

VRTC端子電圧検出の設定手順を示します。

図32-23 VRTC端子電圧検出の設定手順



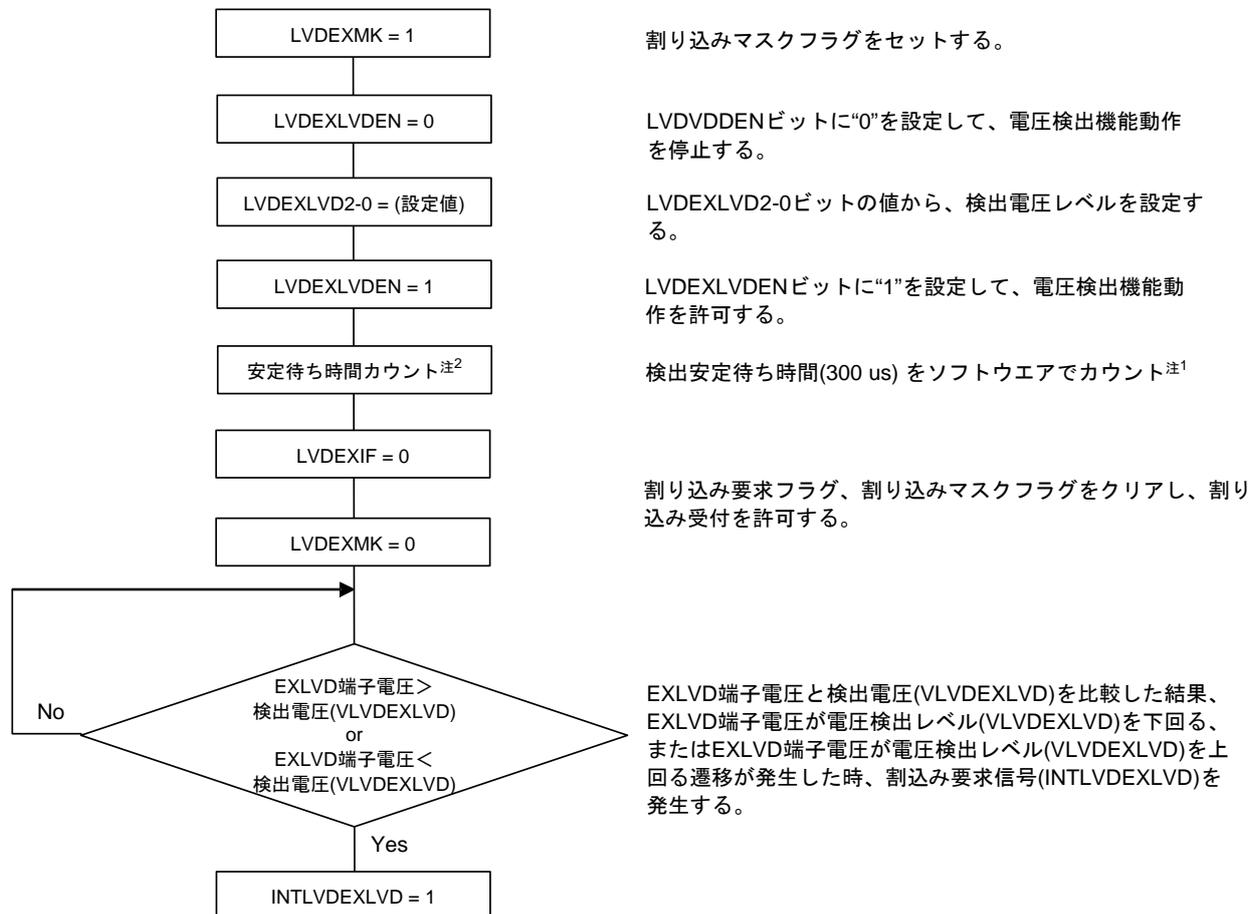
注1. 検出電圧レベルの設定が、端子電圧<検出電圧の場合、必須です。

2. LVDVRTCENビットを1に設定して電圧検出機能を有効にした後に、他の処理動作で安定待ち時間を確保するなら、カウント処理は不要です。

(4) EXLVD

EXLVD端子電圧検出の設定手順を示します。

図32-24 EXLVD端子電圧検出の設定手順



注1. 検出電圧レベルの設定が、端子電圧<検出電圧の場合、必須です。

2. LVDEXLV DENビットを1に設定して電圧検出機能を有効にした後に、他の処理動作で安定待ち時間を確保するなら、カウンタ処理は不要です。

32.5 LVD検出電圧の設定変更

ソフトウェアによりLVDの検出電圧を変更する場合は、以下の手順で変更してください。

LVD検出電圧は割り込みモード、リセット・モードで変更可能です。

割り込み&リセット・モードでは、LVD検出電圧値の変更はできません。初期値（オプション・バイト設定値）から変更しないでください。

ソフトウェアによってLVISレジスタLVISEL4~LVISEL0を変更して、2種類以上のLVD検出電圧を使用する場合、使用するLVD検出電圧のうち最も高い電圧値をオプション・バイト（000C1H）のVPOC2~VPOC0, LVIS1, LVIS0ビットに必ず設定してください。

図32-25 LVD検出電圧設定変更

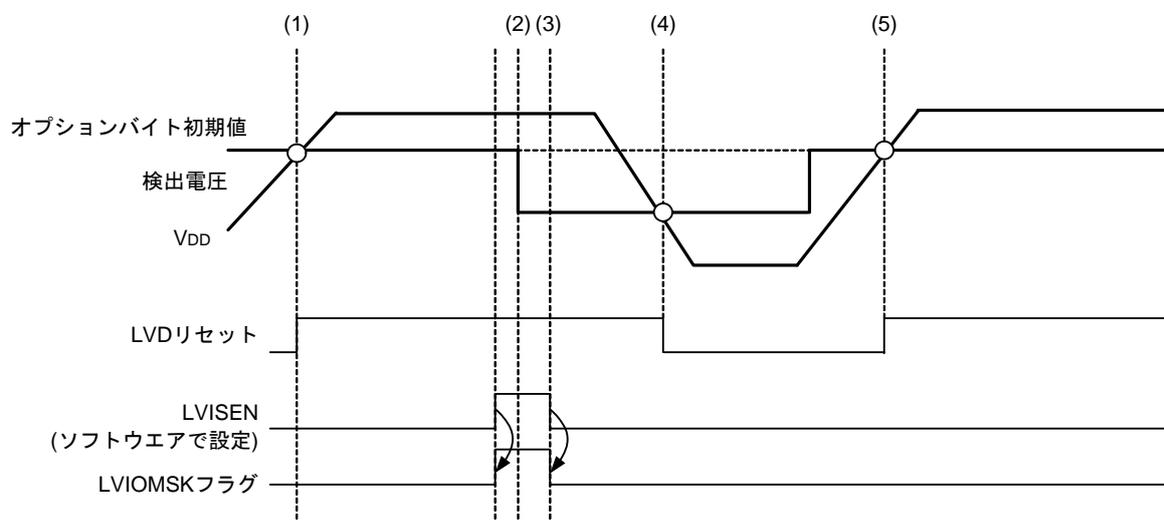


注 LVISEN = 0設定後、 $V_{LVD} > V_{DD}$ ならばLVD検出し、リセット／割り込みが発生します。

32.5.1 LVDリセット・モード時のLVD検出電圧の設定変更

図32-26にLVDリセット・モード時のLVD検出電圧設定変更タイミング例を示します。

図32-26 LVDリセット・モード時のLVD検出電圧設定変更タイミング例



■動作

- (1) 電源立ち上がりはオプション・バイトで設定した検出電圧でリセット解除
- (2) LVDレジスタ変更
- (3) ソフトウェアにて安定待ち完了 ((2) より400 μ sまたはf_{clk}の5クロック)
- (4) LVD検出 (立ち下がり) はLVDレジスタで設定した検出電圧
- (5) LVDリセット解除 (立ち上がり) はオプション・バイトで設定した検出電圧

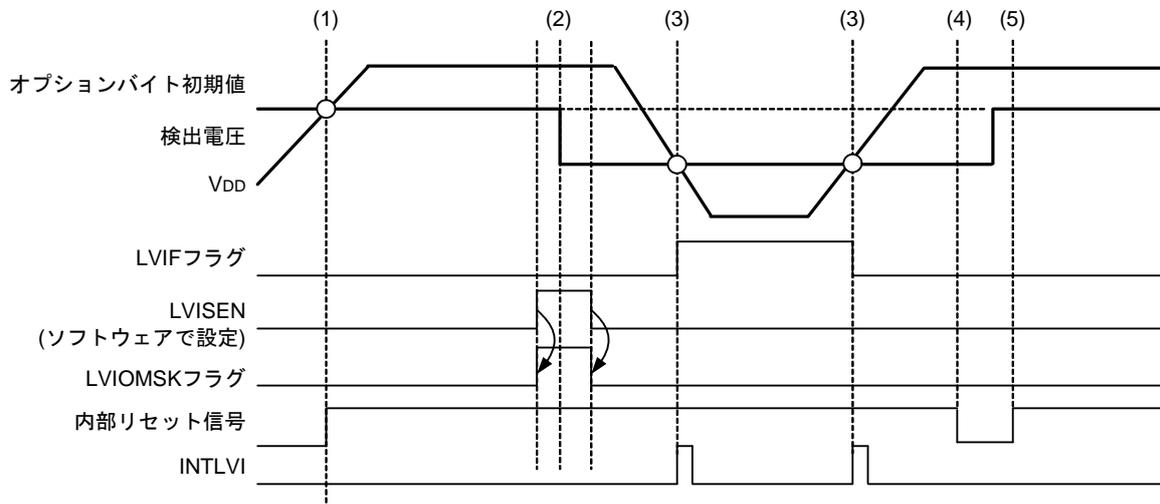
LVDリセット時のLVD検出電圧の設定を変更する際は、以下に注意してください。

注意 LVDリセット・モード時のリセット解除電圧は、オプション・バイト設定値となります。

32.5.2 LVD割り込みモード時のLVD検出電圧の設定変更

図32-27にLVD割り込みモード時のLVD検出電圧設定変更タイミング例を示します。

図32-27 LVD割り込みモード時のLVD検出電圧設定変更タイミング例

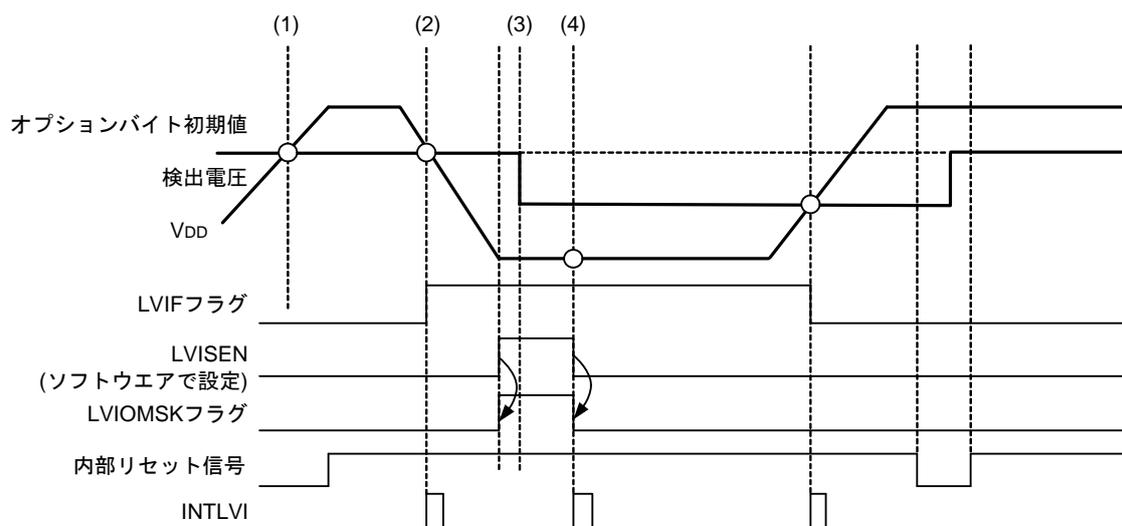


■動作

- (1) 電源立ち上がりはオプション・バイトで設定したLVD検出電圧でリセット解除
- (2) LVDISレジスタ変更
- (3) LVD検出（立ち下がり、立ち上がり）はLVDISレジスタで設定した検出電圧
- (4) 内部リセット発生
- (5) 内部リセット解除時にはオプション・バイト設定値に戻る。

LVD割り込みモード時にLVD検出電圧の設定を変更する際は、以下に注意してください。

- 注意1.** 全リセット発生直後、LVDの内部リセットは $V_{DD} \geq V_{LVD}$ （オプション・バイト設定値）になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ （オプション・バイト設定値）を検出してLVDの内部リセットは解除されます。それ以降は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号（INTLVI）を発生します。
- 2.** $V_{DD} < V_{LVD}$ でLVDISレジスタのLVDISEL4～LVDISEL0によりLVD設定電圧を変更した場合、マスク解除時（LVIEN = 0）にLVD割り込みが発生します（図32-28参照）。

図32-28 $V_{DD} < V_{LVD}$ 時, LVISによるLVD検出電圧の設定変更タイミング例

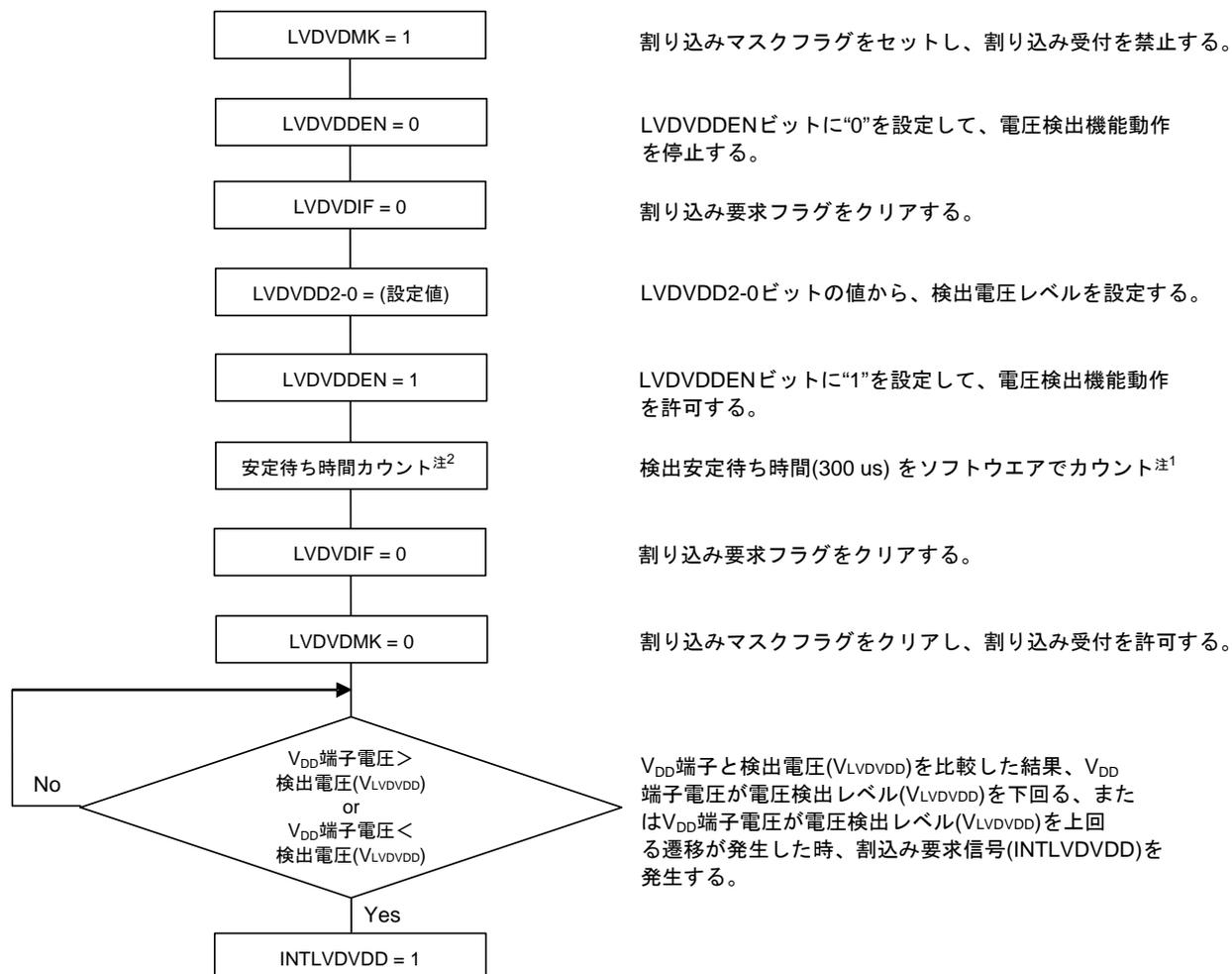
■動作

- (1) 電源立ち上がりはオプション・バイトで設定したLVD検出電圧でリセット解除
- (2) LVD検出（立ち下がり）はオプション・バイトで設定した検出電圧
- (3) LVISレジスタ変更
- (4) マスク解除同時に $V_{DD} < V_{LVD}$ であるなら割り込みが発生

32.5.3 各電源端子電圧検出のLVD検出電圧の設定変更

電圧検出時に、LVD検出電圧レベルを変更する際の手順を示します。

図32-29 LVD検出電圧の設定変更手順 (V_{DD}端子)



注1. 検出電圧レベルの設定が、端子電圧 < 検出電圧の場合、必須です。

2. LVDVDDENビットを1に設定して電圧検出機能を有効にした後に、他の処理動作で安定待ち時間を確保するなら、カウント処理は不要です。

32.6 電圧検出回路の注意事項

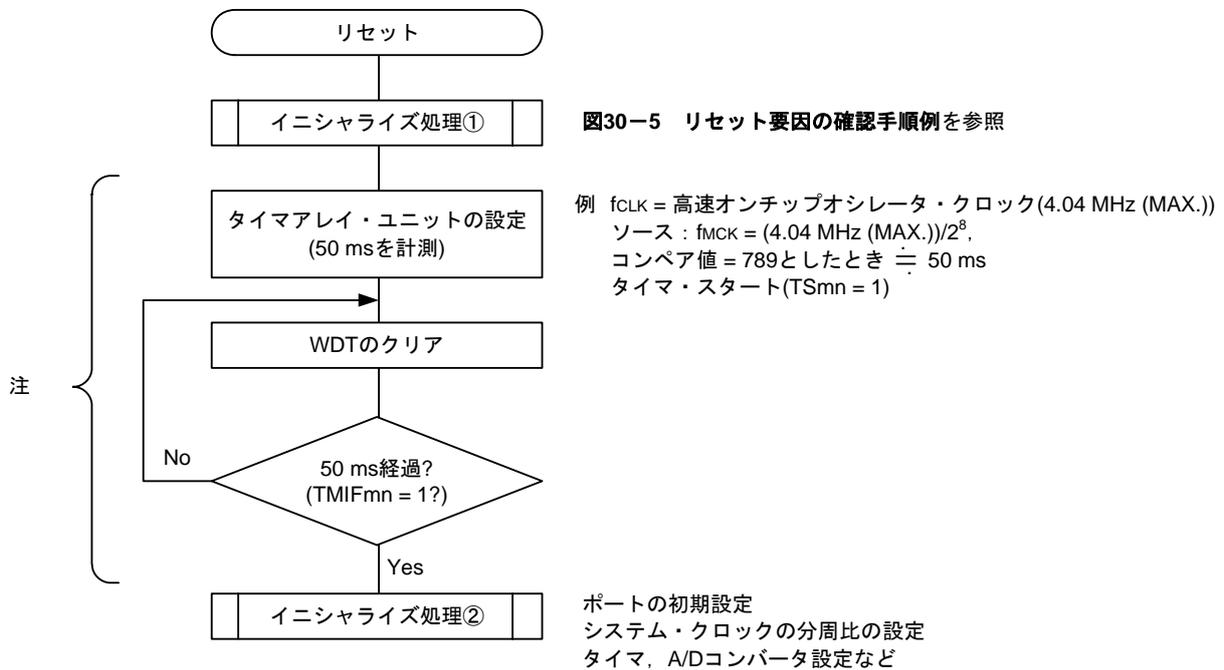
(1) 電源投入時の電圧変動について

電源電圧 (V_{DD}) がLVD検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図32-30 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



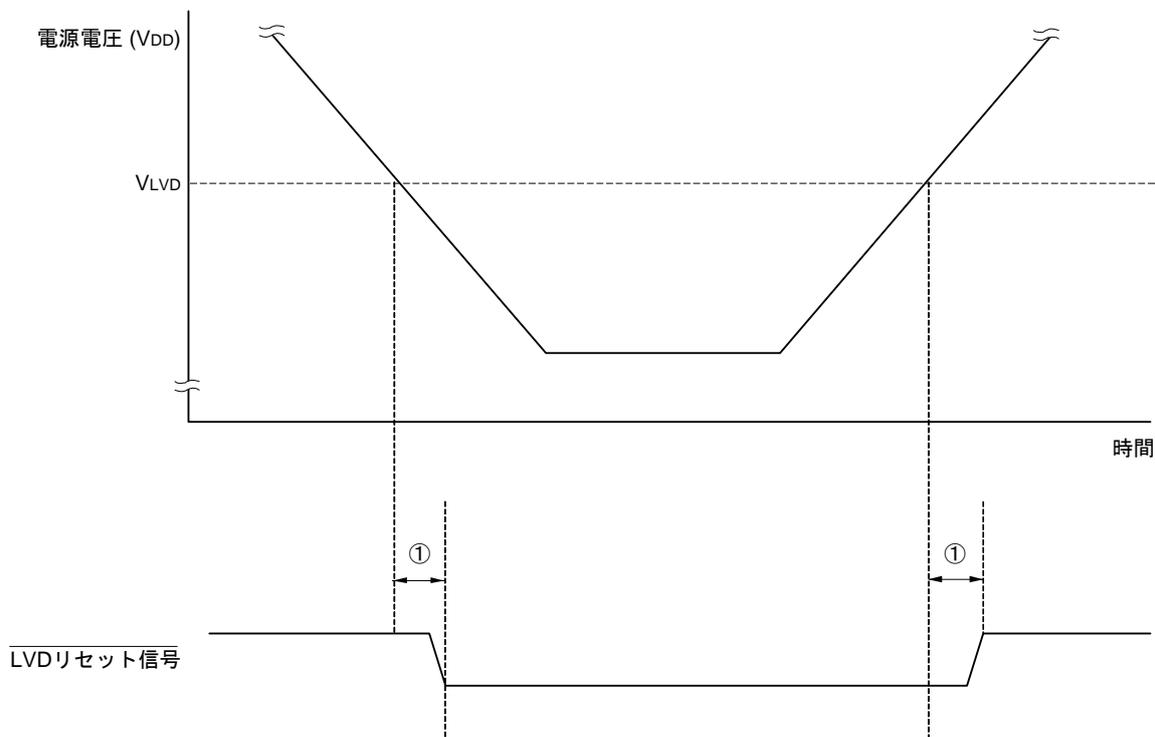
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 m = 0 n = 0-3

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVD検出電圧 (V_{LVD}) になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧 (V_{LVD}) \leq 電源電圧 (V_{DD}) になってから、LVDリセットが解除されるまでも遅延が生じます (図32-31参照)。

図32-31 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延 (300 μ s (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、**43.4 AC特性**に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、**43.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

(5) V_{DD} 遮断時について

V_{DD} が遮断した場合、VRTCが非遮断状態であってもVRTC端子電圧検出機能は使用不可となります。

第33章 発振停止検出回路

33.1 発振停止検出回路の機能

発振停止検出回路は、低速オンチップ・オシレータ・クロック (f_{IL}) でサブ・クロック (f_{SX}) の動作状態を監視し、一定期間以上の間の動作停止を検出した場合は、XT1発振回路に異常が発生したと判断し、発振停止検出割り込み信号を出力します。

発振停止検出回路は、リセット解除後にソフトウェアで動作許可する必要があります。

発振停止検出回路は、ソフトウェアで発振停止検出動作を停止します。あるいは、 $\overline{\text{RESET}}$ 端子によるリセットまたは不正命令の実行^注による内部リセットによって、発振停止検出動作を停止します。リセット発生後は、再度ソフトウェアで発振停止検出動作を許可にしてください。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

発振停止検出回路が発振停止の判断をする期間（発振停止判定時間）は発振停止検出制御レジスタ（OSDC）のOSDCCMP11-OSDCCMP0ビットで設定できます。

発振停止判定時間 = 低速オンチップ・オシレータ・クロック (f_{IL}) 周期 × ((OSDCCMP11-OSDCCMP0設定値) + 1)

- ・ OSDCCMP11-OSDCCMP0= 003H設定時 : 232 μs (MIN.) , 267 μs (TYP.) , 314 μs (MAX.)
- ・ OSDCCMP11-OSDCCMP0= FFFH設定時 : 237 ms (MIN.) , 273 ms (TYP.) , 322 ms (MAX.)

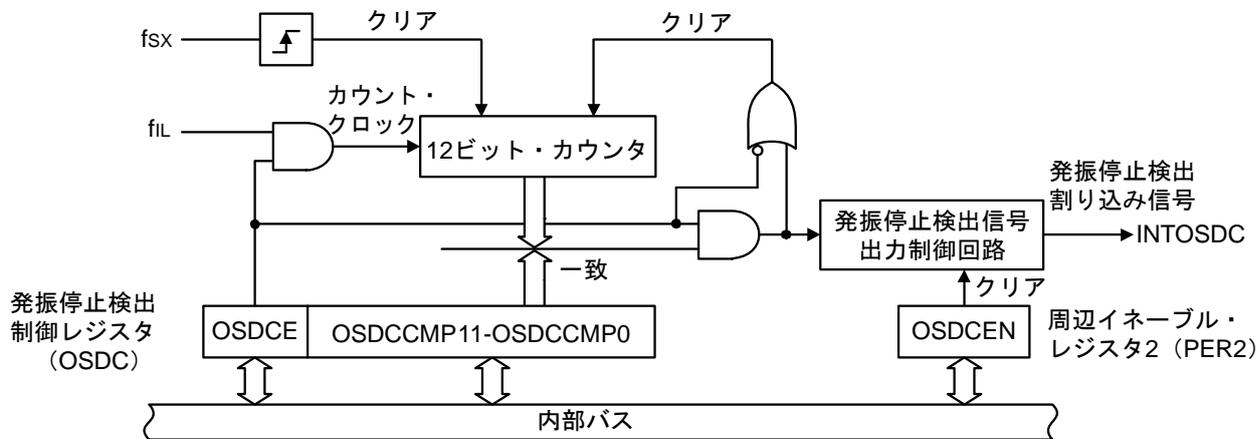
33.2 発振停止検出回路の構成

発振停止検出回路は、以下のハードウェアで構成されています。

表33-1 発振停止検出回路の構成

項目	構成
制御レジスタ	周辺イネーブル・レジスタ2 (PER2) 周辺リセット制御レジスタ2 (PRR2) サブシステム・クロック供給オプション制御レジスタ (OSMC) 発振停止検出制御レジスタ (OSDC)

図33-1 発振停止検出回路のブロック図



33.3 発振停止検出回路で使用するレジスタ

33.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

発振停止検出回路を使用するときは、必ずビット6 (OSDCEN) を1に設定してください。PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図33-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	TMKAEN	OSDCEN	UARTMG1EN	UARTMG0EN	0	MACEN	0	VRTCEN

OSDCEN	発振停止検出回路の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> 発振停止検出回路で使用するSFRへのライト不可、リードした場合は00Hが読めます。ただし、初期化はされていません。^注
1	入カクロック供給 <ul style="list-style-type: none"> 発振停止検出回路で使用するSFRへのリード／ライト可

注. 発振停止検出回路および発振停止検出回路で使用するSFRを初期化する場合、PRR2のビット6(OSDCRES)を使用してください。

注意1. 発振停止検出回路の設定をする際には、必ず最初にOSDCEN = 1の設定を行ってください。OSDCEN = 0の場合は、発振停止検出回路の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. ビット3, 1には必ず“0”を設定してください。

33.3.2 周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

発振停止検出回路をリセットする場合は、必ずビット6 (OSDCRES)を1に設定してください。

PRR2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR2レジスタは00HIになります。

図33-3 周辺リセット制御レジスタ2 (PRR2)のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR2	TMKARES	OSDCRES	UARTMG1RES	UARTMG0RES	0	MACRES	0	0

OSDCRES	発振停止検出回路のリセット制御
0	発振停止検出回路のリセット解除
1	発振停止検出回路はリセット状態

33.3.3 サブシステム・クロック供給オプション制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。RTCLPC = 1に設定すると、STOPモード時およびサブ・クロック(f_{sx})でCPU動作中のHALTモード時に、独立電源RTC、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、発振停止検出回路、周波数測定回路、シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1、タイマRJ0, 1以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタでは12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、周波数測定回路、シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1、タイマRJ0, 1の動作クロックを選択できます。

ただし、シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1の動作クロックに低速オンチップ・オシレータ・クロックを選択することはできません。シリアル・インターフェースUARTMG0, 1、サンプリング出力タイマ／ディテクタ0, 1を使用する場合は、WUTMMCK0ビットを0に設定して、動作クロックにサブ・クロック (f_{sx}) を選択してください。

OSMCレジスタは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図33-4 サブシステム・クロック供給オプション制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC ^{注4}	STOPモード時およびサブ・クロック (fsx) でCPU動作中のHALTモード時の設定
0	周辺機能へのサブ・クロック (fsx) 供給許可 (動作許可となる周辺機能については、表29-1~表29-3参照)
1	独立電源RTC, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路, LCDコントローラ/ドライバ, 発振停止検出回路, 周波数測定回路以外の周辺機能へのサブ・クロック (fsx) 供給停止

WUTMMCK0	12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバ, 周波数測定回路, タイマRJ0, 1の動作クロックの選択	周波数測定回路のカウント動作/停止トリガクロックの選択	クロック出力/ブザー出力制御回路の出力クロックの選択	シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1の動作クロックの選択
0	サブ・クロック (fsx)	サブ・クロック (fsx) を選択	サブ・クロック (fsx)	サブ・クロック (fsx)
1	低速オンチップ・オシレータ・クロック (fil) ^{注2, 3, 6, 7}	低速オンチップ・オシレータ・クロック (fil) を選択 ^{注6}	クロック出力禁止 ^{注5}	設定禁止

- 注1. ビット0-3, 5, 6には、必ず0を設定してください。
- サブ・クロック (fsx) 発振中にWUTMMCK0ビットを“1”に設定することは禁止です。
 - WUTMMCK0ビットによるサブ・クロック (fsx) と低速オンチップ・オシレータ・クロック (fil) の切り替えは、12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路, LCDコントローラ/ドライバ, 周波数測定回路, シリアル・インターフェースUARTMG0, 1, サンプリング出力タイマ/ディテクタ0, 1, タイマRJ0, 1の全ての機能が停止中のみ可能です。
 - CKSELレジスタのビット0 (SELLOSC) によりサブ・クロック (fsx) を選択 (SELLOSC = 0) してRTCLPC = 1とした場合、サブシステム・クロック (fsUB) は停止しますが、低速オンチップ・オシレータ・クロックを選択 (SELLOSC=1) してRTCLPC = 1とした場合、サブシステム・クロック (fsUB) は停止しません。
 - WUTMMCK0を“1”に設定した場合、PCLBUZn端子からクロック出力を禁止します。
 - WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロック (fil) が発振します。
 - WUTMMCK0を“1”に設定した場合、LCDコントローラ/ドライバのLCD駆動電圧生成回路は内部昇圧方式を使用できません。

33.3.4 発振停止検出制御レジスタ (OSDC)

発振停止検出回路を制御するレジスタです。発振停止検出回路の動作開始、動作停止を選択します。また、発振停止判定時間を設定します。

OSDCEビットが“0”の状態では、発振停止検出回路は動作を開始しません。

OSDCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図33-5 発振停止検出制御レジスタ (OSDC) のフォーマット

アドレス : F02D0H リセット時 : 0FFFH R/W

略号	15	14	13	12	11	10	9	8
OSDC	OSDCE	0	0	0	OSDCCMP11	OSDCCMP10	OSDCCMP9	OSDCCMP8

略号	7	6	5	4	3	2	1	0
OSDC	OSDCCMP7	OSDCCMP6	OSDCCMP5	OSDCCMP4	OSDCCMP3	OSDCCMP2	OSDCCMP1	OSDCCMP0

OSDCE	発振停止検出動作の制御
0	発振停止検出動作停止
1	発振停止検出動作開始

OSDCCMP11-OSDCCMP0	発振停止判定時間
000H ... 002H	設定禁止
003H ... FFFH	発振停止判定時間を設定します。 OSDCCMPの設定値 (A) に対し、(A-2) サイクル~最大 (A+1) サイクルの期間発振停止した場合は、発振停止と判定されます。 発振停止判定時間 = 低速オンチップ・オシレータ・クロック (f _{IL}) 周期 × ((OSDCCMP11-OSDCCMP0ビットの設定値) + 1)

注意1. OSDCCMP11-OSDCCMP0ビットの設定を変更する場合は、必ずOSDCE = 0 (発振停止検出動作停止) にしてください。

2. 発振停止検出回路は、ソフトウェアでOSDCEビットに“0” (発振停止検出動作停止) を設定、あるいはRESET端子によるリセットまたは不正命令の実行^注による内部リセットによって発振停止検出動作を停止します。

また、内部リセットの発生によりXT1発振クロックの発振も停止するため、リセット発生後は、再度ソフトウェアでXT1発振クロックの発振を再開させたあと、発振停止検出動作を許可にしてください。

3. ビット14-12には必ず“0”を設定してください。

注 FFFHの命令コードを実行したときに発生します。

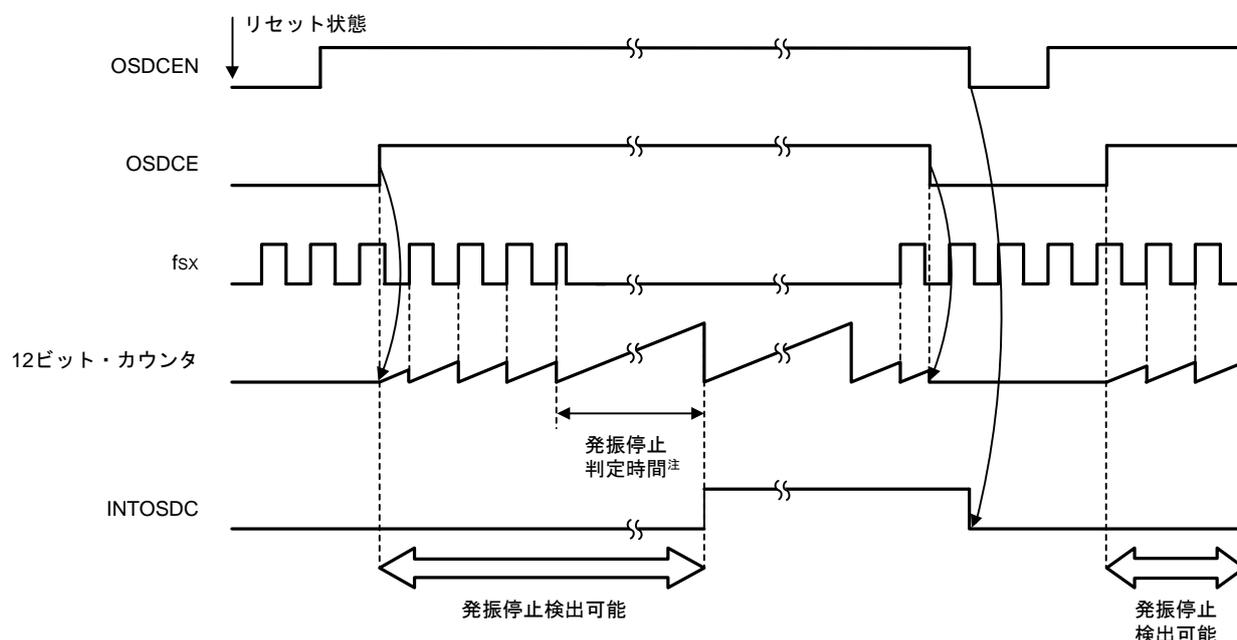
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

33.4 発振停止検出回路の動作

33.4.1 発振停止検出回路の動作方法

1. 外部リセット解除後，サブ・クロック（fsx）の発振を開始します。
2. 発振停止検出制御レジスタ（OSDC）に書き込みを行うことにより，発振停止検出回路が動作を開始します。
3. 発振停止検出回路が動作中に，サブ・クロック（fsx）が発振停止判定時間以上連続して停止すると，発振停止検出割り込み（INTOSDC）を出力します。

図33-6 発振停止検出回路のタイミング



注 OSDCCMPの設定値（A）に対し，（A-2）サイクル～最大（A+1）サイクルの期間発振停止した場合は，発振停止と判定されます。

33.5 発振停止検出機能使用時の注意事項

発振停止検出回路は、ウォッチドッグ・タイマと一緒に使用してください。

発振停止検出は、次のいずれかの条件で使用できます。

- ・ オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) を “1” , OSMCレジスタのビット4 (WUTMMCK0) を “0” に設定した場合
- ・ OSMCレジスタのビット4 (WUTMMCK0) を “1” に設定した場合

第34章 安全機能

34.1 安全機能の概要

★

安全規格IEC60730に対応するため、RL78/I1C (512 KB) では以下の安全機能を搭載しています。
この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能 (高速CRC, 汎用CRC)

CRC演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて、以下の2つのCRCを使い分けていただくことができます。

- ・「高速CRC」… 初期設定ルーチンの中で、CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- ・「汎用CRC」… CPU動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

(2) RAMパリティ・エラー検出機能

RAMをデータとして読み出すとき、パリティ・エラーを検出します。

(3) RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

(4) SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域 (メモリが存在しない、アクセスが制限されている領域) への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。

(7) A/Dテスト機能

12ビットA/Dコンバータの内部で生成する0 V, 基準電源×1/2, 基準電源の3つの電圧値のうち1つをA/D変換することにより、12ビットA/Dコンバータの自己チェックができます。

(8) 入出力端子のデジタル出力信号レベル検出機能

入出力端子が出力モード時に、端子の出力レベルをリードすることができます。

備考 安全規格IEC60730に対応する安全機能の使用例は、**RL78 MCU シリーズのIEC60730/60335 セルフテスト・ライブラリ アプリケーションノート (R01AN1062, R01AN1296)** を参照してください。

34.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ (CRC0CTL) ・フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	フラッシュ・メモリCRC演算機能 (高速CRC)
・CRC入力レジスタ (CRCIN) ・CRCデータ・レジスタ (CRCD)	CRC演算機能 (汎用CRC)
・RAMパリティ・エラー制御レジスタ (RPECTL)	RAMパリティ・エラー検出機能
・不正メモリ・アクセス検出制御レジスタ (IAWCTL)	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0 (TIS0)	周波数検出機能
・A/D自己診断データレジスタ (ADRD)	A/Dテスト機能
・ポート・モード選択レジスタ (PMS)	入出力ポートのデジタル出力信号レベル検出機能

各レジスタの内容については、34.3 安全機能の動作の中で説明します。

34.3 安全機能の動作

34.3.1 フラッシュ・メモリCRC演算機能 (高速CRC)

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定 (イニシャライズ) ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です (例 フラッシュ・メモリ32 KB: 341 μ s@24 MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

34.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図34-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL) のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	0	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA4	FEA3	FEA2	FEA1	FEA0	CRC演算範囲
0	0	0	0	0	00000H-03FFBH (16 K-4バイト)
0	0	0	0	1	00000H-07FFBH (32 K-4バイト)
0	0	0	1	0	00000H-0BFFBH (48 K-4バイト)
0	0	0	1	1	00000H-0FFFH (64 K-4バイト)
0	0	1	0	0	00000H-13FFBH (80 K-4バイト)
0	0	1	0	1	00000H-17FFBH (96 K-4バイト)
0	0	1	1	0	00000H-1BFFBH (112 K-4バイト)
0	0	1	1	1	00000H-1FFFH (128 K-4バイト)
0	1	0	0	0	00000H-23FFBH (144 K-4バイト)
0	1	0	0	1	00000H-27FFBH (160 K-4バイト)
0	1	0	1	0	00000H-2BFFBH (176 K-4バイト)
0	1	0	1	1	00000H-2FFFH (192 K-4バイト)
0	1	1	0	0	00000H-33FFBH (208 K-4バイト)
0	1	1	0	1	00000H-37FFBH (224 K-4バイト)
0	1	1	1	0	00000H-3BFFBH (240 K-4バイト)
0	1	1	1	1	00000H-3FFFH (256 K-4バイト)
1	0	0	0	0	00000H-43FFBH (272 K-4バイト)
1	0	0	0	1	00000H-47FFBH (288 K-4バイト)
1	0	0	1	0	00000H-4BFFBH (304 K-4バイト)
1	0	0	1	1	00000H-4FFFH (320 K-4バイト)
1	0	1	0	0	00000H-53FFBH (336 K-4バイト)
1	0	1	0	1	00000H-57FFBH (352 K-4バイト)
1	0	1	1	0	00000H-5BFFBH (368 K-4バイト)
1	0	1	1	1	00000H-5FFFH (384 K-4バイト)
1	1	0	0	0	00000H-63FFBH (400 K-4バイト)
1	1	0	0	1	00000H-67FFBH (416 K-4バイト)
1	1	0	1	0	00000H-6BFFBH (432 K-4バイト)
1	1	0	1	1	00000H-6FFFH (448 K-4バイト)
1	1	1	0	0	00000H-73FFBH (464 K-4バイト)
1	1	1	0	1	00000H-77FFBH (480 K-4バイト)
1	1	1	1	0	00000H-7BFFBH (496 K-4バイト)
1	1	1	1	1	00000H-7FFFH (512 K-4バイト)

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

34.3.1.2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図34-2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

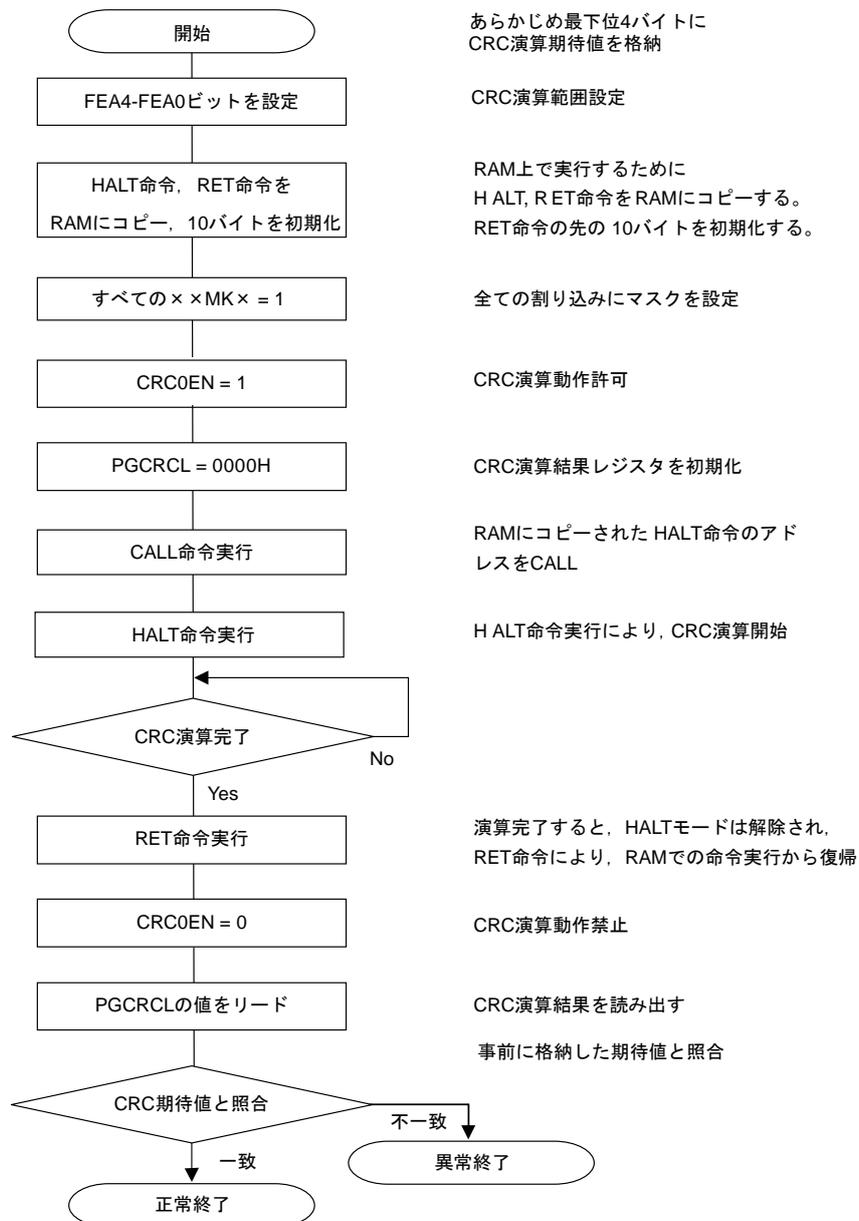
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-0		高速CRC演算結果					
	0000H-FFFFH		高速CRC演算結果を格納					

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能 (高速CRC) のフロー・チャートを図34-3に示します。

<動作フロー>

図34-3 フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



- 注意1.** CRC演算の対象は、コード・フラッシュのみです。
- CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。
 - RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

CRC演算の期待値は、総合開発環境 CS+を使用して算出することができます。詳細は、CS+ 総合開発環境ユーザーズマニュアルを参照してください。

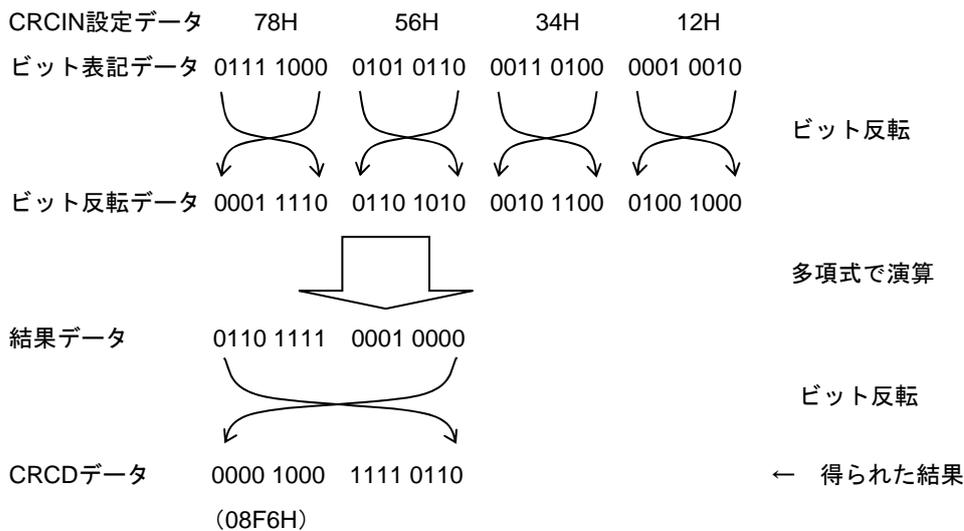
34.3.2 CRC演算機能（汎用CRC）

★

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は、DTC転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

34.3.2.1 CRC 入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図34-4 CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0			機能				
	00H-FFH			データ入力				

34.3.2.2 CRC データ・レジスタ (CRCD)

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

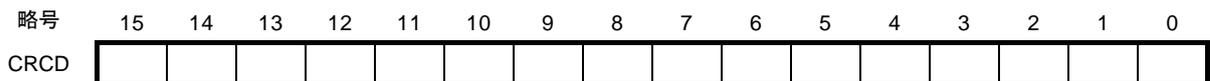
CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (f_{CLK}) の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図34-5 CRCデータ・レジスタ (CRCD) のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

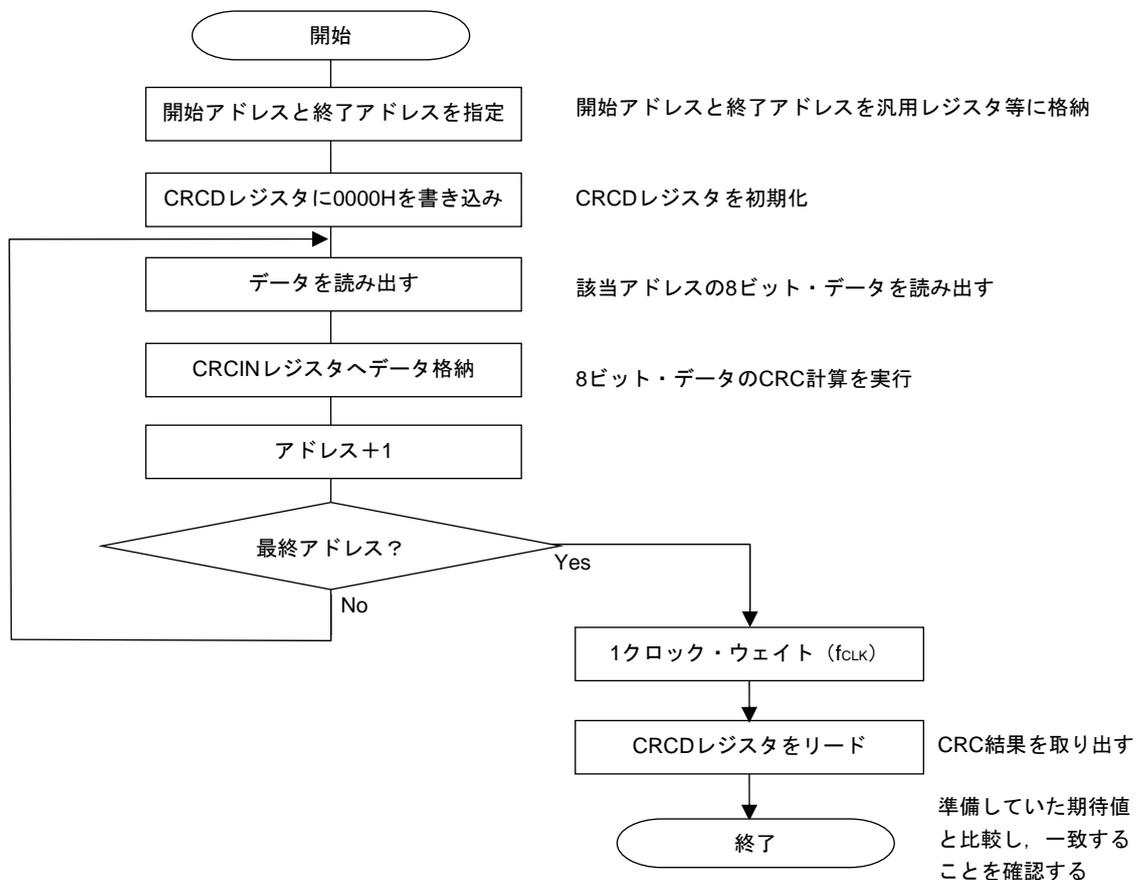


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図34-6 CRC演算機能 (汎用CRC) のフロー・チャート



34.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/I1C (512 KB) のRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

34.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図34-7 RAMパリティ・エラー制御レジスタ (RPECTL) のフォーマット

アドレス : F00F5H リセット時 : 00H R/W

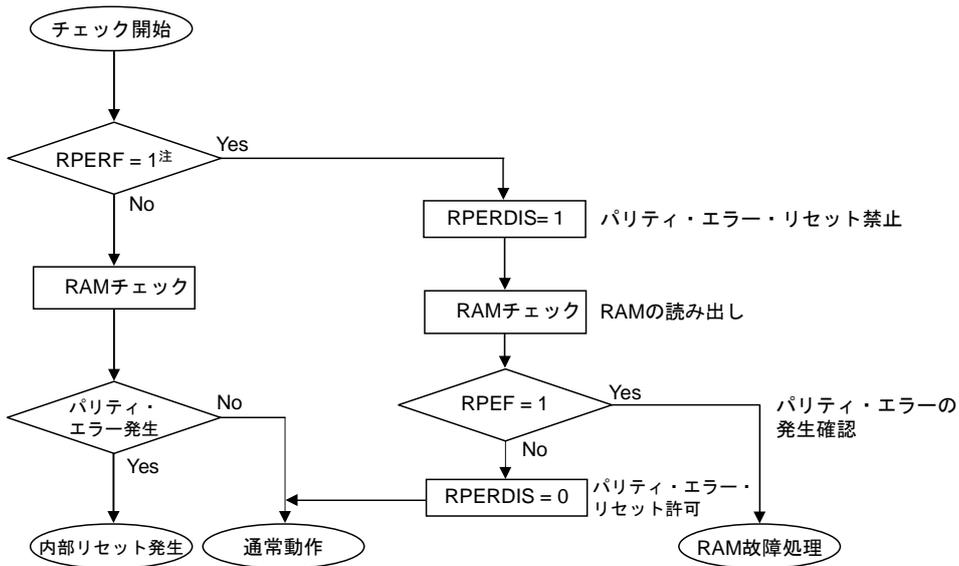
略号	[7]	6	5	4	3	2	1	[0]
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。

備考1. 初期状態では、パリティ・エラー・リセット発生許可 (RPERDIS = 0) になっています。

2. パリティ・エラー・リセット発生禁止 (RPERDIS = 1) を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット (1) されます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可 (RPERDIS = 0) に設定すると、RPERDISをクリア (0) した時点でパリティ・エラー・リセットが発生します。
3. RPECTLレジスタのRPEFフラグは、パリティ・エラー発生時にセット (1) され、0の書き込み、またはすべてのリセット要因によりクリア (0) されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図34-8 RAMパリティ・チェックのフローチャート



注 RAMパリティ・エラーによる内部リセットの確認は、第30章 リセット機能を参照してください。

34.3.4 RAMガード機能

★ このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

34.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図34-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間
0	0	無効。RAMへのライト可能
0	1	RAM先頭アドレスから128バイト
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト

34.3.5 SFRガード機能

★ SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

34.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図34-10 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード/ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, PIORx, PFSEGxx, ISCLCD 注

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード/ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx

GCSC	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, CLKDCTL, LVIM, LVIS, RPECTL, PRRx, PMMC, MOCODIV, FMCKs, DSCCTL, MCKC

注 Pxx (ポート・レジスタ) はガードされません。

34.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図34-11で「NG」と記載した範囲になります。

図34-11 不正アクセス検出空間

アドレス	メモリ領域	アクセス可否		
		読み出し	書き込み	命令フェッチ (実行)
FFFFFH	特殊機能レジスタ (SFR) 256バイト	OK	OK	NG
FFF00H FFEFH				OK
FFEE0H FFEDFH	汎用レジスタ 32バイト	OK	OK	OK
F7EFFH	RAM	OK	OK	OK
F2000H	Mirror	OK	NG	NG
F17FFH	使用不可	OK	NG	NG
F1000H F0FFFH	データ・フラッシュ・メモリ	OK	OK	OK
F0800H F07FFH	使用不可	OK	OK	OK
F0000H EFFFFH	特殊機能レジスタ (2nd SFR) 2 Kバイト	OK	OK	NG
EE000H EDFFFH	使用不可	NG	NG	NG
80000H	使用不可	NG	NG	NG
7FFFFH	フラッシュ・メモリ	OK	OK	OK
00000H	フラッシュ・メモリ	OK	OK	OK

34.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図34-12 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN ^注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注 IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイト (000C0H) のWDTON = 1 (ウォッチドッグ・タイマ動作許可) のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

34.3.7 周波数検出機能

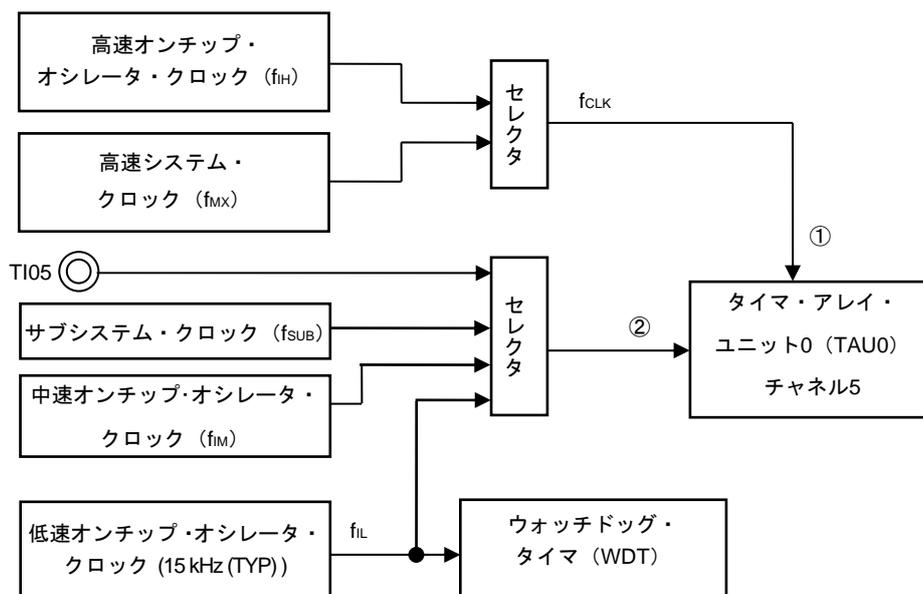
IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は、CPU/周辺ハードウェア・クロック周波数 (f_{CLK}) を使用し、タイマ・アレイ・ユニット0(TAU0)のチャンネル5の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロック、もしくは両方のクロックが停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

- ①CPU/周辺ハードウェア・クロック周波数 (f_{CLK}) :
- ・高速オンチップ・オシレータ・クロック (f_{IH})
 - ・高速システム・クロック (f_{MX})
- ②タイマ・アレイ・ユニットのチャンネル5入力 :
- ・チャンネル5のタイマ入力(TI05)
 - ・低速オンチップ・オシレータ・クロック (f_{IL} : 15 kHz (TYP.))
 - ・中速オンチップ・オシレータ・クロック (f_{IM})
 - ・サブシステム・クロック (f_{SUB})

図34-13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、**8.8.3 入力パルス間隔測定としての動作**を参照してください。

34.3.7.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット0(TAU0)のチャンネル0, 1, 5, 6, 7のタイマ入力を選択するレジスタです。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図34-14 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子 (TI05) の入力信号
0	1	1	中速オンチップ・オシレータ・クロック (f _M)
1	0	0	低速オンチップ・オシレータ・クロック (f _L)
1	0	1	サブシステム・クロック (f _{SUB})
上記以外			設定禁止

34.3.8 A/Dテスト機能

34.3.8.1 A/D 自己診断データレジスタ (ADRD)

ADRDレジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値に加えて、自己診断のステータスが付加されます。ADRDレジスタは下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)

AD自己診断機能にはA/D 変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については **17.2.9 A/Dコントロール拡張レジスタ (ADCER)** を参照してください。

図34-15 A/D自己診断データレジスタ (ADRD) のフォーマット

アドレス : F061Eh リセット時 : 0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADRD																

以下、条件ごとのフォーマットを示します。

- 右詰めのフォーマットに設定した場合
b11-b0にA/D変換値を格納します。b15-b14に自己診断ステータスを格納します。読み出し時、b13-b12は“0”が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4にA/D変換値を格納します。b1-b0に自己診断ステータスを格納します。読み出し時、b3-b2は“0”が読み出されます。

表34-1 自己診断ステータス内容^注

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	基準電源×1/2の電圧値の自己診断を実施したことを示します
11b	基準電源の電圧値の自己診断を実施したことを示します

注 自己診断の詳細については、**17.2.9 A/Dコントロール拡張レジスタ (ADCER)** を参照してください。

34.3.9 入出力ポートのデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルをリードすることができます。

34.3.9.1 ポート・モード選択レジスタ (PMS)

ポートが出力モード（ポート・モード・レジスタ (PMm) のPMmnビットが0) 時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図34-16 ポート・モード選択レジスタ (PMS) のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	ポートが出力モード時 (PMmn = 0) にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

- 注意1.** PMSレジスタのPMS0ビットを“1”に設定時は、リード・モディファイ命令でPxレジスタを書き換えしないでください。Pxレジスタを書き換える場合は、8ビットの操作命令を使用してください。
- PMS制御は、LCD専用端子および入力専用端子 (P121-P124, P137) については無効となります。
 - SEG兼用端子をSEG出力として使用する場合には、PMS制御は無効となります (リード時は”L”固定)。
 - IICA0EN (PER0レジスタのビット4) = 0の場合、P61, P60端子はPMS制御が無効となります。

備考 m = 0-9, 12, 15

n = 0-7

第35章 AES機能

35.1 AES機能の概要

RL78/I1C (512 KB) は、セキュリティ強化のため、スマートメータ分野で使用されているAES-GCM規格に対応したAES機能を搭載しています。

以下に、主な機能を示します。

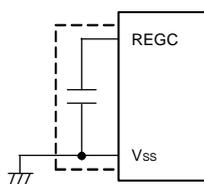
- ・暗号利用モード：GCM/ECB/CBC
- ・暗号鍵長：128/192/256ビット
- ・割込み本数：2本
- ・割込み名称：INTAES, INTAESF

機能詳細につきましては、当社営業および販売店営業へお問い合わせください。

第36章 レギュレータ

36.1 レギュレータの概要

RL78/I1C (512 KB) は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ (0.47~1 μF) を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、表36-1のようになります。

表36-1 レギュレータ出力電圧条件

モード	出力電圧	条件
LV (低電圧メイン) モード	1.8 V	—
LP (低電力メイン) モード		
LS (低速メイン) モード		
HS (高速メイン) モード	1.8 V	STOPモード時
		サブシステム・クロック (f_{SUB}) でCPU動作中で、高速システム・クロック (f_{MX}) と高速オンチップ・オシレータ・クロック (f_{IH}) が共に停止
	2.1 V	サブシステム・クロック (f_{SUB}) でCPU動作設定時のHALTモード中で、高速システム・クロック (f_{MX}) と高速オンチップ・オシレータ・クロック (f_{IH}) が共に停止 上記以外 (オンチップ・デバッグ中を含む) ^注

注 オンチップ・デバッグ中に、サブシステム・クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します (1.8 Vにはなりません)。

36.2 レギュレータを制御するレジスタ

レギュレータは、次のレジスタで制御します。

- レギュレータ・モード制御レジスタ (PMMC)

36.2.1 レギュレータ・モード制御レジスタ (PMMC)

PMMCレジスタは、内蔵されているレギュレータのモードを制御する8ビットのレジスタです。

PMMCレジスタは1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。

リセット発生により、PMMCレジスタは00HIになります。

図36-1 レギュレータ・モード制御レジスタ (PMMC) のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMMC	0	MCSEL	0	0	0	0	0	0

MCSEL	レギュレータ・モードの制御
0	通常設定
1	低消費設定

- 注意1.** MCSELが1の時フラッシュ動作モード選択レジスタ (FLMODE) を変更しないでください。
- HS (高速メイン) モード, LV (低電圧メイン) モードではMCSELを1に設定しないでください。
 - LS (低速メイン) モードではMCSELが1の時にSTOPモード状態に移することは禁止です。

第37章 オプション・バイト

37.1 オプション・バイトの機能

RL78/I1C (512 KB) のフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にバンク・スワップを使用する際には、000C0H-000C3Hは400C0H-400C3Hと切り替わるので、400C0H-400C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

37.1.1 ユーザ・オプション・バイト (000C0H-000C2H/400C0H-400C2H)

(1) 000C0H/400C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可/禁止
 - ・HALT/STOPモード時のカウンタの動作可能/停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込み
 - ・インターバル割り込みを使用する/使用しない

注意 バンク・スワップを使用する際には、000C0Hと400C0Hが切り替わるので、400C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/400C1H

- OLVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ (RESET端子による外部リセットを使用)
- OLVD検出レベル (V_{LVDH} , V_{LVDL} , V_{LVD}) の設定

注意1. 電源立ち上がり時は、43.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H/400C2H) の設定により変わります。

注意2. バンク・スワップを使用する際には、000C1Hと400C1Hが切り替わるので、400C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/400C2H

○フラッシュの動作モード設定

使用するメイン・システム・クロック周波数(f_{MAIN})、電源電圧(V_{DD})に応じて設定

- ・LV (低電圧メイン) モード
- ・LS (低速メイン) モード
- ・HS (高速メイン) モード

○高速オンチップ・オシレータの周波数設定

- ・1 MHz~32 MHzから選択

注意 バンク・スワップを使用する際には、000C2Hと400C2Hが切り替わるので、400C2Hにも000C2Hと同じ値を設定してください。

37.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/400C3H)

○オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止/許可

○セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

- ・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

注意 バンク・スワップを使用する際には、000C3Hと400C3Hが切り替わるので、400C3Hにも000C3Hと同じ値を設定してください。

37.2 ユーザ・オプション・バイトのフォーマット

図37-1 ユーザ・オプション・バイト (000C0H/400C0H) のフォーマット

アドレス : 000C0H/400C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用						
0	インターバル割り込みを使用しない						
1	オーバフロー時間の75%+1/2f _{IL} 到達時にインターバル割り込みを発生する						
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間 ^{注2}					
0	0	設定禁止					
0	1	50 %					
1	0	75 % ^{注3}					
1	1	100 %					
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止 (リセット解除後, カウント停止)						
1	カウンタ動作許可 (リセット解除後, カウント開始)						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.) の場合)				
0	0	0	2 ⁶ /f _{IL} (3.71 ms)				
0	0	1	2 ⁷ /f _{IL} (7.42 ms)				
0	1	0	2 ⁸ /f _{IL} (14.84 ms)				
0	1	1	2 ⁹ /f _{IL} (29.68 ms)				
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)				
1	0	1	2 ¹³ /f _{IL} (474.89 ms)				
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)				
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)				
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}						
1	HALT/STOPモード時, カウンタ動作許可						

注1. バンク・スワップを使用する際には、000C0Hと400C0Hが切り替わるので、400C0Hにも000C0Hと同じ値を設定してください。

2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

(注, 備考は、次ページにあります。)

注3. ウィンドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア (WDTEへのACHの書き込み) を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ (WDTIIF) を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバーフロー時間($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)	ウィンドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms~2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms~5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms~10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms~20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms~80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms~321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms~642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms~2570.04 ms

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図37-2 ユーザ・オプション・バイト (000C1H/400C1H) のフォーマット (1/2)

アドレス : 000C1H/400C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
V _{LVDH}		V _{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
-			上記以外は設定禁止						

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値									
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定				
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0			
1.67 V	1.63 V	0	0	0	1	1	1	1			
1.77 V	1.73 V		0	0	1	0					
1.88 V	1.84 V		0	1	1	1					
1.98 V	1.94 V		0	1	1	0					
2.09 V	2.04 V		0	1	0	1					
2.50 V	2.45 V		1	0	1	1					
2.61 V	2.55 V		1	0	1	0					
2.71 V	2.65 V		1	0	0	1					
2.81 V	2.75 V		1	1	1	1					
2.92 V	2.86 V		1	1	1	0					
3.02 V	2.96 V		1	1	0	1					
3.13 V	3.06 V		0	1	0	0					
3.75 V	3.67 V		1	0	0	0					
4.06 V	3.98 V		1	1	0	0					
-			上記以外は設定禁止								

注 バンク・スワップを使用する際には、000C1Hと400C1Hが切り替わるので、400C1Hにも000C1Hと同じ値を設定してください。

(注意、備考は、次ページにあります。)

図37-2 ユーザ・オプション・バイト (000C1H/400C1H) のフォーマット (2/2)

アドレス : 000C1H/400C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—	—		上記以外は設定禁止					

・LVDオフの設定 (RESET端子による外部リセット入力を使用)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—	—	上記以外は設定禁止						

注 バンク・スワップを使用する際には、000C1Hと400C1Hが切り替わるので、400C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

- 電源立ち上がり時は、43.4 AC特性に示す動作電圧範囲まで、電圧検出回路が外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路が外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/400C2H) の設定により変わります。

備考 1. × : don't care

- LVDの設定に関しては32.1 電圧検出回路の機能を参照してください。
- 検出電圧はTYP.値です。詳細は、43.6.6 LVD回路特性を参照してください。

図37-3 ユーザ・オプション・バイト (000C2H/400C2H) のフォーマット

アドレス : 000C2H/400C2H^{注1}

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲(f_{MAIN})	動作電圧範囲(V_{DD})
0	0	LV (低電圧メイン) モード	1 MHz ~ 4 MHz	1.6 V~5.5 V
1	0	LS (低速メイン) モード	1 MHz ~ 8 MHz	1.8 V~5.5 V
1	1	HS (高速メイン) モード	1 MHz ~ 6 MHz	2.1 V~5.5 V
			1 MHz ~ 16 MHz	2.4 V~5.5 V
			1 MHz ~ 32 MHz ^{注2}	2.7 V~5.5 V
上記以外		設定禁止		

FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロック(f_{IH})の周波数	
			FRQSEL3=0	FRQSEL3=1 ^{注3}
0	0	0	24 MHz ^{注2}	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	1.5 MHz	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

注1. バンク・スワップを使用する際には、000C2Hと400C2Hが切り替わるので、400C2Hにも000C2Hと同じ値を設定してください。

- PLLクロック(32 MHz)をメイン・システム・クロックに選択する場合は、高速オンチップ・オシレータクロック (f_{IH}) は24 MHzを選択してください。
- 24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックに高速オンチップ・オシレータ・クロック ($f_{HOCO}/2$) を選択する場合は設定禁止。

注意1. ビット5, 4には、必ず10Bを書き込んでください。

- 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、43.4 AC特性を参照してください。

37.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図37-4 オンチップ・デバッグ・オプション・バイト (000C3H/400C3H) のフォーマット

アドレス : 000C3H/400C3H^注

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注 バンク・スワップを使用する際には、000C3Hと400C3Hが切り替わるので、400C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。
ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

37.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/t_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	5AH	; VLVDLに2.45 Vを選択 ; VLVDHに立ち上がり2.61 V, 立ち下がり2.55 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB	A3H	; フラッシュの動作モードにLS (低速メイン) モード, ; 高速オンチップ・オシレータ・クロック周波数 3 MHzを選択
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にバンク・スワップを使用する際には、000C0H-000C3Hは400C0H-400C3Hと切り替わります。そのため400C0H-400C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

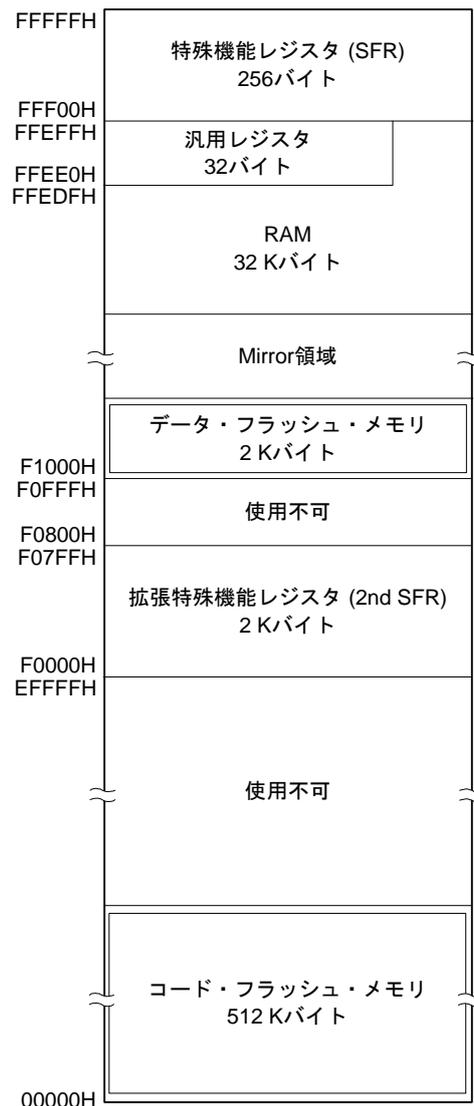
OPT2	CSEG	AT	400C0H	
	DB		36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/t_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		5AH	; VLVDLに2.45 Vを選択 ; VLVDHに立ち上がり2.61 V, 立ち下がり2.55 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB		A3H	; フラッシュの動作モードにLS (低速メイン) モード, ; 高速オンチップ・オシレータ・クロック周波数 3 MHzを選択
	DB		85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、バンク・スワップを使用するために400C0H~400C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第38章 フラッシュ・メモリ

RL78マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。

RL78/I1C (512 KB) はバンクプログラミング機能を搭載しており、ユーザプログラムを実行しながらプログラムの更新ができます。(38.6.2参照)



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス（UART通信）によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- ・フラッシュ・メモリ・プログラマによるシリアル・プログラミング（38.1参照）

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

- ・外部デバイス（UART通信）によるシリアル・プログラミング（38.2参照）

外部デバイス（マイコンや ASIC）とのUART通信を使用してオンボード上で書き込みができます。

- ・セルフ・プログラミング（38.6参照）

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

注意 フラッシュ・メモリを書き換える際、中速オンチップ・オシレータは停止（MIOEN = 0）させ、メイン・オンチップ・オシレータ・クロック（foco）は高速オンチップ・オシレータを選択（MCM1 = 0）してください。フラッシュ動作モード・レジスタ（FLMODEレジスタ）は変更しないでください。また、レギュレータ・モード制御レジスタ（PMMC）のMCSELビットは0でフラッシュ・メモリを書き換えてください。

また、コード・フラッシュ・メモリは、バンクプログラミングモード選択時、フラッシュ・セルフ・プログラミング・ライブラリを利用して、起動バンク側でユーザ・プログラムを実行中に書き換えバンク側を書き換えることができます（バンクプログラミング）。バンクプログラミング機能については38.6.2 バンクプログラミング機能を参照してください。

データ・フラッシュ・メモリは、データ・フラッシュ・ライブラリを利用して、ユーザ・プログラム実行中に書き換えることができます（バックグラウンド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては、38.8 データ・フラッシュを参照してください。

38.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- ・ PG-FP6
- ・ E1, E2, E2 Lite オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表38-1 RL78/I1C (512 KB) と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号	
					80ピン	100ピン
信号名		入出力	端子機能		LFQFP (12×12)	LFQFP (14×14)
PG-FP6	E1, E2, E2 Lite オンチップ デバッグ エミュレータ					
—	TOOL0	入出力	送受信信号	TOOL0/ P40	3	9
SI/RxD	—	入出力	送受信信号			
—	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	7	13
/RESET	—	出力				
V _{cc}	V _{DD}	入出力	V _{DD} 電圧生成/ 電源監視	V _{DD}	16	22
GND		—	グラウンド	V _{SS} /EV _{SS0} /AV _{SS1}	15	21
				EV _{SS1}		54
				REGC ^注	14	20
FLMD1	EMV _{DD}	—	TOOL0端子駆動 電源	V _{DD} /EV _{DD0} EV _{DD1}	17	23 63

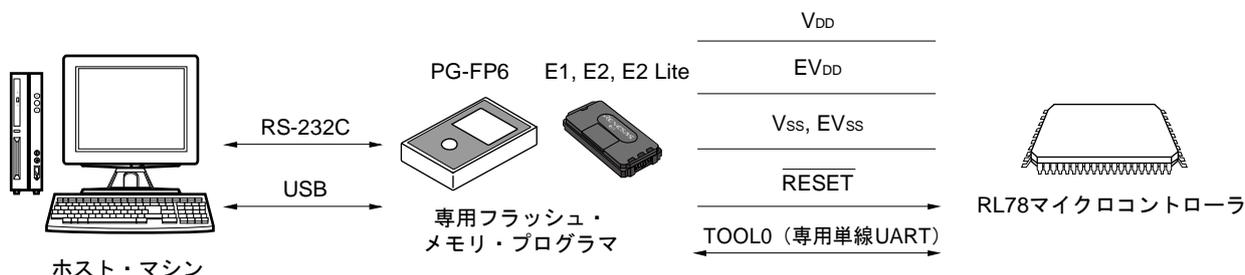
注 REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

38.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図38-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

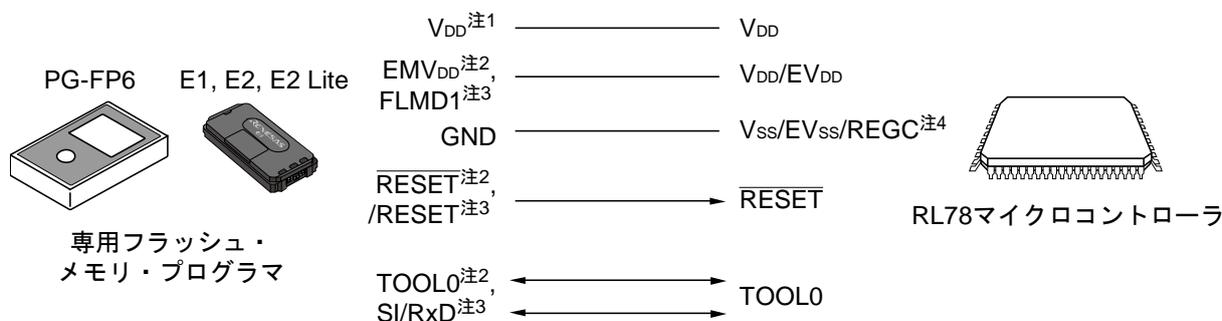
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインターフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。

38.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図38-2 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP6の信号名はV_{CC}です。

2. E1, E2, E2 Liteオンチップデバッグエミュレータ使用時。

3. PG-FP6使用時。

4. REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP6またはE1, E2, E2 Liteオンチップデバッグエミュレータのマニュアルを参照してください。

表38-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			RL78マイクロコントローラ	
信号名		入出力	端子機能	端子名
PG-FP6	E1, E2, E2 Lite オンチップデバッグ エミュレータ			
Vcc	V _{DD}	入出力	V _{DD} 電圧生成／電圧監視	V _{DD}
GND		—	グラウンド	V _{SS} , EV _{SS} , REGC ^注
FLMD1	EMV _{DD}	—	TOOL0端子駆動電源	V _{DD} , EV _{DD}
/RESET	—	出力	リセット信号	$\overline{\text{RESET}}$
—	$\overline{\text{RESET}}$	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注 REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

38.2 外部デバイス (UART内蔵) によるシリアル・プログラミング

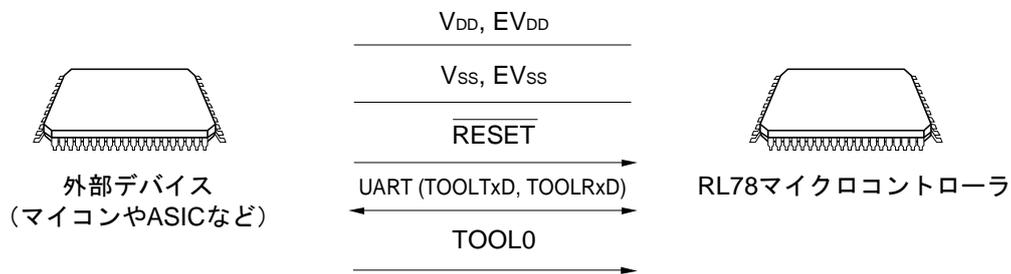
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス (マイコンやASIC) を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、RL78マイクロコントローラ (RL78プロトコルA) プログラマ編アプリケーション・ノート (R01AN0815) を参照してください。

38.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図38-3 フラッシュ・メモリにプログラムを書き込むための環境



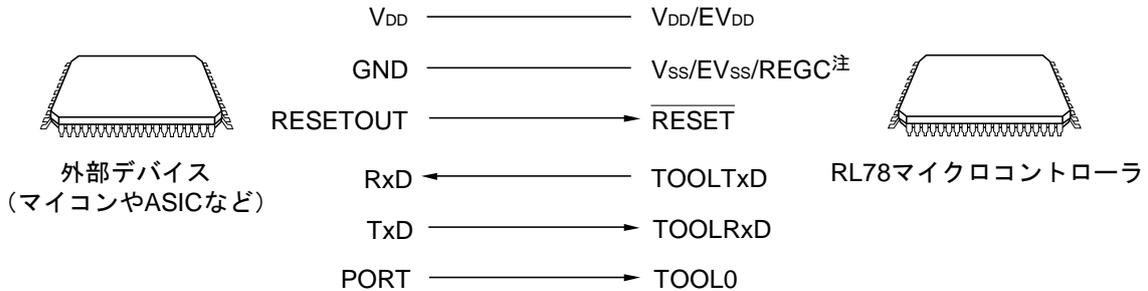
外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

38.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図38-4 外部デバイスとの通信



注 REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表38-3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
V _{DD}	入出力	V _{DD} 電圧生成/電圧監視	V _{DD} , EV _{DD}
GND	—	グラウンド	V _{SS} , EV _{SS} , REGC ^注
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注 REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

38.3 オンボード上の端子処理

フラッシュ・メモリ・プログラムによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラムと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、38.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

38.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 kΩの抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時：外部リセット解除時から t_{HD} の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

備考1. t_{HD} ：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部／内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。**43.11 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**を参照してください。

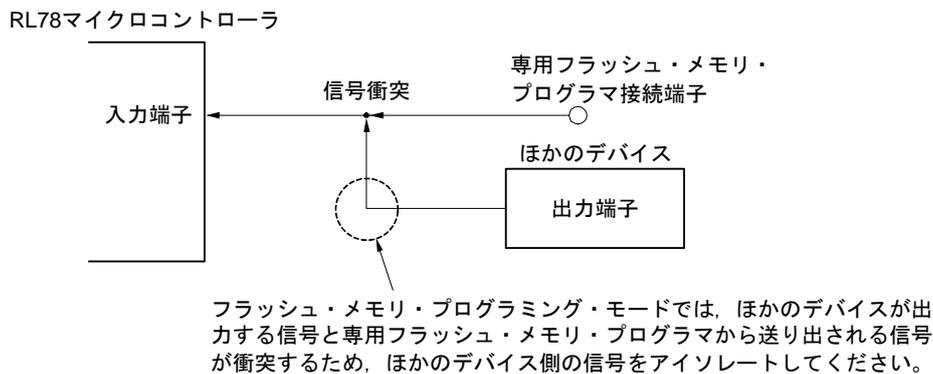
2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子) を使用するので、SAUやIICAの端子は使用しません。

38.3.2 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図38-5 信号の衝突 (RESET端子)



38.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して V_{DD} に接続するか、もしくは抵抗を介して V_{SS} に接続するなどの端子処理が必要です。

38.3.4 REGC端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ（0.47~1 μ F）を介し、GNDに接続してください。

また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

38.3.5 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック（f_{IH}）を使用します。

38.3.6 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラムの V_{DD} ^注に、 V_{SS} 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラムによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムで電圧監視をするため、 V_{DD} , V_{SS} 端子はフラッシュ・メモリ・プログラムの V_{DD} ^注, GNDと必ず接続してください。

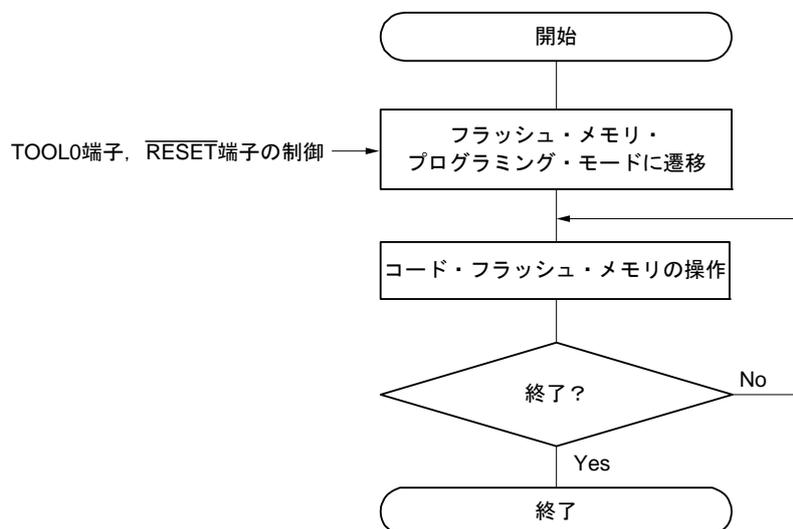
注 PG-FP6の信号名は V_{CC} です。

38.4 プログラミング方法

38.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図38-6 コード・フラッシュメモリの操作手順



38.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

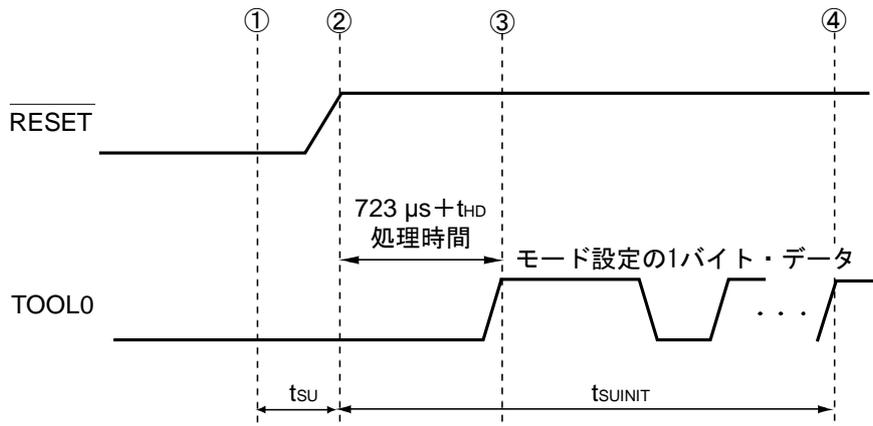
<外部デバイスを使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します（表38-4参照）。その後、図38-7に示す①~④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表38-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
E_{VDD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図38-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 t_{SUNIT} : この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）。

詳細は、43.11 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表38-5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

電源電圧 (V _{DD})	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数 (f _{CLK})	
2.7 V ≤ V _{DD} ≤ 5.5 V	ブランク状態		フルスピード・モード
	HS (高速メイン) モード	1 MHz~32 MHz	フルスピード・モード
	LS (低速メイン) モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン) モード	1 MHz~4 MHz	ワイド・ボルテージ・モード
2.4 V ≤ V _{DD} < 2.7 V	ブランク状態		フルスピード・モード
	HS (高速メイン) モード	1 MHz~16 MHz	フルスピード・モード
	LS (低速メイン) モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン) モード	1 MHz~4 MHz	ワイド・ボルテージ・モード
1.8 V ≤ V _{DD} < 2.4 V	ブランク状態		ワイド・ボルテージ・モード
	LS (低速メイン) モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン) モード	1 MHz~4 MHz	ワイド・ボルテージ・モード

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

2. 通信コマンドの詳細は、**38.4.4 通信コマンド**を参照してください。

38.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表38-6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・ プログラマ使用時, または 外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

- UART通信にはボー・レート誤差のほか、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

38.4.4 通信コマンド

RL78マイクロコントローラは、表38-7に示すコマンドを介してシリアル・プログラミングを実行します。専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、**RL78マイクロコントローラ (RL78プロトコルA) プログラマ編アプリケーション・ノート (R01AN0815)** を参照してください。

表38-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます ^注 。
情報取得	Silicon Signature	RL78マイクロコントローラ情報（品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報（品名、ファームウェア・バージョンなど）を取得することができます。

表38-8 シグネチャ・データ一覧, 表38-9 シグネチャ・データ例を示します。

表38-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名 (ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-7FFFFH (512 KB) →FFH, FFH, 07H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F17FFH (2 KB) →FFH, 17H, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 →01H, 02H, 03H)	3バイト

表38-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ (16進数)
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F10NPL	10バイト	52 = "R" 35 = "5" 46 = "F" 31 = "1" 30 = "0" 4E = "N" 50 = "P" 4C = "L" 20 = " " 20 = " "
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-7FFFFH (512 KB)	3バイト	FFH FFH 07H
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F17FFH (2 KB)	3バイト	FFH 17H 0FH
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

38.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP6を使用した場合の各コマンド処理時間(参考値)を次に示します。

表38-10 PG-FP6使用時の各コマンド処理時間(参考値)

PG-FP6のコマンド	Port: TOOL0 (UART)
	Speed: 1M bps
	512 Kバイト
消去	3.5s
書き込み	9.5s
ベリファイ	7.3s
消去後、書き込み	12.7s

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port: TOOL0 (単線UART)

Speed: 1,000,000 bps

Mode: フルスピード・モード (フラッシュ動作モード: HS (高速メイン) モード)

38.6 セルフ・プログラミング

RL78マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

- 注意1.** CPUがサブシステム・クロック (f_{SUB}) 動作時の場合、セルフ・プログラミング機能は使用できません。
- セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、フラッシュ・セルフ・プログラミング・ライブラリを実行してください。
 - セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP = 0) させ、30 μ s経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。また、中速オンチップ・オシレータは停止 (MIOEN = 0) させ、メイン・オンチップ・オシレータ・クロック (f_{OCO}) は高速オンチップ・オシレータを選択 (MCM1 = 0) してください。
 - フラッシュ・メモリを書き換える際、フラッシュ動作モードレジスタ (FLMODEレジスタ) は変更しないでください。また、レギュレータ・モード制御レジスタ (PMMC) のMCSELビットは0で書き換えてください。

備考 セルフ・プログラミング機能の詳細は、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリType01ユーザズ・マニュアル (R01US0050) を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS (高速メイン) モード設定時はフルスピード・モードに、LS (低速メイン) モードおよびLV (低電圧メイン) モード設定時はワイド・ボルテージ・モードに設定してください。

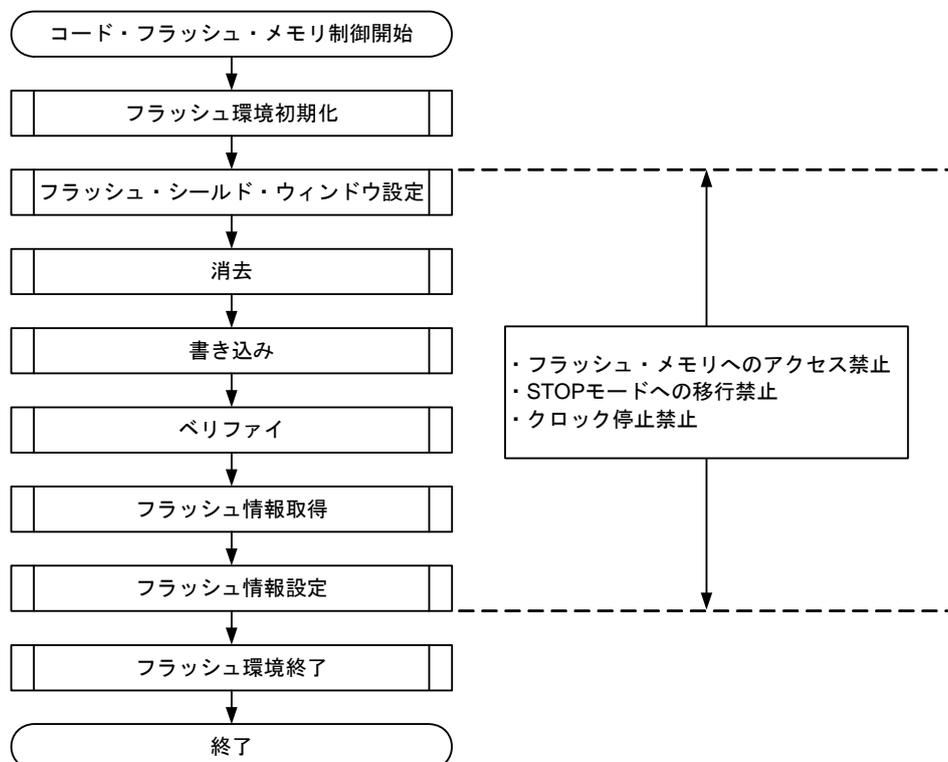
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

38.6.1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図38-8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



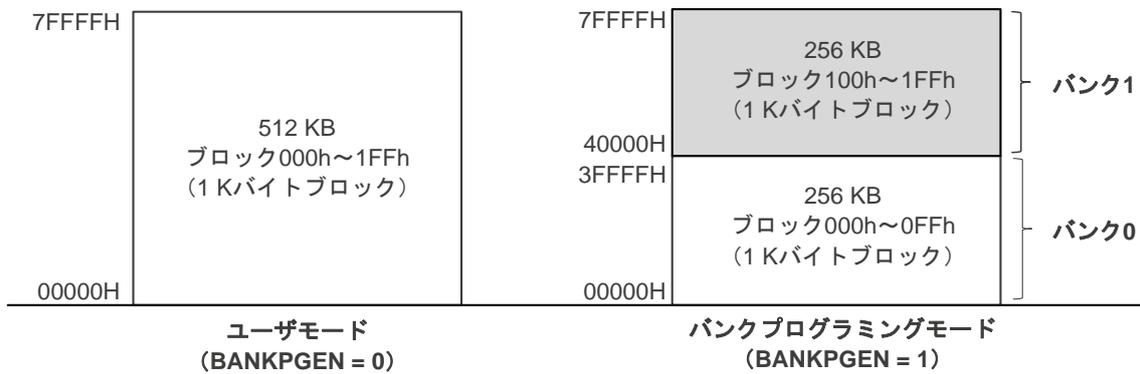
38.6.2 バンクプログラミング機能

バンクプログラミング機能により、ユーザプログラムを実行しながらプログラムを更新できます。

38.6.2.1 バンクモード切り替え機能

バンクモード切り替え機能により、コード・フラッシュ・メモリのユーザ領域を一つの領域として扱うユーザモードと、二つのバンク領域に分け片方のバンク領域でユーザプログラムを実行しながらもう片方のバンク領域のプログラム更新するバンクプログラミングモードに切り替えることができます。図38-9にバンクモード切り替え機能を示します。フラッシュ動作モード選択レジスタ (FLMODE) のBANKPGENビットの値を設定することで、バンクモードが決定します。バンクプログラミングモードを選択するとバンクプログラミング機能が有効になります。

図38-9 バンクモード切り替え機能

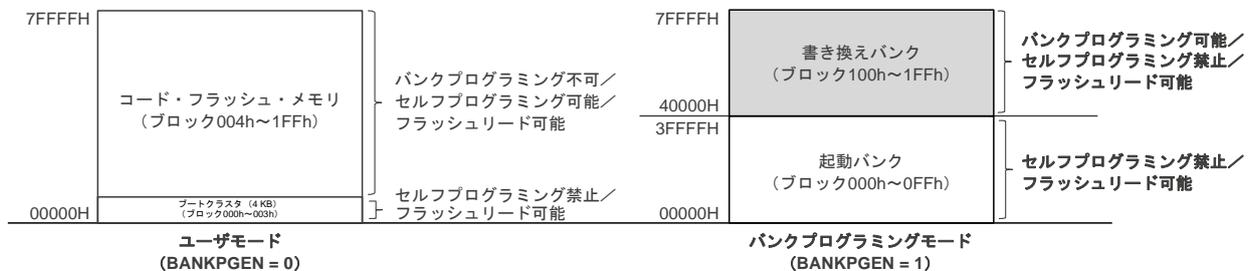


38.6.2.2 バンクプログラミング機能

バンクプログラミング機能により、バンクプログラミングモード選択時 (BANKPGEN = 1) は、起動バンク側でユーザプログラムを実行しながら書き換えバンク側の更新 (消去/書き込み/ベリファイ) とコード・フラッシュ・メモリ全領域の読み出しが可能です。バンクプログラミングモード時、セルフプログラミングは禁止です。

ユーザモード選択時 (BANKPGEN = 0) は、バンクプログラミングはできませんが、コード・フラッシュ・メモリ全領域の読み出しが可能です。

図38-10 バンクプログラミング機能



(注意は次ページにあります。)

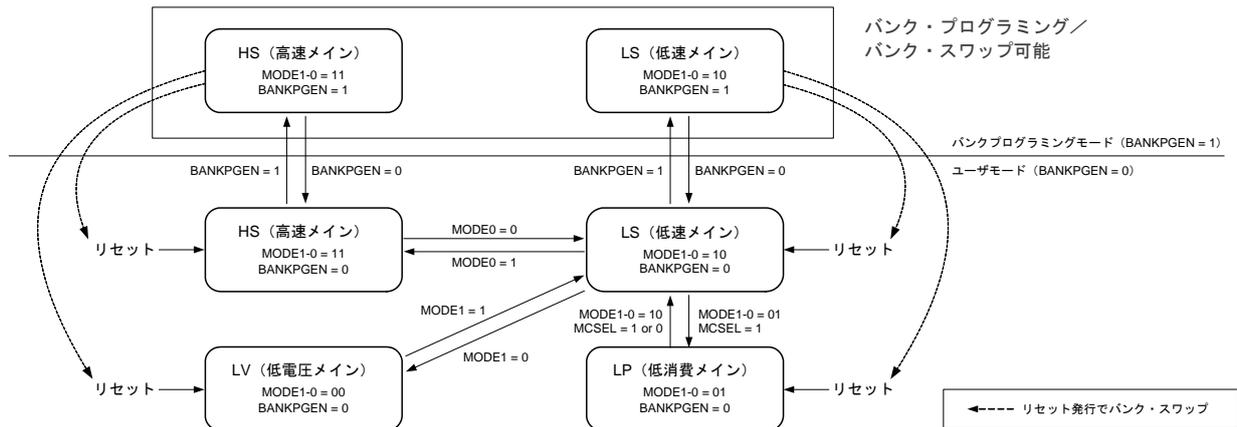
注意1. バンクプログラミングは、HS（高速メイン）モード、またはLS（低速メイン）モードにおいて電圧検出回路（LVD）でV_{DD}電圧を確認し、V_{DD}≥2.7Vにて実施してください。

LV（低電圧メイン）モードまたはLP（低消費メイン）モードのバンクプログラミングは禁止です。

LV（低電圧メイン）モードまたはLP（低消費メイン）モード時は、LS（低速メイン）モードへ遷移後、バンクプログラミングとバンクスワップを実行することが可能です。

図38-11にバンクプログラミングモード時のFLASH動作モード遷移を示します。

図38-11 バンクプログラミング時のFLASH状態遷移図



2. バンクプログラミングとデータ・フラッシュのバックグラウンド・オペレーション（BGO）との同時利用はできません。

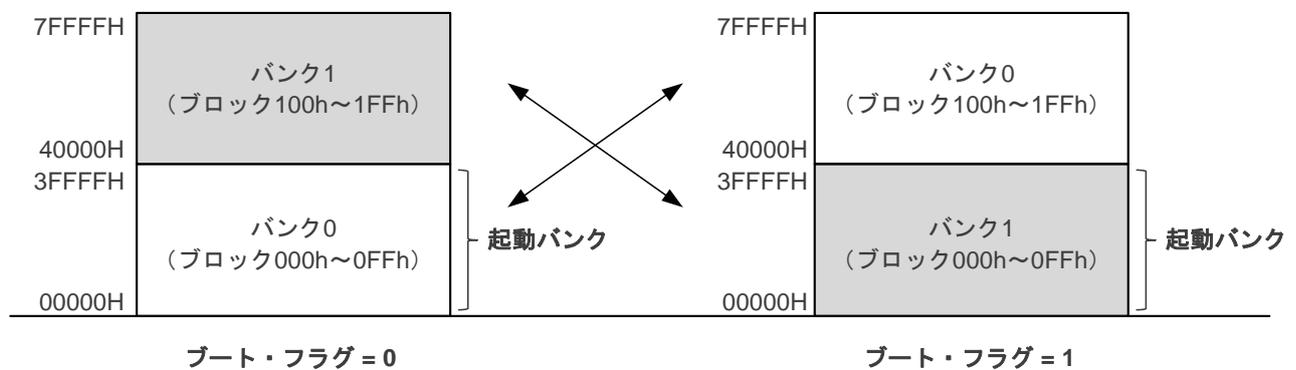
38.6.2.3 バンクスワップ機能

バンクプログラミングモード (BANKPGEN = 1) でプログラムを更新する際に、リセットなどによる書き換え動作の中断に対して安全にプログラム更新する機能としてバンクスワップ機能があります。

図38-12にバンクスワップ機能を示します。バンクプログラミングモード (BANKPGEN = 1) でプログラム更新した後、ユーザモード (BANKPGEN = 0) にモード遷移しフラッシュ・セルフ・プログラミング・ライブラリ (FSL) のコマンドを使用してフラッシュのブート・フラグの値を反転してからリセットすることで、バンク0とバンク1のアドレスが切り替わり、更新した領域からプログラム起動を行います。

注意 ブート・フラグの書き換えは、バンクプログラミングモード (BANKPGEN = 1) では実施できません。必ずユーザモード (BANKPGEN = 0) で実施してください。

図38-12 バンクスワップ機能 (ユーザモード/バンクプログラミングモード)



38.6.2.4 フラッシュ動作モード選択レジスタ (FLMODE)

FLMODEレジスタは、フラッシュ動作モードとコード・フラッシュ・メモリの動作を制御する8ビットのレジスタです。

FLMODEレジスタは1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。但し、フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) のFLMWENが0のとき、値を変更することはできません。リセット発生により、MODE1, MODE0はオプション・バイトのCMODE1, CMODE0 (アドレス: 000C2H) の設定値が反映されます。

図38-13 フラッシュ動作モード選択レジスタ (FLMODE) のフォーマット

アドレス : F00AAH リセット時 : 00H/80H/C0H^{注1} R/W

略号	7	6	5	4	3	2	1	0
FLMODE	MODE1	MODE0	0	0	0	0	BANKPGEN	0

BANKPGEN	ユーザモード／バンクプログラミングモード切り換え
0	ユーザモード (バンクプログラミングは不可)
1	バンクプログラミングモード (バンクプログラミングは可)

注 FLMODEレジスタの初期値は、MODE1ビット、MODE0ビットにオプション・バイトのCMODE1ビット、CMODE0ビット (アドレス: 000C2H) の設定値が反映された値になります。

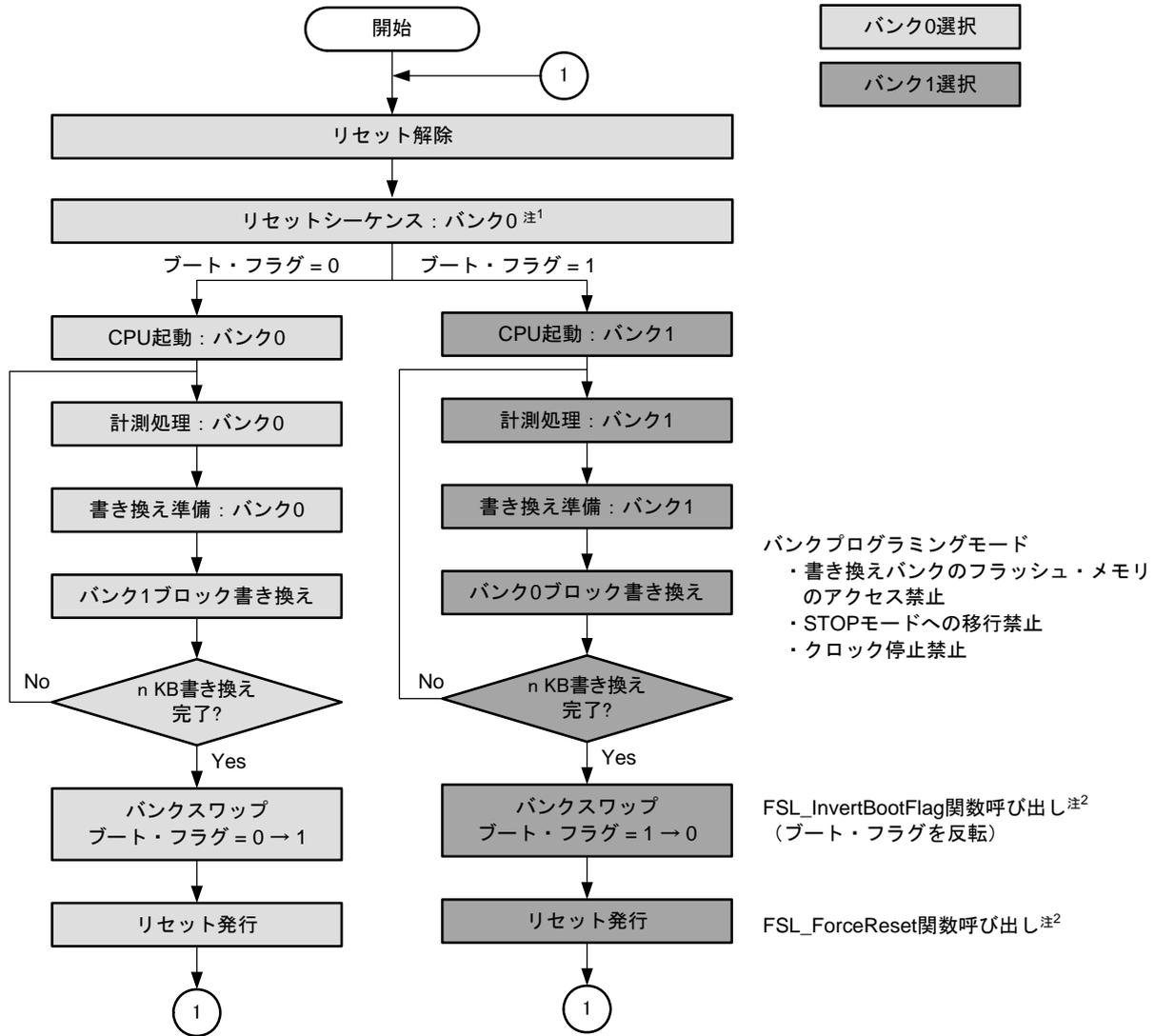
注意 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) のFLMWENが0のとき、FLMODEレジスタの値を変更することはできません。BANKPGENビットの書き込み前に、FLMWENを1に設定してください。

また、BANKPGENビットの書き込み後はFLMWENを0に設定してください。

38.6.2.5 プログラム更新手順

バンクプログラミング機能とバンクスワップ機能を使用し、ユーザプログラムを実行しながらプログラムの更新を行う流れを示します。

図38-14 プログラム書き換え手順



注1. オプション・バイトはバンク0の値を読み出すため、バンク0とバンク1のオプション・バイト領域は同じ値を設定してください。

2. フラッシュ関数の詳細は、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリType01ユーザズ・マニュアル (R01US0050) を参照してください。

注意 起動バンクにバンク1を選択したとき (BANKPGEN = 1, ブート・フラグ = 1), オプション・バイト領域があるブロック100H (40000H-403FFH) の書き換えは禁止です。

バンク0書き換え中に、電源の遮断、外部要因によるリセット発生などにより書き換えが失敗した場合、その後のリセットシーケンスでバンク0の破壊されたオプション・バイトを読み出す事になる為、正しく起動する事ができません。

38.6.3 フラッシュ・シールド・ウインドウ機能

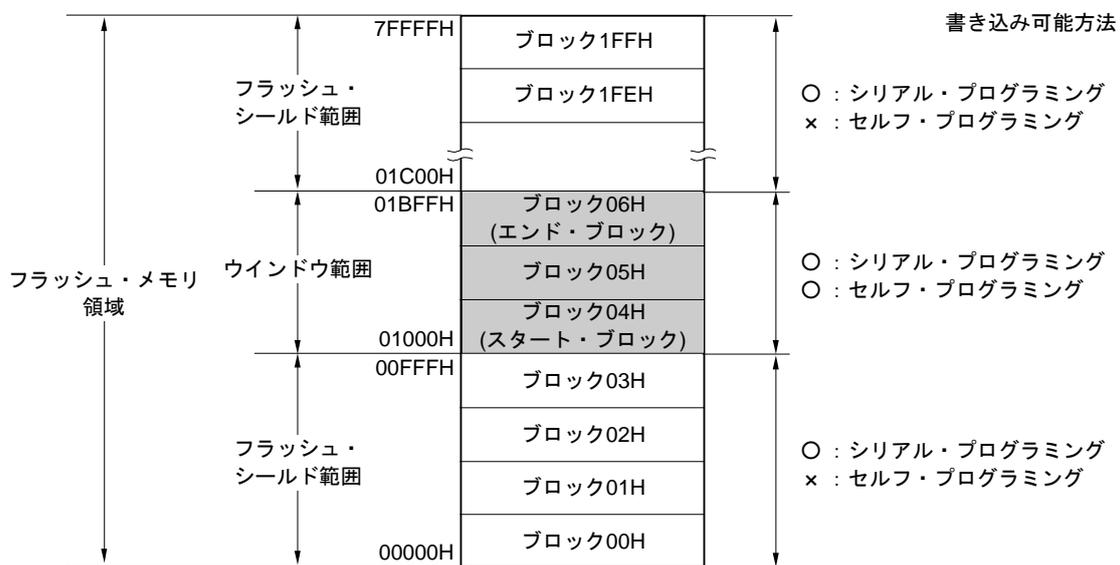
セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図38-15 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：R5F10NPL, R5F10NML,
スタート・ブロック：04H, エンド・ブロック：06Hの場合)



- 注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。
- 2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表38-11 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミングライブラリで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 シリアル・プログラミング時の書き込み/消去を禁止したい場合には、38.7 セキュリティ設定を参照してください。

38.7 セキュリティ設定

RL78マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。

- ・ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

シリアル・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止を設定後、Security Release コマンドによる解除はリセットで有効になります。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表38-12に示します。

注意 ただし、フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は38.6.3を参照）。

表38-12 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる ^{注1}
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止 ^{注2}	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止 ^{注2}	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注1. 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

- 2.** バンクプログラミングモードを使用する場合、ブート・クラスタ0の書き換え禁止は設定できません。設定した場合、バンクプログラミングの実行が禁止されます。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は**38. 6. 3**を参照）。

表38-13 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止 [※]		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラマのGUI上などで設定する）
ブート・クラスタ0の書き換え禁止 [※]		設定後、無効にできない

注 バンクプログラミングモードを使用する場合、ブート・クラスタ0の書き換え禁止は設定できません。設定した場合、バンクプログラミングの実行が禁止されます。

注意 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート・クラスタ0の書き換え禁止」に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

38.8 データ・フラッシュ

38.8.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- ・データ・フラッシュ・ライブラリを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、「RL78ファミリ データ・フラッシュ・ライブラリType04」を参照してください。
- ・専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- ・データ・フラッシュは、1ブロック = 1 Kバイト単位で消去
- ・データ・フラッシュは、8ビット単位でのみアクセス可能
- ・データ・フラッシュは、CPU命令で直接読み出し可能
- ・データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行は可能（バックグラウンド・オペレーション（BGO）対応）
- ・データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- ・コード・フラッシュの書き換え中（セルフ・プログラミング時）に、データ・フラッシュにアクセスすることは禁止
- ・データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

バックグラウンド・オペレーション（BGO）とバンクプログラミングモードのバンクプログラミングの同時利用はできません。

- 注意1.** リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。
- 2.** データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ、65 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、38.6 セルフ・プログラミングを参照してください。

38.8.2 データ・フラッシュを制御するレジスタ

38.8.2.1 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図38-16 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

38.8.3 データ・フラッシュへのアクセス手順

リセット解除後の初期状態では、データ・フラッシュは停止状態であり、そのままではアクセス（リードおよびプログラミング）はできません。アクセスするには以下の手順を行ってください。

①データ・フラッシュ・コントロール・レジスタ（DFLCTL）のビット0（DFLEN）に“1”を書き込む。

②ソフトウェア・タイマなどでセットアップ時間をウエイトする。

セットアップ時間はメイン・クロックの各モードによって異なります。

<各メイン・クロック・モードでのセットアップ時間>

- ・HS（高速メイン）モード時 : 5 μ s
- ・LS（低速メイン）モード時 : 720 ns
- ・LP（低電力メイン）モード時 : 720 ns
- ・LV（低電圧メイン）モード時 : 10 μ s

③セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は、データ・フラッシュへのアクセス禁止です。

2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ、65 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

4. CPU/周辺ハードウェア・クロック周波数にサブシステム・クロックを選択した状態（CLS = 1）でデータ・フラッシュを読み出した場合は、CPU/周辺ハードウェア・クロックをサブシステム・クロックからメイン・システム・クロックに切り替え後、最初にデータ・フラッシュを読み出すときは以下の（1）～（3）の手順で読み出してください。

（1）メイン・システム・クロックに切り替わったこと（CLS = 0）確認します。

（2）次に任意のデータ・フラッシュを読み出します。（読み出し値は不正）

（3）最後に各動作モードに応じて、以下時間経過後に読み出しを行ってください。

- HS（高速メイン）モード : 5 μ s
- LS（低速メイン）モード : 1 μ s
- LV（低電圧メイン）モード : 10 μ s
- LP（低消費メイン）モード : 1 μ s

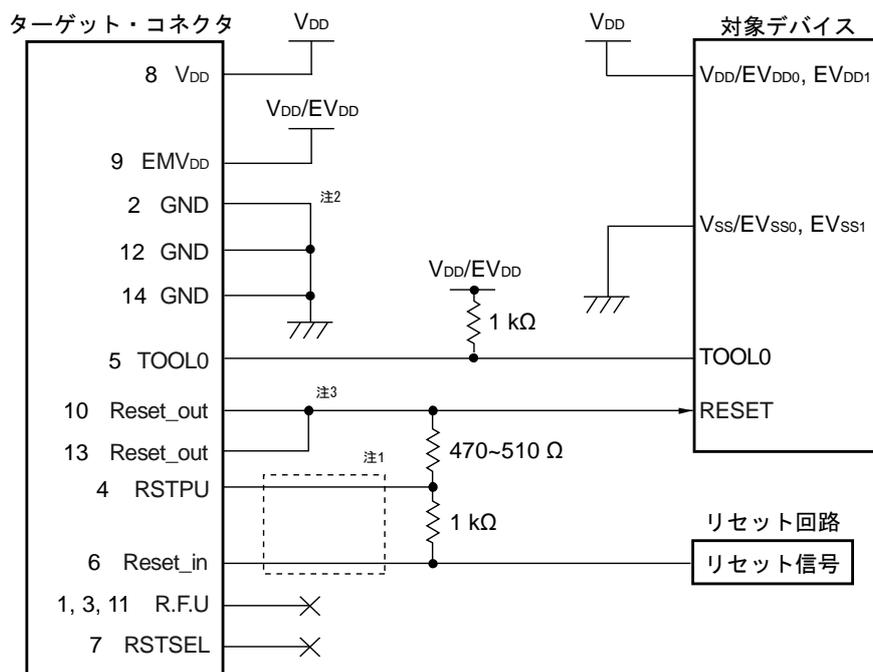
第39章 オンチップ・デバッグ機能

39.1 E1, E2, E2 Lite, E20オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1, E2, E2 Lite, E20オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} , \overline{RESET} , TOOL0, V_{SS} 端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図39-1 E1オンチップデバッキングエミュレータとの接続例



- 注** 1. オンチップデバッグ使用時は接続が必要です。フラッシュプログラミングは接続/未接続のどちらでも動作します。
2. 2, 12, 14ピンは必ずユーザーシステム上GNDに接続してください。電氣的なGNDとして使用するほか、E1がユーザーシステムとの接続を監視するためにも使用しています。
3. E1の10, 13ピンは必ず両ピンを接続してご使用ください。

注意 回路接続例中の定数は参考値です。量産を目的としてフラッシュ・プログラミングを行う場合は、対象デバイスのスペックを満たしているか十分な評価を行ってください。

備考 EVDD1, EVSS1端子が無い製品は、EVDD1をVDD/EMVDD0に、EVSS1をVSS/EMVSS0に置き換えてください。

39.2 オンチップ・デバッグ・セキュリティID

RL78マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第37章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にバンク・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと400C3H、400C4H-400CDHが切り替わるので、あらかじめ400C3H、400C4H-400CDHにも同じ値を設定してください。

表39-1 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード ^注
400C4H-400CDH	

注 “FFFFFFFFFFFFFFFFFFFFFH” は設定できません。

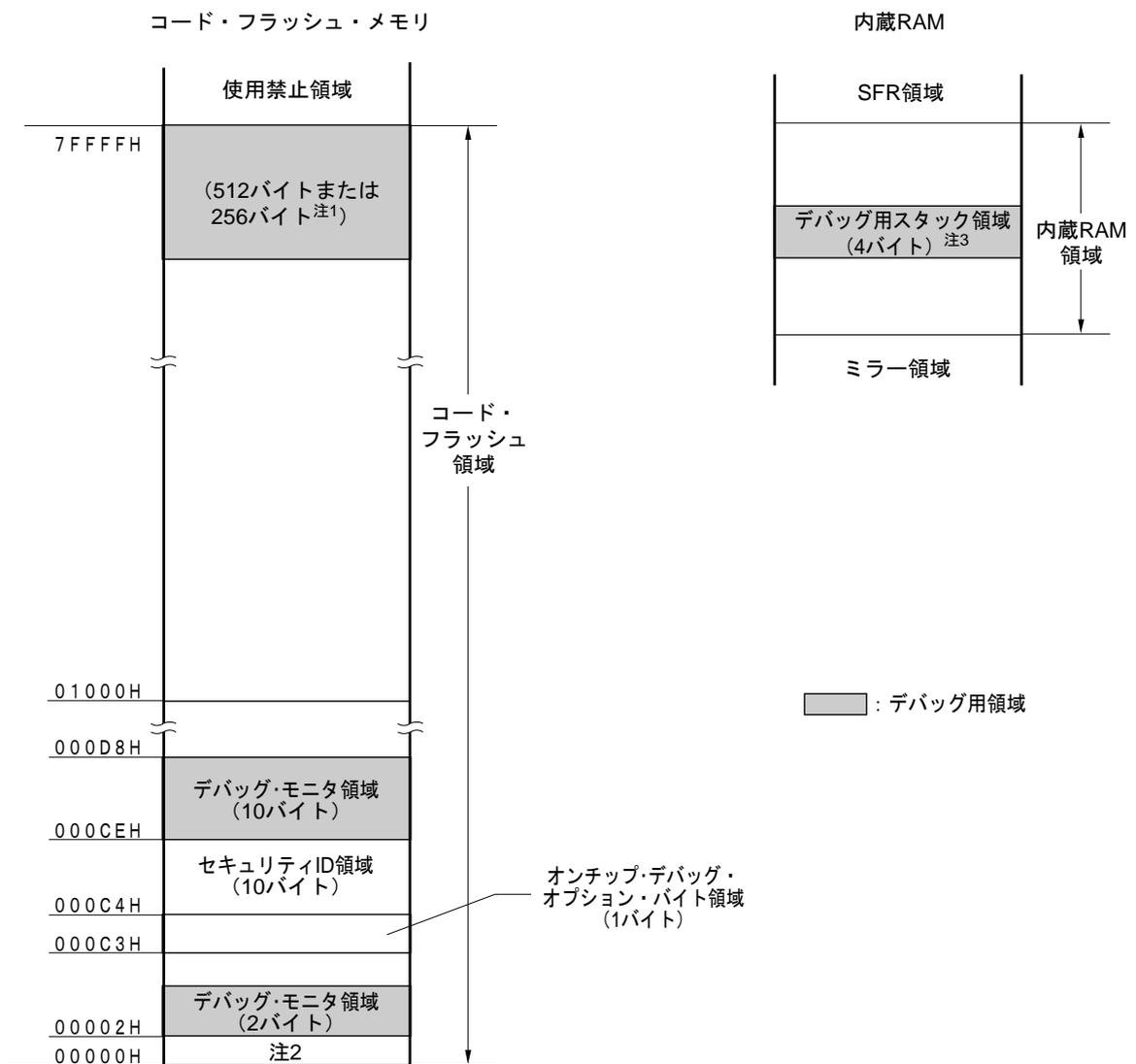
39.3 ユーザ資源の確保

RL78マイクロコントローラとE1, E2, E2 Lite, E20オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図39-3のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図39-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



- 注1.** リアルタイムRAMモニタ (RRM) 機能, Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。
- 2.** デバッグ時, リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
- 3.** この領域はスタック領域の直下に配置されるため, スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し, 4バイト余分に消費します。セルフ・プログラミングを行う場合は, 12バイト余分に消費します。

39.4 バンクプログラミングモード時のオンチップ・デバッグ機能

バンクプログラミングモード (BANKPGEN = 1) 時, オンチップ・デバッグ機能は使用できません。バンクプログラミングモードについては, **38.6.2 バンクプログラミング機能**を参照してください。

第40章 10進補正 (BCD) 回路

40.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を、BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ (BCDADJ) を加減算することで10進補正演算結果が求められます。

40.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- ・ BCD補正結果レジスタ (BCDADJ)

40.2.1 BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図40-1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



40.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

- (1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める
- ① 加算したいBCDコード値 (被加算値) をAレジスタに格納する。
 - ② Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値, 加算値) を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ (BCDADJ) に格納される。
 - ③ Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正値) を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ) は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

例2 $85 + 15 = 100$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

例3 $80 + 80 = 160$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

- (2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める
- ① 減算されるBCDコード値 (被減算値) をAレジスタに格納する。
 - ② Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCD補正結果レジスタ (BCDADJ) に格納される。
 - ③ Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正值) を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ) は、RETI命令によって復帰されます。

例を次に示します。

例 91-52 = 39

命 令				A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV	A, #91H	:	①	91H	—	—	—
SUB	A, #52H	:	②	3FH	0	1	06H
SUB	A, !BCDADJ	:	③	39H	0	0	—

第41章 32ビット積和演算回路

41.1 32ビット積和演算回路の機能

32ビット積和演算回路には次のような機能があります。

- ・ 32ビット×32ビット = 64ビット (符号なし乗算)
- ・ 32ビット×32ビット = 64ビット (符号付き乗算)
- ・ 32ビット×32ビット+ 64ビット= 64ビット (符号なし積和演算)
- ・ 32ビット×32ビット+ 64ビット= 64ビット (符号付き積和演算)
- ・ 固定小数点モード対応
- ・ 積和演算結果がオーバフロー／アンダーフロー発生時の割り込み出力
- ・ 24チャンネルバッファによる積和演算結果 (累計値) の保持およびチャンネル選択可能

データ形式は2の補数形式になります。

- ・ 符号付き (最上位ビットが符号ビット)
 - 7FFF (16 進数) = 32767 (10 進数)
 - 0001 (16 進数) = 1 (10 進数)
 - 0000 (16 進数) = 0 (10 進数)
 - FFFF (16 進数) = -1 (10 進数)
 - 8000 (16 進数) = -32768 (10 進数)
- ・ 符号なし
 - FFFF (16 進数) = 65535 (10 進数)
 - 0000 (16 進数) = 0 (10 進数)

41.2 32ビット積和演算回路の構成

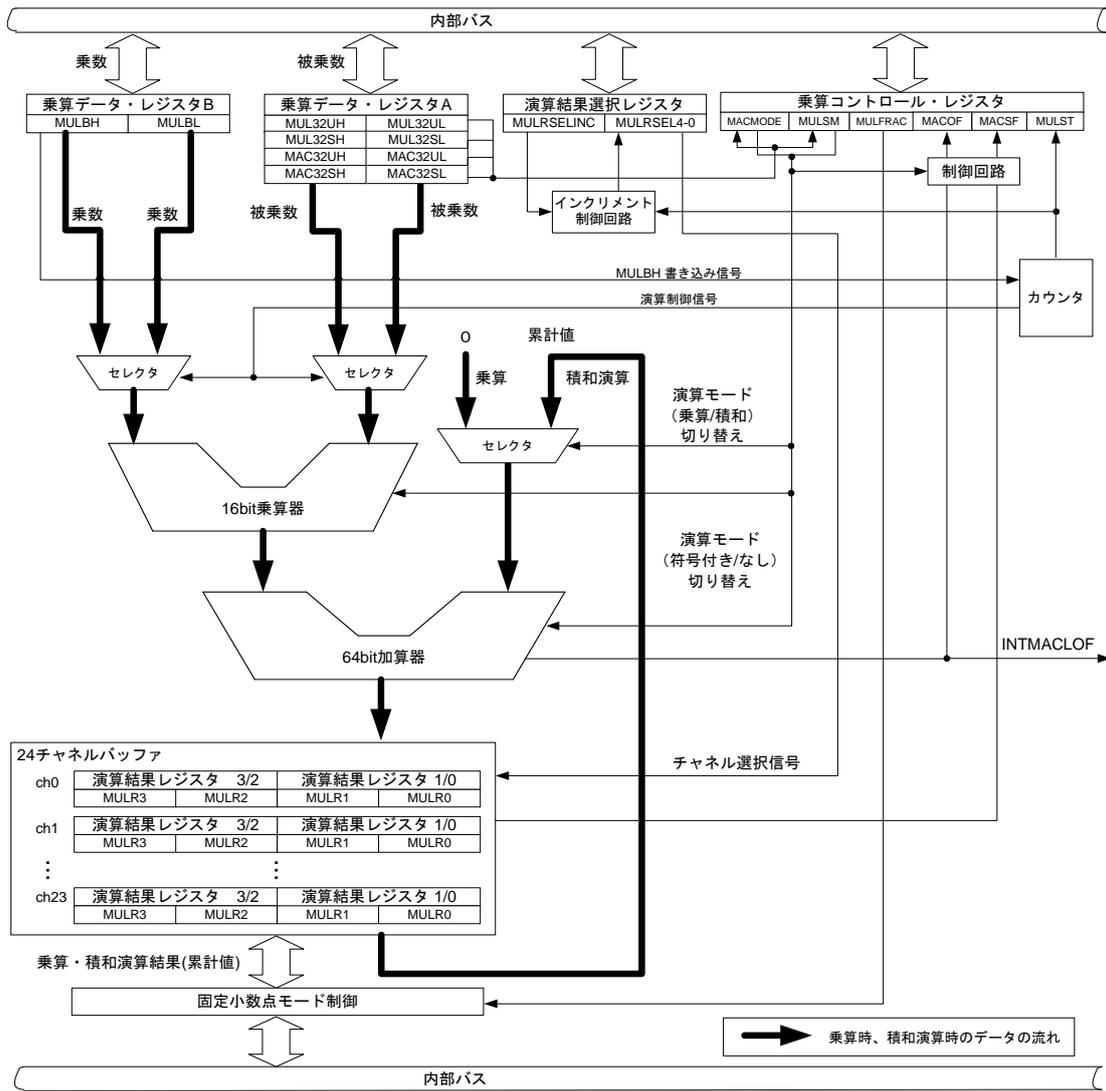
32ビット積和演算回路は、次のハードウェアで構成しています。

表41-1 32ビット積和演算回路の構成

項目	構成
制御レジスタ	乗算データ・レジスタB(L) (MULBL)
	乗算データ・レジスタB(H) (MULBH)
	乗算データ・レジスタA(L) (符号なし乗算) (MUL32UL)
	乗算データ・レジスタA(H) (符号なし乗算) (MUL32UH)
	乗算データ・レジスタA(L) (符号あり乗算) (MUL32SL)
	乗算データ・レジスタA(H) (符号あり乗算) (MUL32SH)
	乗算データ・レジスタA(L) (符号なし積和演算) (MAC32UL)
	乗算データ・レジスタA(H) (符号なし積和演算) (MAC32UH)
	乗算データ・レジスタA(L) (符号あり積和演算) (MAC32SL)
	乗算データ・レジスタA(H) (符号あり積和演算) (MAC32SH)
	演算結果レジスタ0 (MULR0)
	演算結果レジスタ1 (MULR1)
	演算結果レジスタ2 (MULR2)
	演算結果レジスタ3 (MULR3)
	乗算コントロール・レジスタ (MULC)
	演算結果選択レジスタ (MULRSEL)
	周辺イネーブル・レジスタ2 (PER2)
周辺リセット制御レジスタ2 (PRR2)	

32ビット積和演算回路のブロック図を、[図41-1](#)に示します。

図41-1 32ビット積和演算回路のブロック図



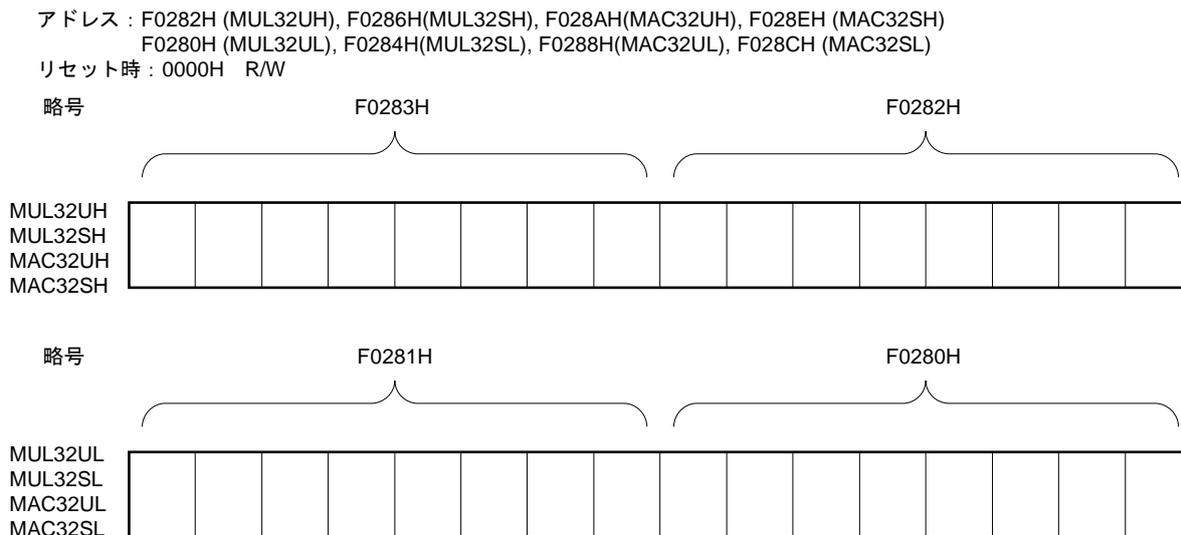
41.2.1 乗算データ・レジスタA (MUL32UH, MUL32UL, MUL32SH, MUL32SL, MAC32UH, MAC32UL, MAC32SH, MAC32SL)

乗算データ・レジスタAは、乗算および積和演算の演算に利用する被乗数を設定するレジスタです。

乗算データ・レジスタAは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図41-2 乗算データ・レジスタA (MUL32UH, MUL32UL, MUL32SH, MUL32SL, MAC32UH, MAC32UL, MAC32SH, MAC32SL) のフォーマット



注意 演算処理中 (乗算コントロール・レジスタ (MULC) のビット0 (MULST) = 1の時) に、乗算データ・レジスタA (MUL32UH, MUL32UL, MUL32SH, MUL32SL, MAC32UH, MAC32UL, MAC32SH, MAC32SL) の値を書き換えしないでください。演算結果は不定値となります。乗算データ・レジスタAには書き込まれた値が格納されます。乗算コントロール・レジスタ (MULC) のMACMODE, MULSMビットも、対応した演算モードの値に書き換わります。

乗算データ・レジスタAは、演算モード毎に異なるレジスタ名称およびレジスタアドレスを設定しているため、被乗数を設定するレジスタによって演算モードを切り替える事ができます。MULCレジスタのMACMODE, MULSMビットも、対応した演算モードの値に書き換わります。

MUL32UL, MUL32UH, MUL32SL, MUL32SH, MAC32UL, MAC32UH, MAC32SL, MAC32SHレジスタは共通のレジスタを使用するため、レジスタ値を書き換えた場合、全てのレジスタの値が書き換わります。

演算モードとレジスタ名称の関係を以下に示します。

表41-2 演算モードとレジスタ名称の関係

演算モード	乗算データ・レジスタAのレジスタ名称	
	31-16ビット (MULAH)	15-0ビット (MULAL)
乗算モード (符号なし)	MUL32UH	MUL32UL
乗算モード (符号付き)	MUL32SH	MUL32SL
積和演算モード (符号なし)	MAC32UH	MAC32UL
積和演算モード (符号付き)	MAC32SH	MAC32SL

41.2.2 乗算データ・レジスタB (MULBL, MULBH)

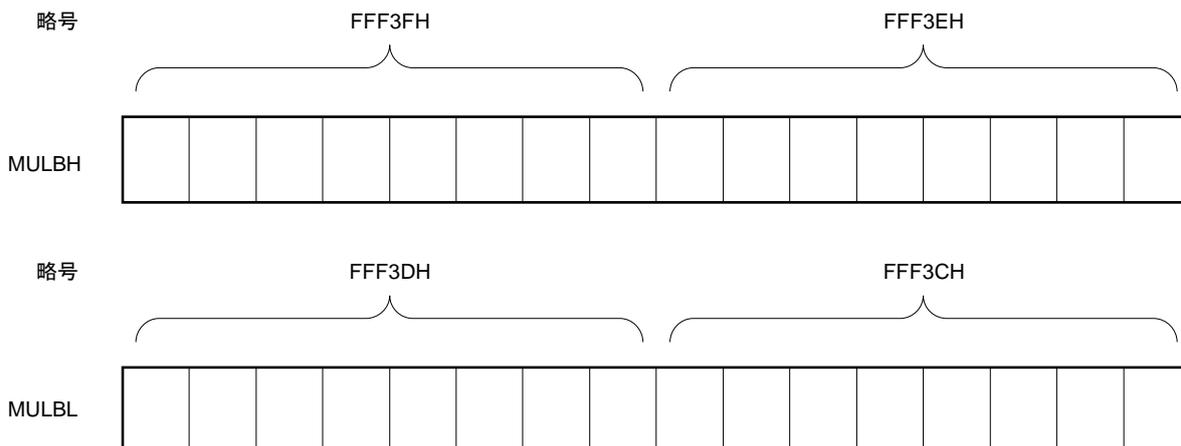
乗算データ・レジスタBは、乗算および積和演算の演算に利用する乗数を設定するレジスタです。

乗算データ・レジスタBは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図41-3 乗算データ・レジスタB (MULBH, MULBL) のフォーマット

アドレス : FFF3EH (MULBH), FFF3CH(MULBL) リセット時 : 0000H R/W



- 注意1. 演算処理中 (乗算コントロール・レジスタ (MULC) のビット0 (MULST) = 1の時) に、乗算データ・レジスタBの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。
2. 乗算データ・レジスタBの上位16ビット (MULBH) への書き込みによって、演算を開始します。必ずMULBL→MULBHの順番で、乗数を設定するようにしてください。(演算処理は、MULBHレジスタの書き込みから5サイクル後に終了します。)

乗算データ・レジスタBは、すべての演算モードで共通のレジスタとして使用します。

演算モードとレジスタ名称の関係を以下に示します。

表41-3 演算モードとレジスタ名称の関係

演算モード	乗算データ・レジスタBのレジスタ名称	
	31-16ビット (MULBH)	15-0ビット (MULBL)
乗算モード (符号なし)	MULBH	MULBL
乗算モード (符号付き)		
積和演算モード (符号なし)		
積和演算モード (符号付き)		

41.2.3 演算結果レジスタ (MULR0, MULR1, MULR2, MULR3)

演算結果レジスタは、演算結果の値が格納されるレジスタです。

演算結果レジスタは24チャンネル分のバッファを持っており、24チャンネル分の演算結果を保持する事ができます。

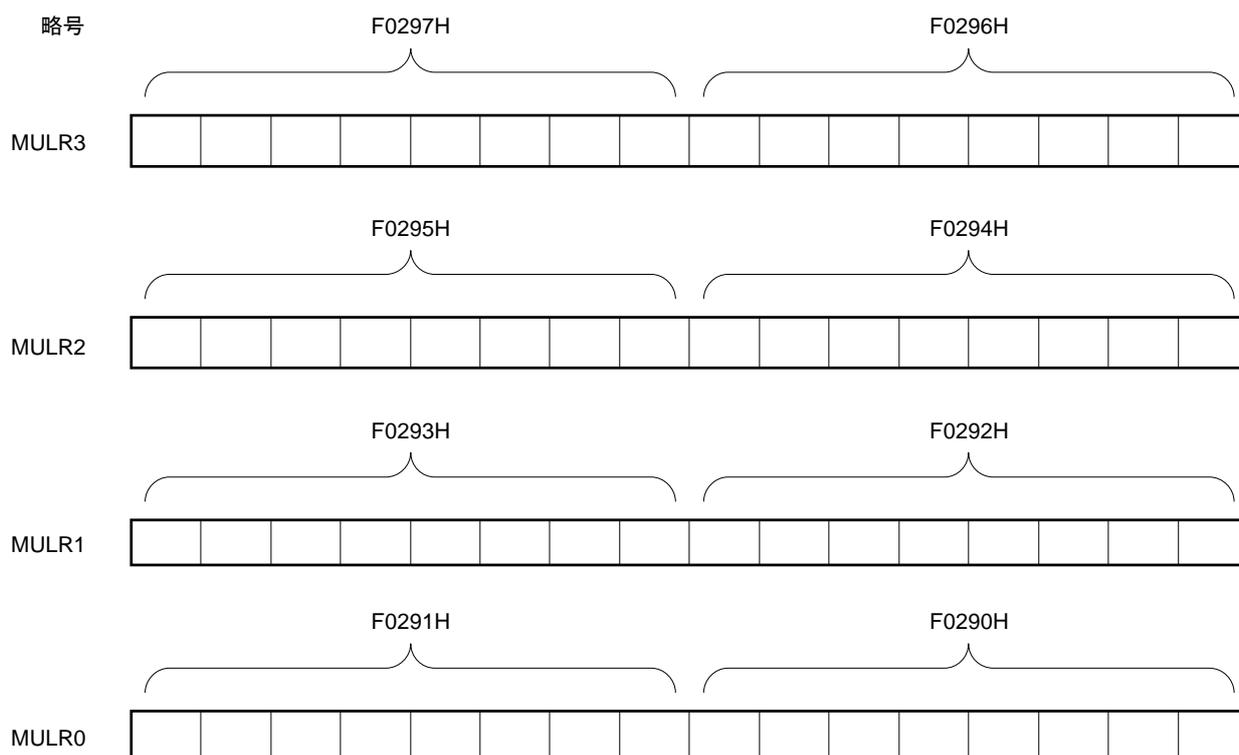
演算結果選択レジスタ (MULRSEL) によって任意の演算結果レジスタを選択する事ができます。選択されたチャンネルの演算結果レジスタの値を累計初期値として使用して積和演算を行い、演算結果 (累計値) は選択されたチャンネルの演算結果レジスタに格納されます。MULR0-MULR3レジスタにアクセスする事で、選択されたチャンネルの演算結果レジスタをリード/ライトする事ができます。

演算結果レジスタは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。24チャンネルの演算結果レジスタをクリアしたい場合は、ソフトウェアによりチャンネルを選択してクリアする、または周辺リセット制御レジスタ2 (PRR2) のMACRESビットを1に設定することでクリアすることができます。

図41-4 演算結果レジスタ (MULR0, MULR1, MULR2, MULR3) のフォーマット

アドレス : F0290H (MULR0), F0292H (MULR1), F0294H (MULR2), F0296H (MULR3) リセット時 : 0000H R/W



- 注意1. 演算処理中 (乗算コントロール・レジスタ (MULC) のビット0 (MULST) = 1の時) に、演算結果レジスタの値を書き換えないでください。書き換えた場合、演算結果は不定値となります。
2. 演算処理中 (MULST = 1の時) に演算結果レジスタの値を読み出した場合、その値は保証しません。ただし、演算結果はMULR0→MULR1→MULR2, MULR3 (MULR2とMULR3は同時) の順番に格納されるため、各演算結果レジスタで演算に必要なクロック数 (“41.4.2 演算に必要なクロック数”を参照) を経過していれば、演算処理中でもMULR3-MULR0レジスタの値を読み出す事ができます。

演算結果レジスタは、すべての演算モードで共通のレジスタとして使用します。

演算モードとレジスタ名称の関係を以下に示します。

表41-4 演算モードとレジスタ名称の関係

演算モード	演算結果レジスタのレジスタ名称			
	63-48ビット	47-32ビット	31-16ビット	15-0ビット
乗算モード (符号なし)	MULR3	MULR2	MULR1	MULR0
乗算モード (符号付き)				
積和演算モード (符号なし)				
積和演算モード (符号付き)				

乗算演算時は演算結果 (積) を格納し、積和演算時は演算結果 (累計) を格納します。また、積和演算時は累計初期値を設定する事ができます。

表41-5 演算モードと演算結果レジスタの格納内容

演算モード	設定	演算結果
乗算モード (符号なし)	—	MULR3-MULR0: 積 (符号なし) 注
乗算モード (符号付き)	—	MULR3- MULR0: 積 (符号付き) 注
積和演算モード (符号なし)	MULR3-MULR0: 累計初期値 (符号なし) 注	MULR3- MULR0: 累計値 (符号なし) 注
積和演算モード (符号付き)	MULR3-MULR0: 累計初期値 (符号付き) 注	MULR3- MULR0: 累計値 (符号付き) 注

注 演算結果選択レジスタ (MULRSEL) によって選択されたチャネルを使用します。

注意1. 演算処理中にMULRSELレジスタの値をソフトウェアで書き換えしないでください。書き換えた場合、演算結果は不定値となり、演算結果レジスタの値が不定値となります。

- 64ビットで扱える数値範囲の最大値を超えた場合 (=オーバーフロー) , もしくは最小値を超えた場合 (=アンダーフロー) は、値が反転し、桁あふれした分が足された値がMULR3-MULR0に格納されます。

■符号なしの場合

- ・オーバーフロー発生時
処理) $2^{64} + \text{MULR}[63:0]$

例)

$$\text{FFFF FFFF FFFF FFFFh} + \text{0000 0000 0000 0001h} = \text{0000 0000 0000 0000h}$$

■符号付きの場合

- ・オーバーフロー発生時
処理) $2^{63} + \text{MULR}[62:0]$

例)

$$\text{7FFF FFFF FFFF FFFFh} + \text{0000 0000 0000 0001h} = \text{8000 0000 0000 0000h}$$

- ・アンダーフロー発生時
処理) $-2^{63} + \text{MULR}[62:0]$

例)

$$\text{8000 0000 0000 0000h} + \text{FFFF FFFF FFFF FFFFh} = \text{7FFF FFFF FFFF FFFFh}$$

41.3 32ビット積和演算回路を制御するレジスタ

32ビット積和演算回路は、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ2 (PER2)
- ・周辺リセット制御レジスタ2 (PRR2)
- ・乗算コントロール・レジスタ (MULC)
- ・演算結果選択レジスタ (MULRSEL)

41.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

32ビット積和演算回路を使用するときは、必ずビット2 (MACEN) を1に設定してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図41-5 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	TAMKAEN	OSDCEN	UARTMG1EN	UARTMG0EN	0	MACEN	0	VRTCEN

MACEN	32ビット積和演算器の入カクロック供給の制御
0	入力クロック供給停止 ・32ビット積和演算器で使用するSFRへのライト不可、リードした場合は00Hが読めます。 ただし、初期化はされていません。 ^注
1	入力クロック供給 ・32ビット積和演算器で使用するSFRへのリード／ライト可

注 32ビット積和演算器および32ビット積和演算器で使用するSFRを初期化する場合、PRR2のビット2 (MACRES) を使用してください。

41.3.2 周辺リセット制御レジスタ2 (PRR2)

各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。

PRR2レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

32ビット積和演算回路をリセットする場合は、必ずビット2 (MACRES) を1に設定してください。

PRR2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PRR2レジスタは00Hになります。

図41-6 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRR2	TAMKARES	OSDCRES	UARTMG1RES	UARTMG0RES	0	MACRES	0	0

MACRES	32ビット積和演算回路のリセット制御
0	32ビット積和演算回路のリセット解除
1	32ビット積和演算回路はリセット状態

41.3.3 乗算コントロール・レジスタ (MULC)

MULCレジスタは、32ビット積和演算回路の動作を制御する8ビット・レジスタです。

MULCレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

ただし、積和演算結果 (累計値) のオーバフロー／アンダーフロー・フラグ (MACOF) , 積和演算結果 (累計値) のサイン・フラグ (MACSF) , 演算ステータスフラグ (MULST) は読み出しのみ可能です。

リセット信号の発生により、00Hになります。

図41-7 乗算コントロール・レジスタ (MULC) のフォーマット (1/2)

アドレス : F029AH リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
MULC	MACMODE	MULSM	0	MULFRAC	0	MACOF	MACSF	MULST

MACMODE	MULSM	演算モードの選択
0	0	乗算モード (符号なし) (デフォルト)
0	1	乗算モード (符号付き)
1	0	積和演算モード (符号なし)
1	1	積和演算モード (符号付き)
演算モードは、設定する乗算データ・レジスタAのアドレスによって自動的に切り替わります。 本ビットを読み出すことにより演算モードを確認することができます。 本ビットに書き込むことにより演算モードを設定することもできます。		

MULFRAC	固定小数点モードの選択
0	無効
1	有効
固定小数点モードの詳細については、41.4.6 固定小数点モードを参照してください。	

図41-7 乗算コントロール・レジスタ (MULC) のフォーマット (2/2)

アドレス : F029AH リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
MULC	MACMODE	MULSM	0	MULFRAC	0	MACOF	MACSF	MULST

MACOF	積和演算結果 (累計値) のオーバフロー／アンダーフロー・フラグ
0	オーバフロー／アンダーフローなし
1	オーバフロー／アンダーフローあり

[セット条件]

- ・積和演算モード (符号なし) の場合
累計値がFFFF FFFF FFFF FFFFhを超える場合
- ・積和演算モード (符号付き) の場合
正の累計値に正の積を加算した結果が7FFF FFFF FFFF FFFFhを超え結果が負となる場合
負の累計値に負の積を加算した結果が8000 0000 0000 0000hを超え結果が正となる場合

[セット／クリアのタイミング]

- ・演算終了時 (MULST = 1→0)

MACSF	積和演算結果 (累計値) のサイン・フラグ
0	累計値が正
1	累計値が負

積和演算モード (符号なし) の場合 : 常に0
積和演算モード (符号付き) の場合 : 累計値の符号ビットを表示

MULST	演算処理ステータス・ビット
0	演算処理完了
1	演算処理中

乗算データ・レジスタBの上位16ビット (MULBH) への書き込みによって、演算を開始します。
MULSTビットは、演算開始時にセット(1)され、5サイクル後の演算完了時にクリア(0)します。

注 ビット0-2はRead onlyです。

注意 演算処理中 (MULST = 1の時) に、乗算コントロール・レジスタ (MULC) の値を書き換えないでください。書き換えた場合、演算結果レジスタとMACOF, MACSFビットが不定値となります。

41.3.4 演算結果選択レジスタ (MULRSEL)

MULRSELレジスタは、積和演算器に搭載された24 チャンルの演算結果レジスタ (MULR3-MULR0) を選択する8ビット・レジスタです。

演算開始前にMULRSEL[4:0]ビットを設定し、演算結果レジスタ (MULR3-MULR0) のチャンネルを選択してください。

MULRSELレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図41-8 演算結果選択レジスタ (MULRSEL) のフォーマット (1/2)

アドレス : F029BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MULRSEL	MULRSELINC	0	0	MULRSEL[4:0]				

MULRSELINC	演算結果選択 (MULRSEL[4:0]) 自動インクリメント	
0	無効	
1	有効	
MULRSELINCを1に設定した場合、演算完了後にMULRSEL[4:0]の値を自動的にインクリメントします。 ch23の次はch0が選択されます。		

(注意は次ページにあります。)

図41-8 演算結果選択レジスタ (MULRSEL) のフォーマット (2/2)

アドレス : F029BH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

MULRSEL	MULRSELINC	0	0	MULRSEL[4:0]			
---------	------------	---	---	--------------	--	--	--

MULRSEL[4:0]					チャンネル	演算結果レジスタのレジスタ名称			
						63-48 ビット	47-32 ビット	31-16 ビット	15-0 ビット
0	0	0	0	0	ch0	MULR3	MULR2	MULR1	MULR0
0	0	0	0	1	ch1				
0	0	0	1	0	ch2				
0	0	0	1	1	ch3				
0	0	1	0	0	ch4				
0	0	1	0	1	ch5				
0	0	1	1	0	ch6				
0	0	1	1	1	ch7				
0	1	0	0	0	ch8				
0	1	0	0	1	ch9				
0	1	0	1	0	ch10				
0	1	0	1	1	ch11				
0	1	1	0	0	ch12				
0	1	1	0	1	ch13				
0	1	1	1	0	ch14				
0	1	1	1	1	ch15				
1	0	0	0	0	ch16				
1	0	0	0	1	ch17				
1	0	0	1	0	ch18				
1	0	0	1	1	ch19				
1	0	1	0	0	ch20				
1	0	1	0	1	ch21				
1	0	1	1	0	ch22				
1	0	1	1	1	ch23				
上記以外					設定禁止 (設定した場合はch0)				

注意 演算処理中 (MULST = 1のとき) に、演算結果選択レジスタ (MULRSEL) の値を書き換えないでください。書き換えた場合、演算結果レジスタとMACOF, MACSFビットが不定値となります。

41.4 32ビット積和演算回路の動作

41.4.1 基本動作

乗算時と積和演算時のレジスタ構成を次に示します。

■ 符号なし乗算時のレジスタ構成

<被乗数>	<乗数>	<積>
32ビット	32ビット	64ビット
符号なし	符号なし	符号なし
[MUL32UH,MUL32UL]	×	[MDBH,MDBL]
		=
		[MULR3,MULR2,MULR1,MULR0]

■ 符号付き乗算時のレジスタ構成

<被乗数>	<乗数>	<積>
32ビット	32ビット	64ビット
符号付き	符号付き	符号付き
[MUL32SH,MUL32SL]	×	[MDBH,MDBL]
		=
		[MULR3,MULR2,MULR1,MULR0]

■ 符号なし積和演算時のレジスタ構成

<被乗数>	<乗数>	<累計値>	<積>
32ビット	32ビット	64ビット	64ビット
符号なし	符号なし	符号なし	符号なし
[MAC32UH,MAC32UL]	×	[MDBH,MDBL]	+
		[MULR3,MULR2,MULR1,MULR0]	=
			[MULR3,MULR2,MULR1,MULR0]

■ 符号付き積和演算時のレジスタ構成

<被乗数>	<乗数>	<累計値>	<積>
32ビット	32ビット	64ビット	64ビット
符号付き	符号付き	符号付き	符号付き
[MAC32SH,MAC32SL]	×	[MDBH,MDBL]	+
		[MULR3,MULR2,MULR1,MULR0]	=
			[MULR3,MULR2,MULR1,MULR0]

41.4.2 演算に必要なクロック数

乗算、積和演算共に、被乗数の上位16ビット (MULBH) をセットする事で自動的に演算を開始します。演算に必要なクロック数は下記を参照してください。

演算モード	Operation	演算に必要なクロック数 (MULBHへの書き込みを開始トリガとする)				
		MULR0	MULR1	MULR2	MULR3	MACOF MACSF
符号なし乗算	32 bit x 32 bit	2	4	5	5	5
符号付き乗算	32 bit x 32 bit	2	4	5	5	5
符号なし積和演算	32 bit x 32 bit + 64 bit	2	4	5	5	5
符号付き積和演算	32 bit x 32 bit + 64 bit	2	4	5	5	5

備考 固定小数点モードの有効/無効によるクロック数の違いはありません。

41.4.3 演算モード切り替え

演算モードは、乗算データ・レジスタAへの被乗数の書き込み操作によって切り替えます。また、乗算コントロール・レジスタ (MULC) のMACMODE (ビット7)、MULSM (ビット6) によって、モードを切り替えおよび演算モードを確認することができます。乗算データ・レジスタB (H) の書き込みで、連続して乗算処理を実施できるように、最後に書き込みを実施したモードを保持します。初期値は“符号なし乗算モード”となります。

41.4.4 乗算動作

- 乗算演算開始前に、演算結果選択レジスタ (MULRSEL) で演算結果レジスタを選択してください。
- 乗算はMULBHレジスタに乗数をセットすることで、自動的に開始します。MULBLレジスタをセットしても演算は開始しません。
- 乗算データ・レジスタAに被乗数をセットすることで、演算モードが自動的に切り替わりますが、演算は開始しません。
- 演算開始後、MULSTビットは1にセットされ、演算が完了後に0にクリアされます。
- 演算完了後に割り込みは発生しません。^注

注 演算モードが乗算モード (符号付き) かつ、演算開始前の演算結果レジスタ (MULR3-MULR0) が負の場合、積和演算オーバーフロー／アンダーフロー割り込み (INTMACLOF) が発生する場合があります。乗算モード (符号付き) の演算時は、MULBHレジスタに乗数をセットして演算を開始する前に割り込みマスク・フラグ・レジスタ (MACMK) に1を設定して、INTMACLOFを禁止してください。または、MULBHレジスタに乗数をセットして演算を開始する前に、演算結果レジスタ (MULR3) をゼロまたは正の値に設定してください。

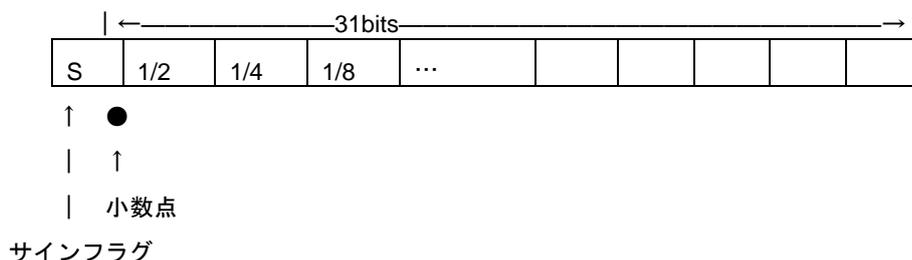
41.4.5 積和演算動作

- 積和演算開始前に、演算結果選択レジスタ (MULRSEL) で演算結果レジスタを選択してください。
- 積和演算はMULBHレジスタに乗数をセットすることで、自動的に開始します。MULBLレジスタをセットしても演算は開始しません。
- 乗算データ・レジスタAに被乗数をセットすることで、演算モードが自動的に切り替わりますが、演算は開始しません。
- 演算開始後、MULSTビットは1にセットされ、演算が完了後に0にクリアされます。
- 演算完了後に累計結果がオーバーフロー／アンダーフローした場合、割り込みを出力します。

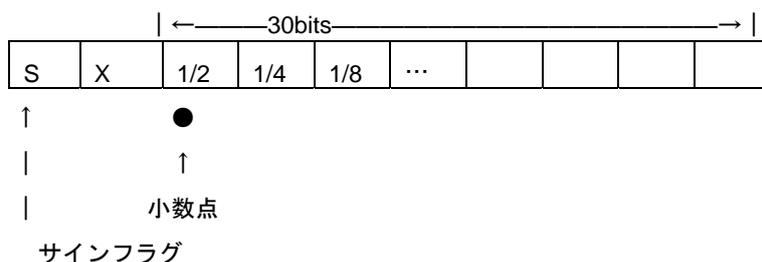
41.4.6 固定小数点モード

固定小数点モードではQフォーマットをサポートします。

(例)Q31フォーマット $-1.0 \sim 0.999999999534 \doteq 1.0$



(例)Q30フォーマット $-2.0 \sim 1.999999999069 \doteq 2.0$



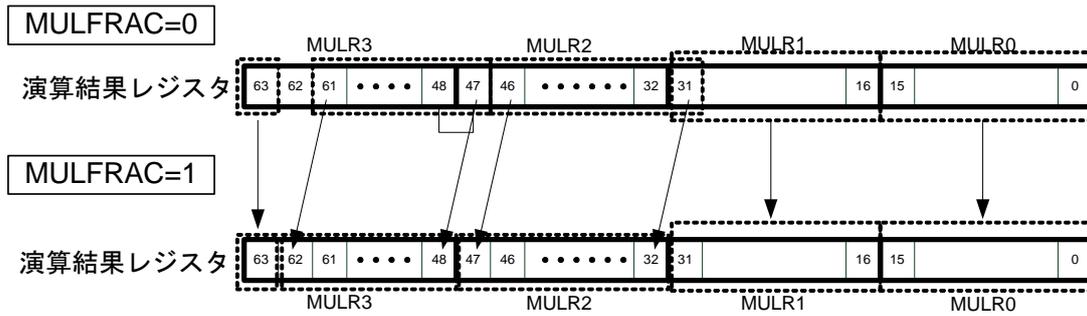
Q31フォーマットの2つの32ビット固定小数点同士の乗算を実施すると、演算結果はQ62フォーマットとして演算結果レジスタ (MULR3~MULR0) に格納されます。Q31フォーマットに手動で変換する為には、演算結果の下位31ビットと拡張された符号ビットを取り除く必要があります。固定小数点モードを有効 (MULFRAC=1) の状態で、CPUが演算結果レジスタ (MULR3~MULR2) をリードすると、演算結果が1ビット左シフトされた値が読み出せます。演算結果を1ビット左シフトする事により、冗長な符号ビットは自動的に取り除かれ、32ビットのQ31フォーマットの演算結果を得る事ができます。

固定小数点モードは、演算結果レジスタ自体の値が書き換わるわけではありません。その為、固定小数点モードフラグの値を変更する事で、1ビット左シフトされたQ31フォーマットの値と、左シフトしていない演算結果を両方読み出す事ができます。

41.4.7 固定小数点モードの動作

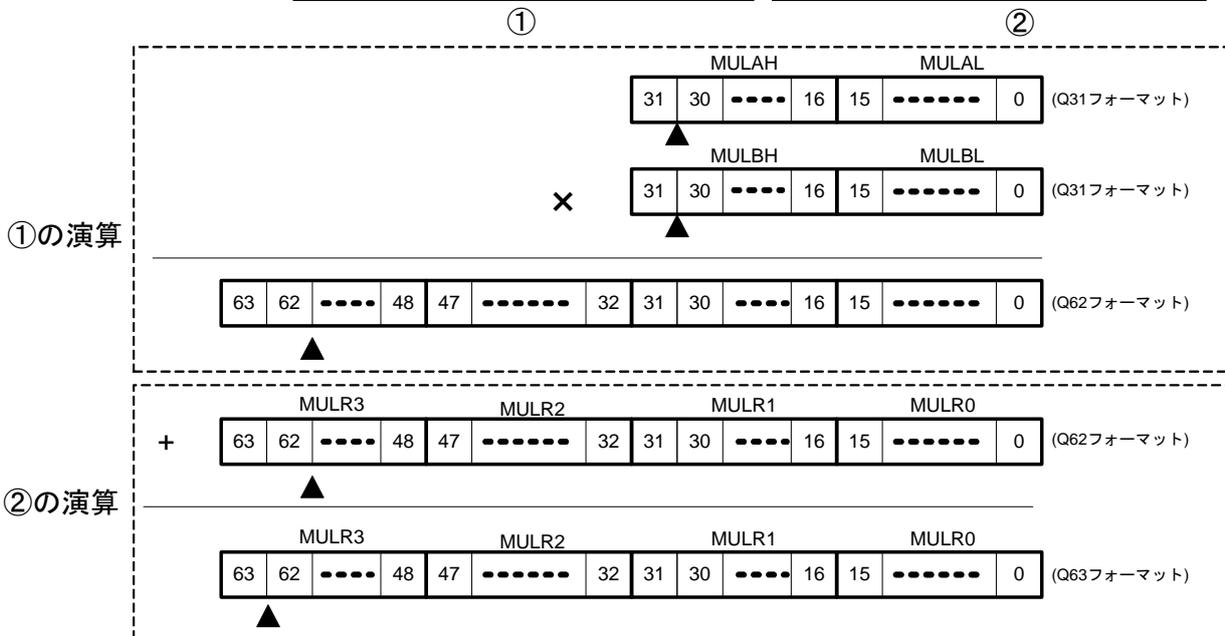
演算動作は通常動作と同じ。固定小数点モードを有効な場合のみ、演算結果レジスタをリードすると、演算結果は以下となります。

MULFRAC=1の場合
 MULR3リード時の値 = {MULR3[15], MULR3[13:0], MULR2[15]}
 MULR2リード時の値 = {MULR2[14:0], MULR1[15]}
 MULR1リード時の値 = {MULR1[15:0]}
 MULR0リード時の値 = {MULR0[15:0]}



固定小数点モード (MULFRAC=1) の場合, MULA, MULBにQ31フォーマットで入力してください。積和演算する場合, 累計初期値はQ62フォーマット (=31 (MULAの31フォーマット) + 31 (MULBの31フォーマット)) で入力してください。この場合, MULA×MULBにより出力されるフォーマットに合わせてMULR3-MULR0に入力する必要があるため, MULR3- MULR0にはQ62フォーマットで入力する必要があります。以下に例を示します。

例) 積和演算時 {MULAH, MULAL} × {MULBH, MULBL} + {MULR3, MULR2, MULR1, MULR0}



注意 固定小数点モード時 (MULFRAC=1) MULR1-MULR0の値は, 左シフトしないQ62フォーマットの下位32ビットになります。固定小数点モード無効時の演算結果レジスタのbit62からの桁上げ/桁下げが発生しない限り, 固定小数点モード時 (MULFRAC=1) でもオーバーフロー/アンダーフローの割り込みは発生しません。

41.4.8 割り込み動作

積和演算結果がオーバーフロー／アンダーフローした場合に割り込みを出力します。

41.5 32ビット積和演算回路の動作説明

下記の設定手順に従い、32ビット積和演算回路の演算を実行させます。

① 乗算動作時の実行例

- 動作許可
周辺イネーブル・レジスタ 2 (PER2) のビット 2 (MACEN) に 1 を設定し、クロック供給を開始します。

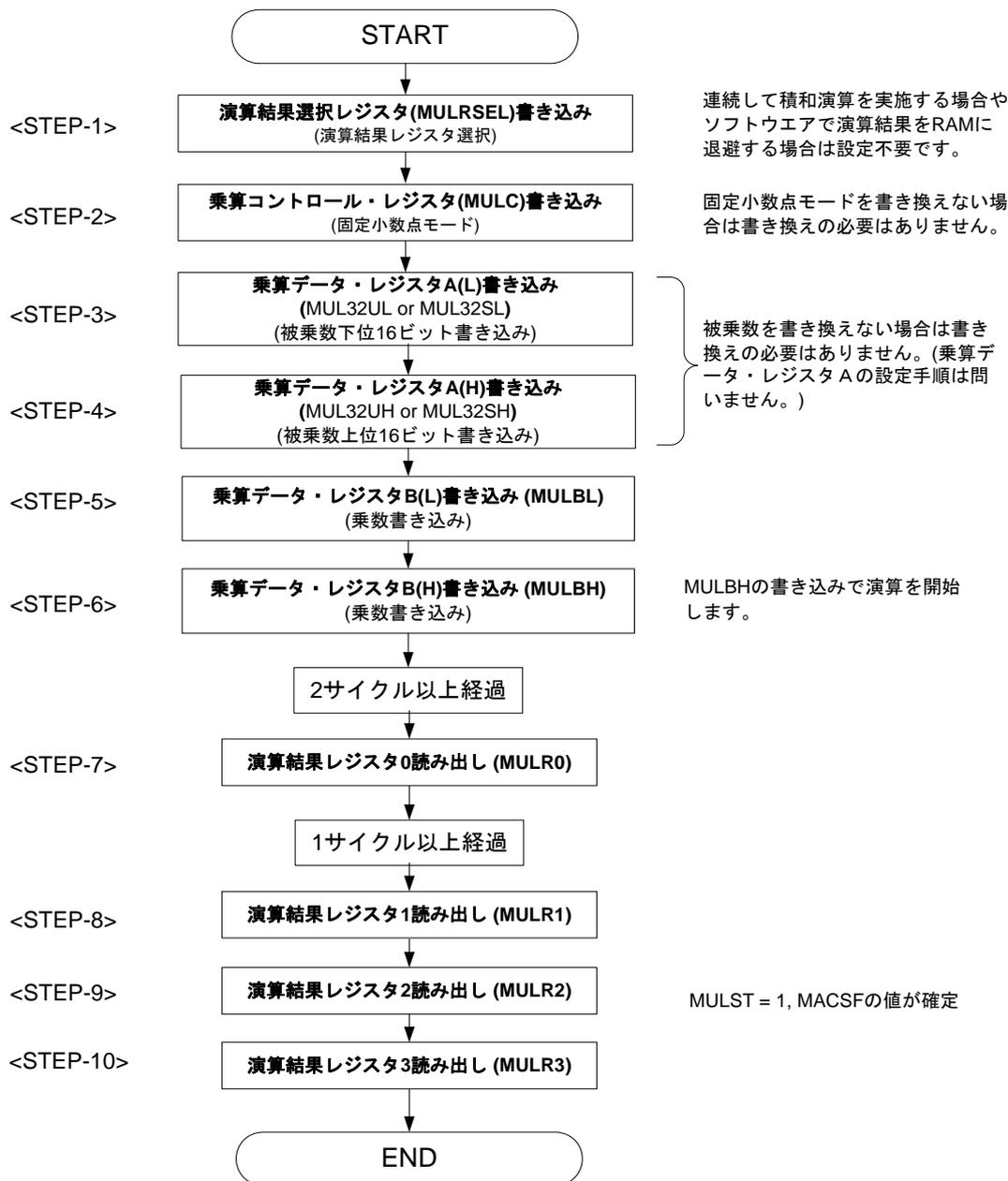
- 初期設定
 - <STEP-1> MULRSEL 書き込み (演算結果レジスタ選択)
 - <STEP-2> MULC 書き込み (固定小数点モード有効/無効設定)
 - <STEP-3> 乗算データ・レジスタ A(L)書き込み (MUL32UL または MUL32SL)
 - <STEP-4> 乗算データ・レジスタ A(H)書き込み (MUL32UH または MUL32SH)
 - <STEP-5> 乗算データ・レジスタ B(L)書き込み (MULBL)
 - <STEP-6> 乗算データ・レジスタ B(H)書き込み (MULBH)
- MULST=1 になります。

- 乗算演算
下記の一連の処理が終わると演算が終了します。
 - 乗算演算処理の全演算 (5 サイクル) が終了すると MULST=0 になります。
(符号フラグ MACSF=0 固定となります。)
 - 演算開始 2 サイクル以降
 - <STEP-7> 演算結果レジスタ 0 (MULR0) 読み出し可能
 - 演算開始 4 サイクル以降
 - <STEP-8> 演算結果レジスタ 1 (MULR1) 読み出し可能
 - 演算開始 5 サイクル以降
 - <STEP-9> 演算結果レジスタ 2 (MULR2) 読み出し可能
 - <STEP-10> 演算結果レジスタ 3 (MULR3) 読み出し可能

- 続けて演算を行う場合
 - (1) 固定小数点モードを切り替える場合は<STEP-2>を実行、それ以外の場合(2)へ
 - (2) 被乗数を書き換える場合<STEP-3>,<STEP-4>を実行、それ以外は(3)へ
 - (3) <STEP-5>より実行

乗算時の動作フローを以下に示します。

図41-9 32ビット積和演算回路の動作フロー (乗算時)



② 積和演算動作時の実行例

- 動作許可
周辺イネーブル・レジスタ 2 (PER2) のビット 2 (MACEN) に 1 を設定し、クロック供給を開始します。

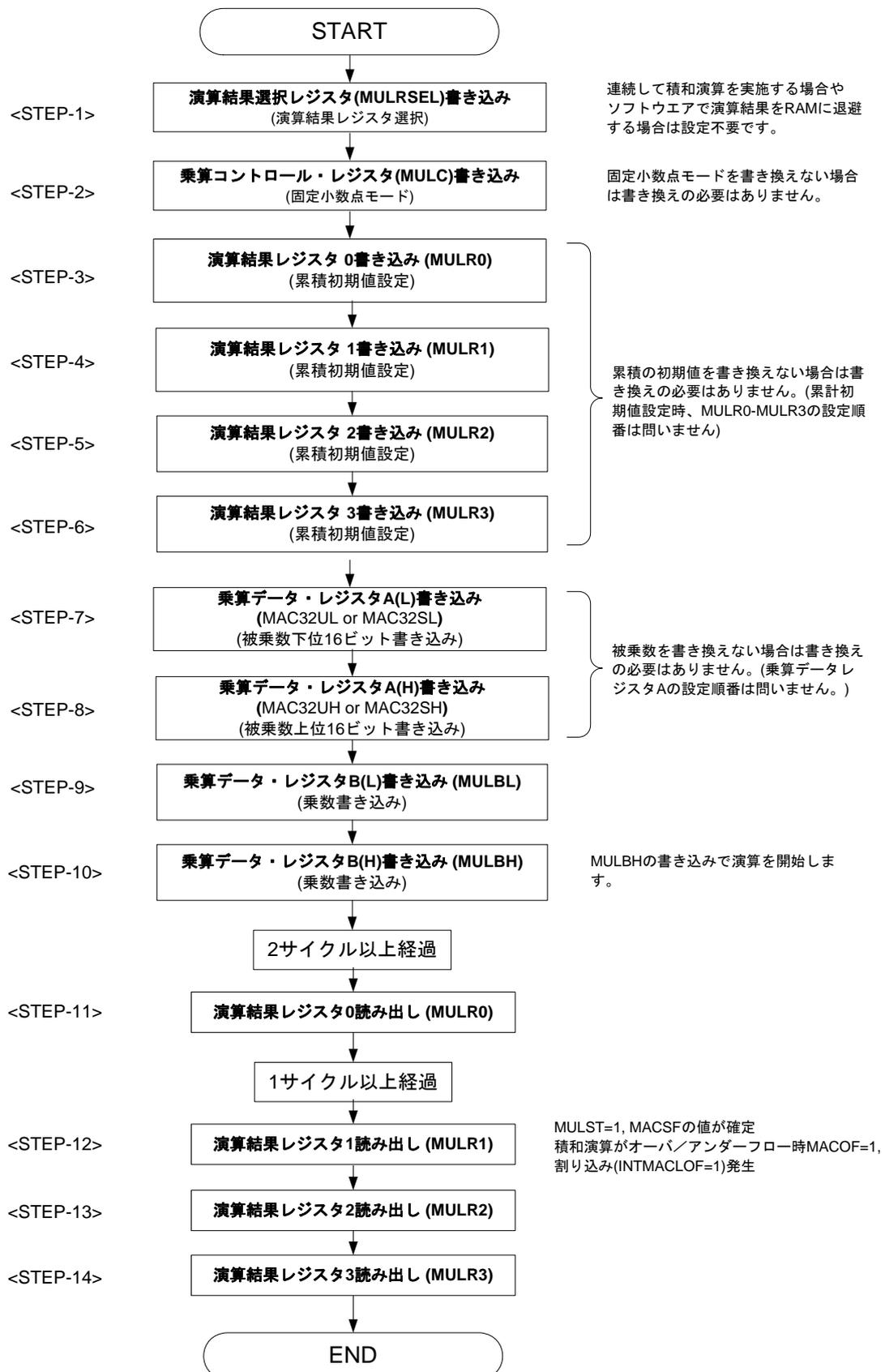
- 初期設定
 - <STEP-1> MULRSEL 書き込み (演算結果レジスタ選択)
 - <STEP-2> MULC 書き込み (固定小数点モード 有効/無効設定)
 - <STEP-3> 演算結果レジスタ 0 書き込み (MULR0) (累積初期値設定)
 - <STEP-4> 演算結果レジスタ 1 書き込み (MULR1) (累積初期値設定)
 - <STEP-5> 演算結果レジスタ 2 書き込み (MULR2) (累積初期値設定)
 - <STEP-6> 演算結果レジスタ 3 書き込み (MULR3) (累積初期値設定)
 - <STEP-7> 乗算データ・レジスタ A(L)書き込み (MAC32UL または MAC32SL)
 - <STEP-8> 乗算データ・レジスタ A(H)書き込み (MAC32UH または MAC32SH)
 - <STEP-9> 乗算データ・レジスタ B(L)書き込み (MULBL)
 - <STEP-10> 乗算データ・レジスタ B(H)書き込み (MULBH)
- MULST = 1 になります。

- 積和演算中
下記の一連の処理が終わると演算が終了します。
 - オーバフロー/アンダーフローが発生した場合 MACOF = 1 へセット、 割り込み (INTMACLOF = 1) を発生します。
 - 積和演算処理の全演算 (5 サイクル) が終了すると MULST = 0 になり、符号フラグ MACSF がセット/クリアされます。
(但し、MULSM = 0 の時はセットされず、MACSF = 0 固定になります。)
 - 演算開始 2 サイクル以降
<STEP-11> 演算結果レジスタ 0 (MULR0) 読み出し可能
 - 演算開始 4 サイクル以降
<STEP-12> 演算結果レジスタ 1 (MULR1) 読み出し可能
 - 演算開始 5 サイクル以降
<STEP-13> 演算結果レジスタ 2 (MULR2) 読み出し可能
<STEP-14> 演算結果レジスタ 3 (MULR3) 読み出し可能

- 続けて演算を行う場合
 - (1) 固定小数点モードを切り替える場合<STEP-2>を実行、それ以外の場合(2)へ
 - (2) 累積初期値 (演算結果レジスタ MULR0-3) を書き換える場合
<STEP-3>,<STEP-4>,<STEP-5>,<STEP-6>を実行、それ以外の場合(3)へ
 - (3) 被乗数を書き換える場合<STEP-7>,<STEP-8>を実行、それ以外の場合(4)へ
 - (4) <STEP-9>より実行

積和演算時の動作フローを以下に示します。

図41-10 32ビット積和演算回路の動作フロー（積和演算時）



41.6 32ビット積和演算回路の注意事項

41.6.1 演算中 (MULST = 1) の注意事項

演算中は乗算データ・レジスタA(L)/(H), 乗算データ・レジスタB(L)/(H), 演算結果レジスタ0/1/2/3, 乗算コントロール・レジスタおよび, 演算結果選択レジスタの書き換えは禁止で, 書き込んだ場合演算結果は不定となります。

乗算データ・レジスタB (H)への書き込みにより演算をスタートする前に, 乗算データ・レジスタA(L)/(H), 乗算データ・レジスタB(L), 演算結果レジスタ0/1/2/3, 乗算コントロール・レジスタおよび, 演算結果選択レジスタの書き換えを終えてください。

第42章 命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、**RL78ファミリ ユーザーズ・マニュアル ソフトウェア編 (R01US0015)**を参照してください。

42.1 凡例

42.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [, ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミーディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [, ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表42-1の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表42-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	0000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFFH イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	1ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-5 **SFR一覧**を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-6 **拡張SFR (2nd SFR) 一覧**を参照してください。

42.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表42-2 オペレーション欄の記号

記 号	機 能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
∧	論理積 (AND)
∨	論理和 (OR)
⊕	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

42.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表42-3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

42.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDTC転送を受け付けることはありません。

表42-4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

42.2 オペレーション一覧

表42-5 オペレーション一覧 (1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	x	x	x
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE+byte) ← byte			
		ES:[DE+byte],#byte	4	2	—	((ES, DE)+byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL+byte) ← byte			
		ES:[HL+byte],#byte	4	2	—	((ES, HL)+byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP+byte) ← byte			
		word[B], #byte	4	1	—	(B+word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B)+word) ← byte			
		word[C], #byte	4	1	—	(C+word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C)+word) ← byte			
		word[BC], #byte	4	1	—	(BC+word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC)+word) ← byte			
		A, r <small>注3</small>	1	1	—	A ← r			
		r, A <small>注3</small>	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	x	x	x
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	—	(addr16) ← A			
ES:!addr16, A	4	2	—	(ES, addr16) ← A					
A, saddr	2	1	—	A ← (saddr)					
saddr, A	2	1	—	(saddr) ← A					

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (\text{DE})$			
		[DE], A	1	1	—	$(\text{DE}) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (\text{ES}, \text{DE})$			
		ES:[DE], A	2	2	—	$(\text{ES}, \text{DE}) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (\text{HL})$			
		[HL], A	1	1	—	$(\text{HL}) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (\text{ES}, \text{HL})$			
		ES:[HL], A	2	2	—	$(\text{ES}, \text{HL}) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (\text{DE}+\text{byte})$			
		[DE+byte], A	2	1	—	$(\text{DE}+\text{byte}) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{DE})+\text{byte})$			
		ES:[DE+byte], A	3	2	—	$((\text{ES}, \text{DE})+\text{byte}) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (\text{HL}+\text{byte})$			
		[HL+byte], A	2	1	—	$(\text{HL}+\text{byte}) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{HL})+\text{byte})$			
		ES:[HL+byte], A	3	2	—	$((\text{ES}, \text{HL})+\text{byte}) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (\text{SP}+\text{byte})$			
		[SP+byte], A	2	1	—	$(\text{SP}+\text{byte}) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (\text{B}+\text{word})$			
		word[B], A	3	1	—	$(\text{B}+\text{word}) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((\text{ES}, \text{B})+\text{word})$			
		ES:word[B], A	4	2	—	$((\text{ES}, \text{B})+\text{word}) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (\text{C}+\text{word})$			
		word[C], A	3	1	—	$(\text{C}+\text{word}) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((\text{ES}, \text{C})+\text{word})$			
		ES:word[C], A	4	2	—	$((\text{ES}, \text{C})+\text{word}) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (\text{BC}+\text{word})$			
		word[BC], A	3	1	—	$(\text{BC}+\text{word}) \leftarrow A$			
A, ES:word[BC]	4	2	5	$A \leftarrow ((\text{ES}, \text{BC})+\text{word})$					
ES:word[BC], A	4	2	—	$((\text{ES}, \text{BC})+\text{word}) \leftarrow A$					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL+B)$			
		[HL+B], A	2	1	—	$(HL+B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL)+B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL)+B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL+C)$			
		[HL+C], A	2	1	—	$(HL+C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL)+C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL)+C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$			
	C, saddr	2	1	—	$C \leftarrow (saddr)$				
	ES, saddr	3	1	—	$ES \leftarrow (saddr)$				
	XCH	A, r	注3 1 (r=X) 2 (r=X以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
		A, ES:!addr16	5	3	—	$A \leftrightarrow (ES, addr16)$			
		A, saddr	3	2	—	$A \leftrightarrow (saddr)$			
		A, sfr	3	2	—	$A \leftrightarrow sfr$			
		A, [DE]	2	2	—	$A \leftrightarrow (DE)$			
		A, ES:[DE]	3	3	—	$A \leftrightarrow (ES, DE)$			
		A, [HL]	2	2	—	$A \leftrightarrow (HL)$			
A, ES:[HL]		3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]		3	2	—	$A \leftrightarrow (DE+byte)$				
A, ES:[DE+byte]		4	3	—	$A \leftrightarrow ((ES, DE)+byte)$				
A, [HL+byte]		3	2	—	$A \leftrightarrow (HL+byte)$				
A, ES:[HL+byte]	4	3	—	$A \leftrightarrow ((ES, HL)+byte)$					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	A ↔ (HL+B)			
		A, ES:[HL+B]	3	3	—	A ↔ ((ES, HL)+B)			
		A, [HL+C]	2	2	—	A ↔ (HL+C)			
		A, ES:[HL+C]	3	3	—	A ↔ ((ES, HL)+C)			
	ONEB	A	1	1	—	A ← 01H			
		X	1	1	—	X ← 01H			
		B	1	1	—	B ← 01H			
		C	1	1	—	C ← 01H			
		!addr16	3	1	—	(addr16) ← 01H			
		ES:!addr16	4	2	—	(ES, addr16) ← 01H			
		saddr	2	1	—	(saddr) ← 01H			
	CLRB	A	1	1	—	A ← 00H			
		X	1	1	—	X ← 00H			
		B	1	1	—	B ← 00H			
		C	1	1	—	C ← 00H			
		!addr16	3	1	—	(addr16) ← 00H			
		ES:!addr16	4	2	—	(ES, addr16) ← 00H			
		saddr	2	1	—	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	—	(HL+byte) ← X	×		×
		ES:[HL+byte], X	4	2	—	(ES, HL+byte) ← X	×		×
	16ビット・データ転送	MOVW	rp, #word	3	1	—	rp ← word		
saddrp, #word			4	1	—	(saddrp) ← word			
sfrp, #word			4	1	—	sfrp ← word			
AX, rp <small>注3</small>			1	1	—	AX ← rp			
rp, AX <small>注3</small>			1	1	—	rp ← AX			
AX, !addr16			3	1	4	AX ← (addr16)			
!addr16, AX			3	1	—	(addr16) ← AX			
AX, ES:!addr16			4	2	5	AX ← (ES, addr16)			
ES:!addr16, AX			4	2	—	(ES, addr16) ← AX			
AX, saddrp			2	1	—	AX ← (saddrp)			
saddrp, AX			2	1	—	(saddrp) ← AX			
AX, sfrp			2	1	—	AX ← sfrp			
sfrp, AX			2	1	—	sfrp ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

CPUクロック (f_{CLK}) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (f_{CLK}) 数。
3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE+byte)			
		[DE+byte], AX	2	1	—	(DE+byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)+byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE)+byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL+byte)			
		[HL+byte], AX	2	1	—	(HL+byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)+byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL)+byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP+byte)			
		[SP+byte], AX	2	1	—	(SP+byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B+word)			
		word[B], AX	3	1	—	(B+word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)+word)			
		ES:word[B], AX	4	2	—	((ES, B)+word) ← AX			
		AX, word[C]	3	1	4	AX ← (C+word)			
		word[C], AX	3	1	—	(C+word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)+word)			
		ES:word[C], AX	4	2	—	((ES, C)+word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC+word)			
		word[BC], AX	3	1	—	(BC+word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)+word)			
		ES:word[BC], AX	4	2	—	((ES, BC)+word) ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp ^{注3}	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
BC		1	1	—	BC ← 0000H				
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A+byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr)+byte	x	x	x
		A, r ^{注4}	2	1	—	A, CY ← A+r	x	x	x
		r, A	2	1	—	r, CY ← r+A	x	x	x
		A, !addr16	3	1	4	A, CY ← A+(addr16)	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A+(ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A+(saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A+(HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A+(ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A+(HL+byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A+((ES, HL)+byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A+(HL+B)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A+((ES, HL)+B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A+(HL+C)	x	x	x
A, ES:[HL+C]	3	2	5	A, CY ← A+((ES, HL)+C)	x	x	x		

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

- 2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
- 3. rp = AXを除く。
- 4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表42-5 オペレーション一覧 (7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	×	×	×
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A + r + CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	×	×	×
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	×	×	×	
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	×	×	×
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	×	×	×
A, [HL+byte]		2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	×	×	×	
A, ES:[HL+byte]		3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	×	×	×	
A, [HL+B]		2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	×	×	×	
A, ES:[HL+B]		3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	×	×	×	
A, [HL+C]		2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	×	×	×	
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	×	×	×		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte} - CY$	×	×	×
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r - CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A - CY$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16}) - CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr}) - CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL}) - CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL}) - CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte}) - CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte}) - CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B) - CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B) - CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C) - CY$	×	×	×
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C) - CY$	×	×	×	
	AND	A, #byte	2	1	—	$A \leftarrow A \wedge \text{byte}$	×		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \wedge \text{byte}$	×		
		A, r ^{注3}	2	1	—	$A \leftarrow A \wedge r$	×		
		r, A	2	1	—	$r \leftarrow r \wedge A$	×		
		A, !addr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \wedge (\text{ES}:\text{addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \wedge (\text{saddr})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (\text{ES}:\text{HL})$	×		
A, [HL+byte]		2	1	4	$A \leftarrow A \wedge (\text{HL} + \text{byte})$	×			
A, ES:[HL+byte]		3	2	5	$A \leftarrow A \wedge ((\text{ES}:\text{HL}) + \text{byte})$	×			
A, [HL+B]		2	1	4	$A \leftarrow A \wedge (\text{HL} + B)$	×			
A, ES:[HL+B]		3	2	5	$A \leftarrow A \wedge ((\text{ES}:\text{HL}) + B)$	×			
A, [HL+C]		2	1	4	$A \leftarrow A \wedge (\text{HL} + C)$	×			
A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((\text{ES}:\text{HL}) + C)$	×				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		x	
		A, r ^{注3}	2	1	—	$A \leftarrow A \vee r$		x	
		r, A	2	1	—	$r \leftarrow r \vee A$		x	
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr}16)$		x	
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES}:\text{addr}16)$		x	
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES}:\text{HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL}+\text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES}:\text{HL})+\text{byte})$		x	
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL}+B)$		x	
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES}:\text{HL})+B)$		x	
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL}+C)$		x	
	A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES}:\text{HL})+C)$		x		
	XOR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		x	
		A, r ^{注3}	2	1	—	$A \leftarrow A \vee r$		x	
		r, A	2	1	—	$r \leftarrow r \vee A$		x	
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr}16)$		x	
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES}:\text{addr}16)$		x	
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES}:\text{HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL}+\text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES}:\text{HL})+\text{byte})$		x	
A, [HL+B]		2	1	4	$A \leftarrow A \vee (\text{HL}+B)$		x		
A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES}:\text{HL})+B)$		x			
A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL}+C)$		x			
A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES}:\text{HL})+C)$		x			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (10/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	—	A-byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)-byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)-byte	×	×	×
		saddr, #byte	3	1	—	(saddr)-byte	×	×	×
		A, r ^{注3}	2	1	—	A-r	×	×	×
		r, A	2	1	—	r-A	×	×	×
		A, !addr16	3	1	4	A-(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A-(ES:addr16)	×	×	×
		A, saddr	2	1	—	A-(saddr)	×	×	×
		A, [HL]	1	1	4	A-(HL)	×	×	×
		A, ES:[HL]	2	2	5	A-(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A-(HL+byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A-((ES:HL)+byte)	×	×	×
		A, [HL+B]	2	1	4	A-(HL+B)	×	×	×
		A, ES:[HL+B]	3	2	5	A-((ES:HL)+B)	×	×	×
		A, [HL+C]	2	1	4	A-(HL+C)	×	×	×
	A, ES:[HL+C]	3	2	5	A-((ES:HL)+C)	×	×	×	
	CMP0	A	1	1	—	A-00H	×	0	0
		X	1	1	—	X-00H	×	0	0
		B	1	1	—	B-00H	×	0	0
		C	1	1	—	C-00H	×	0	0
		!addr16	3	1	4	(addr16)-00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16)-00H	×	0	0
saddr		2	1	—	(saddr)-00H	×	0	0	
CMPS	X, [HL+byte]	3	1	4	X-(HL+byte)	×	×	×	
	X, ES:[HL+byte]	4	2	5	X-((ES:HL)+byte)	×	×	×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (11/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	—	AX, CY ← AX+word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX+AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX+BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX+DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX+HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX+(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX+(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX+(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX+(HL+byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX+((ES:HL)+byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX-word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX-BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX-DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX-HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX-(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX-(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX-(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX-(HL+byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX-((ES:HL)+byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX-word	×	×	×
		AX, BC	1	1	—	AX-BC	×	×	×
		AX, DE	1	1	—	AX-DE	×	×	×
		AX, HL	1	1	—	AX-HL	×	×	×
		AX, !addr16	3	1	4	AX-(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX-(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX-(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX-(HL+byte)	×	×	×
AX, ES:[HL+byte]		4	2	5	AX-((ES:HL)+byte)	×	×	×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表42-5 オペレーション一覧 (12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)	x	x	
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合, 割り込み禁止状態(DI)で実行してください。ただし, RAM領域での命令実行を除き, アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は, 割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合, その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサス エレクトロニクス社 コンパイラ製品)
V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

2. MACR: 積和演算累計レジスタ (MACRH, MACRL)

表42-5 オペレーション一覧 (13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r+1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)+1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r-1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)-1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp+1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)+1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$			
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$			
	DECW	rp	1	1	—	$rp \leftarrow rp-1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)-1$			
saddrp		2	2	—	$(saddrp) \leftarrow (saddrp)-1$				
[HL+byte]		3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$				
ES: [HL+byte]		4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$				
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

2. cntはビット・シフト数です。

表42-5 オペレーション一覧 (14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
BC, 1		2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×	
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	CY, ES:[HL].bit	3	2	5	$CY \leftarrow (ES, HL).bit$			×	
	ES:[HL].bit, CY	3	3	—	$(ES, HL).bit \leftarrow CY$				
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
CY, PSW.bit		3	1	—	$CY \leftarrow CY \vee PSW.bit$			×	
CY, saddr.bit		3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×	
CY, sfr.bit		3	1	—	$CY \leftarrow CY \vee sfr.bit$			×	
CY, [HL].bit		2	1	4	$CY \leftarrow CY \vee (HL).bit$			×	
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			×
	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	×	×	×
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	×	×	×
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$			
	SET1	CY	2	1	—	$CY \leftarrow 1$			1
	CLR1	CY	2	1	—	$CY \leftarrow 0$			0
	NOT1	CY	2	1	—	$CY \leftarrow \neg CY$			×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC ← CS, rp, SP ← SP-4			
		\$!addr20	3	3	—	(SP-2) ← (PC+3) _s , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← PC+3+jdisp16, SP ← SP-4			
		!addr16	3	3	—	(SP-2) ← (PC+3) _s , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← 0000, addr16, SP ← SP-4			
		!!addr20	4	3	—	(SP-2) ← (PC+4) _s , (SP-3) ← (PC+4) _H , (SP-4) ← (PC+4) _L , PC ← addr20, SP ← SP-4			
	CALLT	[addr5]	2	5	—	(SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _s ← 0000, PC _H ← (0000, addr5+1), PC _L ← (0000, addr5), SP ← SP-4			
	BRK	—	2	5	—	(SP-1) ← PSW, (SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _s ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP-4, IE ← 0			
	RET	—	1	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), SP ← SP+4			
	RETI	—	2	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R
	RETB	—	2	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表42-5 オペレーション一覧 (17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP-1) ← PSW, (SP-2) ← 00H, SP ← SP-2			
		rp	1	1	—	(SP-1) ← rp _H , (SP-2) ← rp _L , SP ← SP-2			
	POP	PSW	2	3	—	PSW ← (SP+1), SP ← SP+2	R	R	R
		rp	1	1	—	rp _L ← (SP), rp _H ← (SP+1), SP ← SP+2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP+byte				
SUBW	SP, #byte	2	1	—	SP ← SP-byte				
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC+2+jdisp8			
		!addr20	3	3	—	PC ← PC+3+jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	—	PC ← PC+3+jdisp8 if (ZVCY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	—	PC ← PC+3+jdisp8 if (ZVCY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5 ^{注3}	6/7	PC ← PC+3+jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20		4	4/6 ^{注3}	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表42-5 オペレーション一覧 (18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC ← PC+3+jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	—	PC ← PC+4+jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (ZVCY)=0			
	SKNH	—	2	1	—	Next instruction skip if (ZVCY)=1			
CPU制御	SEL ^{注4}	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. クロック数は“条件不成立時/条件成立時”を表しています。
4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

第43章 電気的特性

- 注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により搭載している端子が異なります。2.1 ポート機能~2.2.1 製品別の搭載機能を参照してください。

備考 この章内の記述は、 EV_{DD} を EV_{DD0} , EV_{DD1} , また EV_{SS} を EV_{SS0} , EV_{SS1} と読み替えてください。

43.1 絶対最大定格

絶対最大定格 (1/3)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+6.5	V
	EV _{DD}		-0.5~+6.5	V
	V _{BAT}		-0.5~+6.5	V
	AV _{DD}	AV _{DD} = V _{DD}	-0.5~+6.5	V
REGC端子入力電圧	V _I REGC	REGC	-0.3~+2.8 かつ-0.3~V _{DD} +0.3 ^{注1}	V
入力電圧	V _{I1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127	-0.3~EV _{DD} +0.3 かつ-0.3~V _{DD} +0.3 ^{注2}	V
	V _{I2}	P60-P62, P150-P152 (N-chオープン・ドレイン)	-0.3~+6.5	V
	V _{I3}	P121, P122, P137, EXCLK	-0.3~V _{DD} +0.3 ^{注2}	V
	V _{I4}	RESET	-0.3~+6.5	V
	V _{I5}	P123, P124, EXCLKS	-0.3~V _{RTC} +0.3 ^{注2}	V
	V _{I6}	P20-P25	-0.3~AV _{DD} +0.3 ^{注2}	V
出力電圧	V _{O1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P60-P62, P70-P77, P80-P85, P90-P97, P125-P127, P130, P150-P152	-0.3~EV _{DD} +0.3 かつ-0.3~V _{DD} +0.3 ^{注2}	V
	V _{O2}	P20-P25	-0.3~AV _{DD} +0.3 ^{注2}	V
アナログ入力電圧	V _{AI1}	ANI0-ANI5	-0.3~AV _{DD} +0.3 かつ-0.3~AV _{REF(+)} +0.3 ^{注2, 3}	V
	V _{AI2}	ANIPO-ANIP3, ANINO-ANIN3	-0.6~+2.8 かつ-0.6~AREGC+0.3 ^{注4}	V
基準電源電圧	V _{IDSAD}	AREGC, AVCM, AVRT	-0.3~+2.8 かつ-0.3~AV _{DD} +0.3 ^{注5}	V

注1. REGC端子にはコンデンサ (0.47~1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

- 6.5 V以下であること。
- A/D変換対象の端子は、AV_{REF(+)}+0.3 Vを越えないでください。
- ΔΣA/D変換対象の端子は、AREGC+0.3 Vを越えないでください。
- AREGC, AVCM, AVRT端子にはコンデンサ (0.47 μF) を介してV_{SS}に接続してください。

この値は、AREGC, AVCM, AVRT端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

- AV_{REF(+)} : 12ビットA/Dコンバータの+側基準電圧
- V_{SS}を基準電圧とする。

絶対最大定格 (2/3)

項目	略号	条件		定格	単位
LCD電圧	VL1	VL1電圧 ^{注1}		-0.3~+2.8	V
				かつ-0.3~VL4+0.3	
	VL2	VL2電圧 ^{注1}		-0.3~VL4+0.3 ^{注2}	V
	VL3	VL3電圧 ^{注1}		-0.3~VL4+0.3 ^{注2}	V
	VL4	VL4電圧 ^{注1}		-0.3~+6.5	V
	VLCAP	CAPL, CAPH電圧 ^{注1}		-0.3~VL4+0.3 ^{注2}	V
	VOUT	COM0-COM7, SEG0-SEG41 出力電圧	外部抵抗分割方式	-0.3~VDD+0.3 ^{注2}	V
容量分割方式			-0.3~VDD+0.3 ^{注2}	V	
内部昇圧方式			-0.3~VL4+0.3 ^{注2}	V	

注1. この値は、VL1, VL2, VL3, VL4端子への電圧印加する場合の絶対最大定格を規定するものであり、電圧印加して使用することを推奨しているわけではありません。内部昇圧方式、容量分割方式の場合、VL1, VL2, VL3, VL4端子にはコンデンサ (0.47 μ F \pm 30%) を介してVSSに接続し、CAPL端子、CAPH端子間にもコンデンサ (0.47 μ F \pm 30%) を接続してください。

2. 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 VSSを基準電圧とする。

絶対最大定格 (3/3)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I _{OH1}	1端子	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127, P130	-40	mA
		端子合計 -170 mA	P02-P07, P40, P42, P43, P130	-70	mA
			P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127	-100	mA
	I _{OH2}	1端子	P20-P25	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	I _{OL1}	1端子	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127, P130	40	mA
		端子合計 170 mA	P02-P07, P40, P42, P43, P130	70	mA
			P10-P17, P30-P37, P50-P57, P60-P62, P70-P77, P80-P85, P90-P97, P125-P127	100	mA
	I _{OL2}	1端子	P20-P25	1	mA
		端子合計		5	mA
動作周囲温度	T _A	通常動作時		-40~+85	°C
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}			-65~+150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

43.2 発振回路特性

43.2.1 X1, XT1発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振 周波数 (fx) 注	セラミック発振子/ 水晶振動子	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.0		20.0	MHz
		$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.0		16.0	MHz
		$1.8\text{ V} \leq V_{DD} < 2.4\text{ V}$	1.0		8.0	MHz
		$1.6\text{ V} \leq V_{DD} < 1.8\text{ V}$	1.0		4.0	MHz

($T_A = -40 \sim +85^\circ\text{C}$, $1.6\text{ V} \leq V_{RTC} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
XT1クロック発振 周波数 (fxT) 注	水晶振動子	$1.6\text{ V} \leq V_{RTC} \leq 5.5\text{ V}$	32	32.768	35	kHz
			31	38.4	39	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、43.4 AC特性を参照してください。また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、6.4 システム・クロック発振回路を参照してください。

43.2.2 オンチップ・オシレータ特性

(T_A = -40~+85°C, 1.6 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・ クロック周波数 ^{注1,2}	f _{IH}		1.0		32	MHz
高速オンチップ・オシレータ・ クロック周波数精度		-20~+85°C	1.8 V ≤ V _{DD} ≤ 5.5 V	-1.0	+1.0	%
			1.6 V ≤ V _{DD} < 1.8 V	-5.0	+5.0	%
		-40~-20°C	1.8 V ≤ V _{DD} ≤ 5.5 V	-1.5	+1.5	%
			1.6 V ≤ V _{DD} < 1.8 V	-5.5	+5.5	%
中速オンチップ・オシレータ・ クロック周波数 ^{注2}	f _{IM}		1		4	MHz
中速オンチップ・オシレータ・ クロック周波数精度		1.8 V ≤ V _{DD} ≤ 5.5 V	-12		+12	%
低速オンチップ・オシレータ・ クロック周波数	f _{IL}			15		kHz
低速オンチップ・オシレータ・ クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/400C2H)のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、43.4 AC特性を参照してください。

43.2.3 PLL発振回路特性

(T_A = -40~+85°C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
PLL入力周波数 ^注	f _{PLLIN}	f _{IH}		4		MHz
PLL出力周波数 ^注	f _{PLL}			32		MHz
ロックアップ・ウエイト・タイム		PLL出力許可から周波数安定までの待ち時間	40			μs
インターバル・ウエイト・タイム		PLL停止→PLL再動作設定 待ち時間	4			μs
設定待ち時間		PLL入力クロック安定かつPLL設定確定後→起動設定の必要待ち時間	1			μs

注 発振回路の周波数許容範囲のみを示すものです。

43.3 DC特性

43.3.1 端子特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.6\text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127, P130 1端子	$1.6\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$			-10.0 ^{注2}	mA
		P02-P07, P40, P42, P43, P130 合計 (デューティ $\leq 70\%$ 時 ^{注3})	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$			-55.0	mA
			$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$			-10.0	mA
			$1.8\text{ V} \leq EV_{DD} < 2.7\text{ V}$			-5.0	mA
			$1.6\text{ V} \leq EV_{DD} < 1.8\text{ V}$			-2.5	mA
		P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127 合計 (デューティ $\leq 70\%$ 時 ^{注3})	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$			-80.0	mA
			$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$			-19.0	mA
			$1.8\text{ V} \leq EV_{DD} < 2.7\text{ V}$			-10.0	mA
			$1.6\text{ V} \leq EV_{DD} < 1.8\text{ V}$			-5.0	mA
		全端子合計 (デューティ $\leq 70\%$ 時 ^{注3})					-100.0
I _{OH2}	P20-P25 1端子	$1.6\text{ V} \leq AV_{DD} \leq 5.5\text{ V}$			-0.1 ^{注2}	mA	
		全端子合計 (デューティ $\leq 70\%$ 時 ^{注3})				-0.6	mA
		$1.6\text{ V} \leq AV_{DD} \leq 5.5\text{ V}$					

注1. EV_{DD} , V_{DD} , AV_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保證する電流値です。

2. 合計の電流値を超えないでください。

3. デューティ $\leq 70\%$ の条件でのスペックです。

デューティ $> 70\%$ に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) \div (n \times 0.01)$$

<計算例> $I_{OH} = -10.0\text{ mA}$ の場合, $n = 80\%$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) \div (80 \times 0.01) \doteq -8.7\text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P02-P07, P15-P17, P51, P54, P56-P57, P80-P82, P84-P85は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85^\circ\text{C}$, $1.6\text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127, P130 1端子			20.0 ^{注2}	mA	
		P60-P62, P150-P152 1端子			15.0 ^{注2}	mA	
		P02-P07, P40, P42, P43, P130 合計 (デューティ $\leq 70\%$ 時 ^{注3})	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$		70.0	mA	
			$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$		15.0	mA	
			$1.8\text{ V} \leq EV_{DD} < 2.7\text{ V}$		9.0	mA	
			$1.6\text{ V} \leq EV_{DD} < 1.8\text{ V}$		4.5	mA	
		P10-P17, P30-P37, P50-P57, P60-P62, P70-P77, P80-P85, P90-P97, P125-P127 合計 (デューティ $\leq 70\%$ 時 ^{注3})	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$		80.0	mA	
			$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$		35.0	mA	
			$1.8\text{ V} \leq EV_{DD} < 2.7\text{ V}$		20.0	mA	
			$1.6\text{ V} \leq EV_{DD} < 1.8\text{ V}$		10.0	mA	
	全端子合計 (デューティ $\leq 70\%$ 時 ^{注3})					150.0	mA
	I _{OL2}	P20-P25 1端子	$1.6\text{ V} \leq AV_{DD} \leq 5.5\text{ V}$			0.4 ^{注2}	mA
全端子合計 (デューティ $\leq 70\%$ 時 ^{注3})		$1.6\text{ V} \leq AV_{DD} \leq 5.5\text{ V}$			2.4	mA	

注1. 出力端子からEV_{SS}, V_{SS}, AV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. 合計の電流値を超えないでください。

3. デューティ $\leq 70\%$ の条件でのスペックです。

デューティ $> 70\%$ に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\text{端子合計の出力電流} = (I_{OL} \times 0.7) \div (n \times 0.01)$$

<計算例> $I_{OL} = 10.0\text{ mA}$ の場合, $n = 80\%$

$$\text{端子合計の出力電流} = (10.0 \times 0.7) \div (80 \times 0.01) \approx 8.7\text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
★ ハイ・レベル入力電圧	V _{IH1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127	通常入力バッファ	0.8EV _{DD}		EV _{DD}	V
	V _{IH2}	P02, P03, P05, P06, P15, P16, P42, P43, P52, P53, P55, P57, P80, P81, P84	TTL入力バッファ 4.0 V ≤ EV _{DD} ≤ 5.5 V	2.2		EV _{DD}	V
			TTL入力バッファ 3.3 V ≤ EV _{DD} < 4.0 V	2.0		EV _{DD}	V
			TTL入力バッファ 1.6 V ≤ EV _{DD} < 3.3 V	1.5		EV _{DD}	V
	V _{IH3}	P20-P25		0.7AV _{DD}		AV _{DD}	V
	V _{IH4}	P60-P62		0.7EV _{DD}		6.0	V
	V _{IH5}	P121, P122, P137, P150-P152, EXCLK		0.8V _{DD}		V _{DD}	V
	V _{IH6}	RESET		0.8V _{DD}		6.0	V
	V _{IH7}	P123, P124, EXCLKS		0.8V _{RTC}		V _{RTC}	V
V _{IH8}	P150-P152 ^注		0.8V _{DD}		6.0	V	
V _{IH9}	RTCIC0-RTCIC2 ^注		0.8V _{RTC}		6.0	V	
★ ロウ・レベル入力電圧	V _{IL1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127	通常入力バッファ	0		0.2EV _{DD}	V
	V _{IL2}	P02, P03, P05, P06, P15, P16, P42, P43, P52, P53, P55, P57, P80, P81, P84	TTL入力バッファ 4.0 V ≤ EV _{DD} ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EV _{DD} < 4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V ≤ EV _{DD} < 3.3 V	0		0.32	V
	V _{IL3}	P20-P25		0		0.3AV _{DD}	V
	V _{IL4}	P60-P62		0		0.3EV _{DD}	V
	V _{IL5}	P121, P122, P137, P150-P152, EXCLK, RESET		0		0.2V _{DD}	V
	V _{IL6}	P123, P124, EXCLKS		0		0.2V _{RTC}	V
	V _{IL7}	P150-P152 ^注		0		0.2V _{DD}	V
V _{IL8}	RTCIC0-RTCIC2 ^注		0		0.2V _{RTC}	V	

★ 注意 P02-P07, P15-P17, P51, P54, P56-P57, P80-P82, P84-P85は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.) はEV_{DD}です。

★ 注 P150/RTCIC0 - P152/RTCIC2端子に、ハイ・レベルを入力する場合は、個別に抵抗を介して、V_{DD}とV_{RTC}のうち高い電圧、またはV_{DD}とV_{RTC}より高い電圧 (6 V以下) に接続してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40~+85°C, 1.6 V ≤ AVDD = EVDD = VDD ≤ 5.5 V, AVSS = VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	VOH1	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127, P130	4.0 V ≤ EVDD ≤ 5.5 V, IOH1 = -10.0 mA	EVDD - 1.5		V
			4.0 V ≤ EVDD ≤ 5.5 V, IOH1 = -3.0 mA	EVDD - 0.7		V
			2.7 V ≤ EVDD ≤ 5.5 V, IOH1 = -2.0 mA	EVDD - 0.6		V
			1.8 V ≤ EVDD ≤ 5.5 V, IOH1 = -1.5 mA	EVDD - 0.5		V
			1.6 V ≤ EVDD ≤ 5.5 V, IOH1 = -1.0 mA	EVDD - 0.5		V
	VOH2	P20-P25	1.6 V ≤ AVDD ≤ 5.5 V, IOH2 = -100 μA	AVDD - 0.5		V
ロウ・レベル出力電圧	VOL1	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127, P130	4.0 V ≤ EVDD ≤ 5.5 V, IOL1 = 20.0 mA		1.3	V
			4.0 V ≤ EVDD ≤ 5.5 V, IOL1 = 8.5 mA		0.7	V
			2.7 V ≤ EVDD ≤ 5.5 V, IOL1 = 3.0 mA		0.6	V
			2.7 V ≤ EVDD ≤ 5.5 V, IOL1 = 1.5 mA		0.4	V
			1.8 V ≤ EVDD ≤ 5.5 V, IOL1 = 0.6 mA		0.4	V
			1.6 V ≤ EVDD ≤ 5.5 V, IOL1 = 0.3 mA		0.4	V
	VOL2	P150-P152	4.0 V ≤ VDD ≤ 5.5 V, IOL2 = 15.0 mA		2.0	V
			4.0 V ≤ VDD ≤ 5.5 V, IOL2 = 5.0 mA		0.4	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL2 = 3.0 mA		0.4	V
			1.8 V ≤ VDD ≤ 5.5 V, IOL2 = 2.0 mA		0.4	V
			1.6 V ≤ VDD ≤ 5.5 V, IOL2 = 1.0 mA		0.4	V
	VOL3	P60-P62	4.0 V ≤ EVDD ≤ 5.5 V, IOL3 = 15.0 mA		2.0	V
			4.0 V ≤ EVDD ≤ 5.5 V, IOL3 = 5.0 mA		0.4	V
			2.7 V ≤ EVDD ≤ 5.5 V, IOL3 = 3.0 mA		0.4	V
			1.8 V ≤ EVDD ≤ 5.5 V, IOL3 = 2.0 mA		0.4	V
			1.6 V ≤ EVDD ≤ 5.5 V, IOL3 = 1.0 mA		0.4	V
	VOL4	P20-P25	1.6 V ≤ AVDD ≤ 5.5 V, IOL4 = -100 μA		0.4	V

(備考は次ページにあります。)

注意 P02-P07, P15-P17, P51, P54, P56-P57, P80-P82, P84-P85は, N-chオープン・ドレイン・モード時には, ハイ・レベル出力しません。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル入力 リーク電流	I _{LH1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P60-62, P70-P77, P80-P85, P90-P97, P125-P127	V _I = EV _{DD}			1	μA	
	I _{LH2}	P137, P150-P152, RESET	V _I = V _{DD}			1	μA	
	I _{LH3}	P121, P122 (X1, X2, EXCLK)	V _I = V _{DD}	入力ポート時,			1	μA
				外部クロック入力時 発振子接続時			10	μA
	I _{LH4}	P123, P124 (XT1, XT2, EXCLKS)	V _I = V _{RTC}	入力ポート時,			1	μA
外部クロック入力時 発振子接続時						10	μA	
I _{LH5}	P20-P25	V _I = AV _{DD}				1	μA	
ロウ・レベル入力 リーク電流	I _{LIL1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P60-P62, P70-P77, P80-P85, P90-P97, P125-P127	V _I = EV _{SS}			-1	μA	
	I _{LIL2}	P137, P150-P152, RESET	V _I = V _{SS}			-1	μA	
	I _{LIL3}	P121, P122 (X1, X2, EXCLK)	V _I = V _{SS}	入力ポート時,			-1	μA
				外部クロック入力時 発振子接続時			-10	μA
	I _{LIL4}	P123, P124 (XT1, XT2, EXCLKS)	V _I = V _{SS}	入力ポート時,			-1	μA
外部クロック入力時 発振子接続時						-10	μA	
I _{LIL5}	P20-P25	V _I = AV _{SS1}				-1	μA	
内蔵ブルアップ 抵抗	R _{U1}	P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127	V _I = EV _{SS}	2.4 V ≤ EV _{DD} ≤ 5.5 V	10	20	100	kΩ
				1.6 V ≤ EV _{DD} < 2.4 V	10	30	100	kΩ
R _{U2}	P02-P07, P40, P42, P43	V _I = EV _{SS}		10	20	100	kΩ	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

43.3.2 電源電流特性

(TA = -40~+85°C, 1.6 V ≤ AVDD = EVDD = VDD ≤ 5.5 V, AVSS = VSS = EVSS = 0 V) (1/6)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注5}	f _{IH} = 32 MHz ^{注3}	基本動作	V _{DD} = 5.0 V		2.5		mA
						V _{DD} = 3.0 V		2.5		mA
					通常動作	V _{DD} = 5.0 V		5.6	9.1	mA
						V _{DD} = 3.0 V		5.6	9.1	mA
				f _{CLK} = 32 MHz ^{注3} PLL動作	通常動作	V _{DD} = 5.0 V		5.8	9.0	mA
						V _{DD} = 3.0 V		5.8	9.0	mA
				f _{IH} = 24 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		4.5	7.3	mA
						V _{DD} = 3.0 V		4.5	7.3	mA
				f _{IH} = 16 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		3.2	5.8	mA
						V _{DD} = 3.0 V		3.2	5.8	mA
				f _{IH} = 12 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		2.6	4.9	mA
						V _{DD} = 3.0 V		2.6	4.9	mA
			f _{IH} = 6 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		1.9	3.0	mA	
					V _{DD} = 3.0 V		1.9	3.0	mA	
			f _{IH} = 3 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		1.5	2.4	mA	
					V _{DD} = 3.0 V		1.5	2.4	mA	
			LS (低速メイン)モード ^{注5} (MCSEL = 0)	f _{IH} = 8 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.5	2.5	mA
						V _{DD} = 2.0 V		1.5	2.5	mA
				f _{IH} = 6 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.2	2.3	mA
						V _{DD} = 2.0 V		1.2	2.3	mA
				f _{IH} = 3 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		0.8	1.6	mA
						V _{DD} = 2.0 V		0.8	1.6	mA
			LS (低速メイン)モード ^{注5} (MCSEL = 1)	f _{IH} = 4 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.0	1.7	mA
						V _{DD} = 2.0 V		1.0	1.7	mA
f _{IM} = 4 MHz ^{注6}	通常動作	V _{DD} = 3.0 V			0.8	1.5	mA			
		V _{DD} = 2.0 V			0.8	1.5	mA			
LV (低電圧メイン)モード ^{注5}	f _{IH} = 4 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.7	2.8	mA			
			V _{DD} = 2.0 V		1.7	2.8	mA			
LP (低電力メイン)モード ^{注5} (MCSEL = 1)	f _{IH} = 1 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		330	550	μA			
			V _{DD} = 2.0 V		330	550	μA			
	f _{IM} = 1 MHz ^{注6}	通常動作	V _{DD} = 3.0 V		170	360	μA			
			V _{DD} = 2.0 V		170	360	μA			

(注, 備考は次々ページにあります。)

(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V) (2/6)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作モード ^{注5}	HS (高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力		3.4	6.4	mA
						発振子接続		3.7	6.5	mA
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		3.4	6.4	mA
						発振子接続		3.7	6.5	mA
				f _{MX} = 12 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力		2.4	4.6	mA
						発振子接続		2.6	4.7	mA
			f _{MX} = 12MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		2.4	4.6	mA	
					発振子接続		2.6	4.7	mA	
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力		2.1	4.1	mA	
					発振子接続		2.4	4.1	mA	
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		2.1	4.1	mA	
					発振子接続		2.4	4.1	mA	
		LS (低速メイン)モード ^{注5} (MCSEL = 0)	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		1.2	2.4	mA	
					発振子接続		1.3	2.4	mA	
			f _{MX} = 8 MHz ^{注2} , V _{DD} = 2.0 V	通常動作	方形波入力		1.2	2.4	mA	
					発振子接続		1.3	2.4	mA	
		LS (低速メイン)モード ^{注5} (MCSEL = 1)	f _{MX} = 4 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		0.8	1.6	mA	
					発振子接続		0.8	1.5	mA	
		f _{MX} = 4 MHz ^{注2} , V _{DD} = 2.0 V	通常動作	方形波入力		0.8	1.6	mA		
				発振子接続		0.8	1.5	mA		
		LP (低電力メイン)モード ^{注5} (MCSEL = 1)	f _{MX} = 1 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		150	320	μA	
					発振子接続		190	360	μA	
			f _{MX} = 1 MHz ^{注2} , V _{DD} = 2.0 V	通常動作	方形波入力		150	320	μA	
					発振子接続		190	360	μA	
		サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注4} T _A = -40°C	通常動作	方形波入力		5.7	11.0	μA	
					発振子接続		5.9	11.1	μA	
			f _{SUB} = 32.768 kHz ^{注4} T _A = +25°C	通常動作	方形波入力		6.1	8.0	μA	
					発振子接続		6.4	8.1	μA	
f _{SUB} = 32.768 kHz ^{注4} T _A = +50°C	通常動作		方形波入力		6.3	9.3	μA			
			発振子接続		6.6	9.4	μA			
f _{SUB} = 32.768 kHz ^{注4} T _A = +70°C	通常動作		方形波入力		6.9	12.6	μA			
			発振子接続		7.1	12.7	μA			
f _{SUB} = 32.768 kHz ^{注4} T _A = +85°C	通常動作		方形波入力		7.8	21.7	μA			
			発振子接続		7.9	21.8	μA			
f _{IL} = 15 kHz T _A = -40°C ^{注7}	通常動作			2.8	9	μA				
f _{IL} = 15 kHz T _A = +25°C ^{注7}	通常動作			3.1	9	μA				
f _{IL} = 15 kHz T _A = +85°C ^{注7}	通常動作			5.0	13	μA				

(注, 備考は次ページにあります。)

- 注1.** V_{DD} , EV_{DD} と V_{RTC} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD} , V_{RTC} または V_{SS} , EV_{SS} に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード, LS (低速メイン) モード, LV (低電圧メイン) モード, LP (低電力メイン) モード時, 電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし, LCDコントローラ/ドライバ, 12ビットA/Dコンバータ, $\Delta\Sigma$ A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。
- サブシステム・クロック動作時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし, HALTモード時は独立電源RTCに流れる電流を含みます。
2. 高速オンチップ・オシレータ, 中速オンチップ・オシレータ, 低速オンチップ・オシレータ, サブシステム・クロックは停止時。
 3. 高速システム・クロック, 中速オンチップ・オシレータ, 低速オンチップ・オシレータ, サブシステム・クロックは停止時。
 4. 高速オンチップ・オシレータ, 中速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振 (AMP_{HS1} = 1) 設定時。
 5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
 - HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 32 MHz
 - $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 16 MHz
 - $2.1\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 6 MHz
 - LS (低速メイン) モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 8 MHz
 - LP (低電力メイン) モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz
 - LV (低電圧メイン) モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 4 MHz
 6. 高速オンチップ・オシレータ, 低速オンチップ・オシレータ, 高速システム・クロック, サブシステムクロックは停止時。
 7. 高速オンチップ・オシレータ, 中速オンチップ・オシレータ, 高速システム・クロック, サブシステムクロックは停止時。

- 備考1.** f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{IM} : 中速オンチップ・オシレータ・クロック周波数
 4. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
 5. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 6. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, $T_A = 25^\circ\text{C}$ です。

(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V) (3/6)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	HS (高速メイン) モード ^{注7}	f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V	0.69	1.9	mA	
					V _{DD} = 3.0 V	0.68	1.9	mA	
				f _{CLK} = 32 MHz ^{注4} PLL動作	V _{DD} = 5.0 V	1.2	2.2	mA	
					V _{DD} = 3.0 V	1.2	2.2	mA	
				f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	0.56	1.5	mA	
					V _{DD} = 3.0 V	0.56	1.5	mA	
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	0.49	1.2	mA	
					V _{DD} = 3.0 V	0.49	1.2	mA	
				f _{IH} = 12 MHz ^{注4}	V _{DD} = 5.0 V	0.41	1.0	mA	
					V _{DD} = 3.0 V	0.41	1.0	mA	
				f _{IH} = 6 MHz ^{注4}	V _{DD} = 5.0 V	0.36	0.8	mA	
					V _{DD} = 3.0 V	0.36	0.8	mA	
				f _{IH} = 3 MHz ^{注4}	V _{DD} = 5.0 V	0.33	0.7	mA	
					V _{DD} = 3.0 V	0.33	0.7	mA	
				LS (低速メイン) モード ^{注7} (MCSEL = 0)	f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V	290	755	μA
						V _{DD} = 2.0 V	290	755	μA
			f _{IH} = 6 MHz ^{注4}		V _{DD} = 3.0 V	240	655	μA	
					V _{DD} = 2.0 V	240	655	μA	
			f _{IH} = 3 MHz ^{注4}		V _{DD} = 3.0 V	210	556	μA	
					V _{DD} = 2.0 V	210	556	μA	
			LS (低速メイン) モード ^{注7} (MCSEL = 1)	f _{IH} = 4 MHz ^{注4}	V _{DD} = 3.0 V	220	450	μA	
					V _{DD} = 2.0 V	220	450	μA	
				f _{IM} = 4 MHz ^{注5}	V _{DD} = 3.0 V	60	350	μA	
					V _{DD} = 2.0 V	60	350	μA	
			LV (低電圧メイン) モード ^{注7}	f _{IH} = 4 MHz ^{注4}	V _{DD} = 3.0 V	625	1200	μA	
					V _{DD} = 2.0 V	625	1200	μA	
			LP (低電力メイン) モード ^{注7} (MCSEL = 1)	f _{IH} = 1 MHz ^{注4}	V _{DD} = 3.0 V	200	410	μA	
					V _{DD} = 2.0 V	200	410	μA	
				f _{IM} = 1 MHz ^{注5}	V _{DD} = 3.0 V	35	150	μA	
					V _{DD} = 2.0 V	35	150	μA	
			HS (高速メイン) モード ^{注7}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.31	1.15	mA	
					発振子接続	0.53	1.35	mA	
f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.31		1.15	mA				
	発振子接続	0.53		1.35	mA				
f _{MX} = 12 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.23		0.85	mA				
	発振子接続	0.41		0.95	mA				
f _{MX} = 12 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.23		0.85	mA				
	発振子接続	0.41		0.95	mA				
f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.21		0.75	mA				
	発振子接続	0.36		0.86	mA				
f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.21		0.75	mA				
	発振子接続	0.36		0.86	mA				

(注, 備考は次々ページにあります。)

(TA = -40~+85°C, 1.6 V ≤ AVDD = EVDD = VDD ≤ 5.5 V, AVSS = VSS = EVSS = 0 V) (4/6)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALT モード	LS (低速メイン) モード ^{注7} (MCSEL = 0)	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	113	420	μA
					発振子接続	176	485	μA
				f _{MX} = 8 MHz ^{注3} , V _{DD} = 2.0 V	方形波入力	113	420	μA
					発振子接続	176	485	μA
			LS (低速メイン) モード ^{注7} (MCSEL = 1)	f _{MX} = 4 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	41	240	μA
					発振子接続	94	290	μA
				f _{MX} = 4 MHz ^{注3} , V _{DD} = 2.0 V	方形波入力	41	240	μA
					発振子接続	94	290	μA
			LP (低電力メイン) モード ^{注7} (MCSEL = 1)	f _{MX} = 1 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	14	110	μA
					発振子接続	70	210	μA
				f _{MX} = 1 MHz ^{注3} , V _{DD} = 2.0 V	方形波入力	14	110	μA
					発振子接続	70	210	μA
		サブ・クロック 動作		f _{SUB} = 32.768 kHz ^{注6} TA = -40°C	方形波入力	0.80	6.6	μA
					発振子接続	1.00	6.8	μA
				f _{SUB} = 32.768 kHz ^{注6} TA = +25°C	方形波入力	1.0	4.1	μA
					発振子接続	1.4	4.3	μA
				f _{SUB} = 32.768 kHz ^{注6} TA = +50°C	方形波入力	1.2	5.6	μA
					発振子接続	1.6	5.7	μA
				f _{SUB} = 32.768 kHz ^{注6} TA = +70°C	方形波入力	1.6	9.0	μA
					発振子接続	2.0	10.6	μA
				f _{SUB} = 32.768 kHz ^{注6} TA = +85°C	方形波入力	2.80	16.2	μA
					発振子接続	3.00	19.6	μA
				f _{IL} = 15 kHz ^{注9} TA = -40°C		0.83	1.85	μA
f _{IL} = 15 kHz ^{注9} TA = +25°C		1.07	2.25		μA			
f _{IL} = 15 kHz ^{注9} TA = +85°C		2.68	28.1		μA			
IDD3	STOP モード ^{注8}	TA = -40°C		0.47	0.95	μA		
		TA = +25°C		0.66	1.60	μA		
		TA = +50°C		0.84	4.80	μA		
		TA = +70°C		1.22	10.60	μA		
		TA = +85°C		1.94	13	μA		

(注, 備考は次ページにあります。)

注1. V_{DD} , EV_{DD} と V_{RTC} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD} , V_{RTC} または V_{SS} , EV_{SS} に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード, LS（低速メイン）モード, LV（低電圧メイン）モード, LP（低電力メイン）モード時, 電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし, LCDコントローラ/ドライバ, 12ビットA/Dコンバータ, $\Delta\Sigma$ A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

サブシステム・クロック動作時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし, HALTモード時は独立電源RTCに流れる電流を含みます。

STOPモード時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

2. フラッシュ・メモリでのHALT命令実行時。
3. 高速オンチップ・オシレータ, 中速オンチップ・オシレータ, 低速オンチップ・オシレータ, サブシステム・クロックは停止時。
4. 高速システム・クロック, 中速オンチップ・オシレータ, 低速オンチップ・オシレータ, サブシステム・クロックは停止時。
5. 高速オンチップ・オシレータ, 低速オンチップ・オシレータ, サブシステム・クロックは停止時。
6. 独立電源RTC動作, かつ超低消費発振 (AMPHS1 = 1) 設定時。高速オンチップ・オシレータ, 中速オンチップ・オシレータ, 高速システム・クロックは停止時。
7. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
 - HS（高速メイン）モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 32 MHz
 - $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 16 MHz
 - $2.1\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 6 MHz
 - LS（低速メイン）モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 8 MHz
 - LP（低電力メイン）モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz
 - LV（低電圧メイン）モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 4 MHz
8. STOPモード時にサブシステム・クロックを動作させる場合は, サブシステム・クロック動作のHALTモード時と同じになります。
9. 高速オンチップ・オシレータ, 中速オンチップ・オシレータ, 高速システム・クロックは停止時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
3. f_{IM} : 中速オンチップ・オシレータ・クロック周波数
4. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
5. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
6. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, $T_A = 25^\circ\text{C}$ です。

(TA = -40~+85°C, 1.6 V ≤ AVDD = EVDD = VDD ≤ 5.5 V, AVSS = VSS = EVSS = 0 V) (5/6)

項目	略号	条件	MIN.	TYP.	MAX.	単位
独立電源RTC動作電流	I _{RTC} ^{注2}	f _{SUB} = 32.768 kHz		0.70		μA
12ビット・インターバル・タイマ動作電流	I _{TMKA} ^{注1,3}	f _{SUB} = 38.4 kHz, f _{MAIN} 停止		0.04		μA
		f _{SUB} = 32.768 kHz, f _{MAIN} 停止		0.04		μA
8ビット・インターバル・タイマ動作電流	I _{TMT} ^{注1,4}	f _{SUB} = 38.4 kHz, f _{MAIN} 停止, ユニットあたり	8ビット・カウンタ・モード×2ch 動作	0.14		μA
			16ビット・カウンタ・モード動作	0.12		μA
		f _{SUB} = 32.768 kHz, f _{MAIN} 停止, ユニットあたり	8ビット・カウンタ・モード×2ch 動作	0.12		μA
			16ビット・カウンタ・モード動作	0.10		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1,5}	f _{IL} = 15 kHz, f _{MAIN} 停止		0.22		μA
LVD動作電流	I _{LVD} ^{注6}			0.10		μA
LVDVDD動作電流	I _{LVDVDD}	V _{DD} に流れる電流		0.05		μA
LVDVBAT動作電流	I _{LVDVBAT}	LVDVBATに流れる電流		0.04		μA
		V _{DD} に流れる電流		0.05		μA
LVDVRTC動作電流	I _{LVDVRTC}	V _{RTC} に流れる電流		0.04		μA
		V _{DD} に流れる電流		0.05		μA
LVDEXLVD動作電流	I _{LVDEXLVD}	EXLVDに流れる電流		0.16		μA
		V _{DD} に流れる電流		0.05		μA
発振停止検出回路動作電流	I _{OSDC}			0.02		μA
12ビットA/Dコンバータ動作電流	I _{ADC} ^{注7}	AV _{REFP} = 5.0 V, 最高速変換時 ^{注8}		1.2	1.8	mA
12ビットA/DコンバータAVREF(+)電流	I _{ADREF} ^{注9}	AV _{REFP} = 5.0 V, HVSEL[1:0] = 01B ^{注10}		50	80	μA
温度センサ動作電流	I _{TMPS}			125		μA
BGO電流	I _{BGO} ^{注11}			2.00	12.20	mA
バンク・プログラミング動作電流	I _{BNKP}			5.60	12.20	mA
セルフ・プログラミング動作電流	I _{FSP} ^{注12}			2.00	12.20	mA

(注, 備考は次々ページにあります。)

(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V) (6/6)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
24ビット ΔΣA/Dコンバ ータ動作電流	I _{DSAD} ^{注13}	4ch ΔΣA/Dコンバータ動作			1.45	2.30	mA	
		3ch ΔΣA/Dコンバータ動作			1.14	1.85	mA	
		1ch ΔΣA/Dコンバータ動作			0.52	0.94	mA	
SNOOZE動作 電流	I _{SNOZ} ^{注14}	簡易SPI (CSI)/UART動作			0.70	1.05	mA	
		DTC動作			2.20		mA	
LCD動作電流	I _{LCD1} ^{注15, 16}	外部抵抗分割 方式	f _{LCD} = f _{SUB} (32.768 kHz) LCDクロック = 128 Hz 1/3バイアス, 4時分割	V _{DD} = 5.0 V V _{L4} = 5.0 V		0.06		μA
			I _{LCD2} ^{注15}	内部昇圧方式	f _{LCD} = f _{SUB} (32.768 kHz) LCDクロック = 128 Hz 1/3バイアス, 4時分割	V _{DD} = 3.0 V V _{L4} = 3.0 V (VLCD = 04H)		0.85
					V _{DD} = 5.0 V V _{L4} = 5.1 V (VLCD = 12H)		1.55	
	I _{LCD3} ^{注15}	容量分割方式	f _{LCD} = f _{SUB} (32.768 kHz) LCDクロック = 128 Hz 1/3バイアス, 4時分割	V _{DD} = 3.0 V V _{L4} = 3.0 V		0.20		μA
タイマRJ動作 電流	I _{TMRJ} ^{注17}	f _{SX} = 32.768 kHz/38.4 kHz, f _{MAIN} 停止, 1ユニットあたり			0.10		μA	
シリアル・イ ンタフェース UARTMG動作 電流	I _{UARTMG} ^{注18}	f _{SX} = 38.4 kHz, f _{MAIN} 停止, 1ユニットあたり			0.12		μA	
サンプリング 出力タイマ/ ディテクタ動 作電流	I _{SMOTD} ^{注19}	f _{SX} = 32.768 kHz/38.4 kHz, f _{MAIN} 停止, 1ユニットあたり			0.10		μA	
VREFADC 動作電流	I _{VREFOUT} ^{注20}	VREFAMPCNT.BGREN = 1 VREFAMPCNT.VREFADCEN = 1 ^{注8}			73	130	μA	

(注, 備考は次ページにあります。)

- 注 1. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
2. RTC電源, サブシステム・クロック発振回路, RTCを含む V_{RTC} 端子に流れる電流です。
 3. 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, I_{DD1} または I_{DD2} に I_{TMKA} を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時は I_{FIL} を加算してください。
 4. 8ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの8ビット・インターバル・タイマの動作時は, I_{DD1} または I_{DD2} に I_{TMT} を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時は I_{FIL} を加算してください。
 5. ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は, I_{DD1} , I_{DD2} または I_{DD3} に I_{WDT} を加算した値が, RL78マイクロコントローラの電流値となります。
 6. LVD回路にのみ流れる電流です。LVD回路の動作時は, I_{DD1} , I_{DD2} または I_{DD3} に I_{LVD} を加算した値がRL78マイクロコントローラの電流値となります。
 7. 12ビットA/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでの12ビットA/Dコンバータの動作時は I_{DD1} または I_{DD2} に I_{ADC} を加算した値が, RL78マイクロコントローラの電流値となります。
 8. AV_{DD} に流れる電流です。
 9. 12ビットA/Dコンバータの基準電圧源から流れる電流です。
 10. AV_{REFP} に流れる電流です。
 11. データ・フラッシュ1KB書き換え時に流れる電流です。
 12. セルフ・プログラミング時に流れる電流です。
 13. 24ビット $\Delta\Sigma$ A/Dコンバータにのみ流れる電流です。24ビット $\Delta\Sigma$ A/Dコンバータの動作時は I_{DD1} または I_{DD2} に I_{DSAD} を加算した値が, RL78マイクロコントローラの電流値となります。
 14. SNOOZEモードへの移行時間は, **29. 3. 3 SNOOZEモード**を参照してください。
 15. LCDコントローラ/ドライバにのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ/ドライバが動作中の場合, 電源電流 (I_{DD1} または I_{DD2}) にLCD動作電流 (I_{LCD1} または I_{LCD2} または I_{LCD3}) を加算した値が, RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。TYP. 値, MAX.値は以下の条件の値になります。
 - ・20端子をセグメント機能として設定し, 全点灯
 - ・システム・クロックに f_{SUB} 選択, LCDクロック = 128 Hz時 ($LCDC0 = 07H$)
 - ・4時分割, 1/3バイアス設定
 16. 外部抵抗分割方式使用時の外部抵抗に流れる電流は含みません。
 17. タイマRJにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのタイマRJの動作時は, I_{DD1} または I_{DD2} に I_{TMRJ} を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時は I_{FIL} を加算してください。
 18. シリアル・インタフェースUARTMGにのみ流れる電流です (XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのシリアル・インタフェースUARTMGの動作時は, I_{DD1} または I_{DD2} に I_{UARTMG} を加算した値が, RL78マイクロコントローラの電流値となります。
 19. サンプリング出力タイマ/ディテクタにのみ流れる電流です (XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのサンプリング出力タイマ/ディテクタの動作時は, I_{DD1} または I_{DD2} に I_{SMOTD} を加算した値が, RL78マイクロコントローラの電流値となります。

注 20. ボルテージ・リファレンス (VREFADC) にのみ流れる電流です。動作モードまたはHALTモードでのボルテージ・リファレンスの動作時は、 I_{DD1} または I_{DD2} に $I_{VREFOUT}$ を加算した値が、RL78マイクロコントローラの電流値となります。

- 備考1.** f_{IL} : 低速オンチップ・オシレータ・クロック周波数
2. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 3. f_{CLK} : CPU/周辺ハードウェア・クロック周波数
 4. TYP.値の温度条件は、 $T_A = 25^\circ\text{C}$ です。

43.4 AC特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.6\text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位				
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・クロック (f _{MAIN}) 動作	HS (高速メイン) モード	2.7 V ≤ V _{DD} ≤ 5.5 V	0.03125		1	μs			
				2.4 V ≤ V _{DD} < 2.7 V	0.0625		1	μs			
				2.1 V ≤ V _{DD} < 2.4 V	0.16667		1	μs			
				LS (低速メイン) モード	1.8 V ≤ V _{DD} ≤ 5.5 V	0.125		1	μs		
				LS (低速メイン) モード (MCSEL=1)	1.8 V ≤ V _{DD} ≤ 5.5 V	0.25		1	μs		
			LP (低電力メイン) モード	1.8 V ≤ V _{DD} ≤ 5.5 V	1			μs			
			LV (低電圧メイン) モード	1.6 V ≤ V _{DD} ≤ 5.5 V	0.25		1	μs			
		サブシステム・クロック (f _{SUB}) 動作		f _{XT} = 38.4 kHz	1.8 V ≤ V _{DD} ≤ 5.5 V		26.0		μs		
			f _{XT} = 32.768 kHz	1.8 V ≤ V _{DD} ≤ 5.5 V	28.5	30.5	31.3	μs			
		セルフ・プログラミング時	HS (高速メイン) モード		2.7 V ≤ V _{DD} ≤ 5.5 V	0.03125		1	μs		
				2.4 V ≤ V _{DD} < 2.7 V	0.0625		1	μs			
	2.1 V ≤ V _{DD} < 2.4 V			0.16667		1	μs				
	LS (低速メイン) モード		1.8 V ≤ V _{DD} ≤ 5.5 V	0.125		1	μs				
		LV (低電圧メイン) モード	1.6 V ≤ V _{DD} ≤ 5.5 V	0.25		1	μs				
外部システム・クロック 周波数	f _{EX}		2.7 V ≤ V _{DD} ≤ 5.5 V			1		20	MHz		
			2.4 V ≤ V _{DD} < 2.7 V			1		16	MHz		
			1.8 V ≤ V _{DD} < 2.4 V			1		8	MHz		
			1.6 V ≤ V _{DD} < 1.8 V			1		4	MHz		
		f _{EXS}		f _{EX} = 38.4 kHz			31		39	kHz	
				f _{EX} = 32.768 kHz			32		35	kHz	
外部システム・クロック入力 ハイ・ロウ・レベル幅	t _{EXH} , t _{EXL}		2.7 V ≤ V _{DD} ≤ 5.5 V			24			ns		
			2.4 V ≤ V _{DD} < 2.7 V			30			ns		
			1.8 V ≤ V _{DD} < 2.4 V			60			ns		
			1.6 V ≤ V _{DD} < 1.8 V			120			ns		
		t _{EXHS} , t _{EXLS}					13.7			μs	
TIO0-TIO7入力ハイ・レベル幅, ロウ・レベル幅	t _{NIH} , t _{NIL}				1/f _{MCK} + 10				ns		
タイマRJ入力サイクル	t _c	TRJIO0, TRJIO1		2.7 V ≤ V _{DD} ≤ 5.5 V		100			ns		
				1.8 V ≤ V _{DD} < 2.7 V		300			ns		
タイマRJ入力ハイ・レベル幅, ロウ・レベル幅	t _{RJH} , t _{RJL}	TRJIO0, TRJIO1		2.7 V ≤ V _{DD} ≤ 5.5 V		40			ns		
				1.8 V ≤ V _{DD} < 2.7 V		120			ns		
タイマ出力周波数	f _{TO}	TO00-TO07, TRJIO0, TRJIO1, TRJO0, TRJO1	HS (高速メイン) モード	4.0 V ≤ EV _{DD} ≤ 5.5 V				16	MHz		
				2.7 V ≤ EV _{DD} < 4.0 V				8	MHz		
				2.4 V ≤ EV _{DD} < 2.7 V				4	MHz		
						2.1 V ≤ EV _{DD} < 2.4 V				4	MHz
					LS (低速メイン) モード	1.8 V ≤ EV _{DD} ≤ 5.5 V				4	MHz
					LP (低電力メイン) モード	1.8 V ≤ EV _{DD} ≤ 5.5 V				0.5	MHz
		LV (低電圧メイン) モード	1.6 V ≤ EV _{DD} ≤ 5.5 V				2	MHz			

(注、備考は次ページにあります。)

(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V) (2/2)

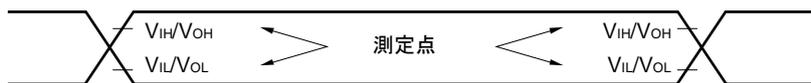
項目	略号	条件	MIN.	TYP.	MAX.	単位
PCLBUZ0, PCLBUZ1出力 周波数	f _{PCL}	HS (高速メイン) モード	4.0 V ≤ EV _{DD} ≤ 5.5 V		16	MHz
			2.7 V ≤ EV _{DD} < 4.0 V		8	MHz
			2.4 V ≤ EV _{DD} < 2.7 V		4	MHz
			2.1 V ≤ EV _{DD} < 2.4 V		4	MHz
		LS (低速メイン) モード	1.8 V ≤ EV _{DD} ≤ 5.5 V		4	MHz
		LP (低電力メイン) モード	1.8 V ≤ EV _{DD} ≤ 5.5 V		1	MHz
		LV (低電圧メイン) モード	1.8 V ≤ EV _{DD} ≤ 5.5 V		4	MHz
		1.6 V ≤ EV _{DD} < 1.8 V		2	MHz	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} ,	INTP0, INTP8, INTP9, INTP12-14	1.6 V ≤ V _{DD} ≤ 5.5 V	1		μs
	t _{INTL}					
		INTP1-INTP7	1.6 V ≤ EV _{DD} ≤ 5.5 V	1		μs
キー割り込み入力 ロウ・レベル幅	t _{KR}	KR0-KR7	1.8 V ≤ EV _{DD} ≤ 5.5 V	250		ns
			1.6 V ≤ EV _{DD} < 1.8 V	1		μs
RESETロウ・レベル幅	t _{RSL}		10			μs

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

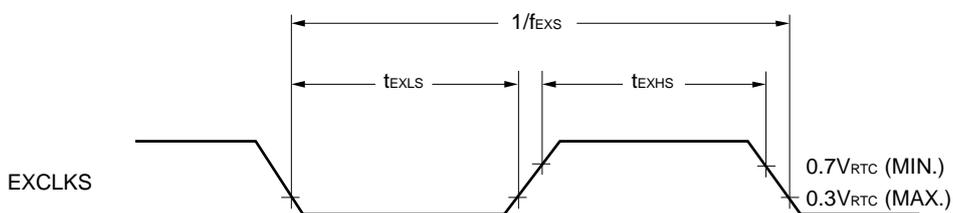
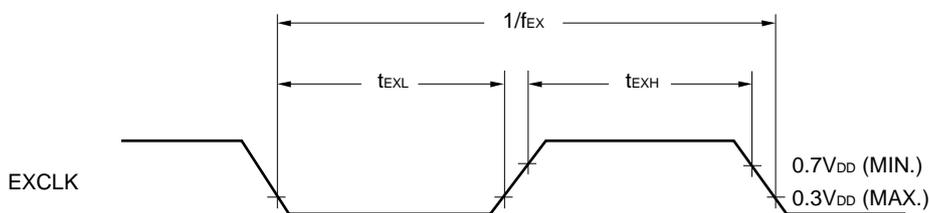
(タイマ・モード・レジスタmn (TMRmn) のCKSmn0, CKSmn1ビットで設定する動作クロック。

m : ユニット番号(m = 0), n : チャネル番号 (n = 0-7))

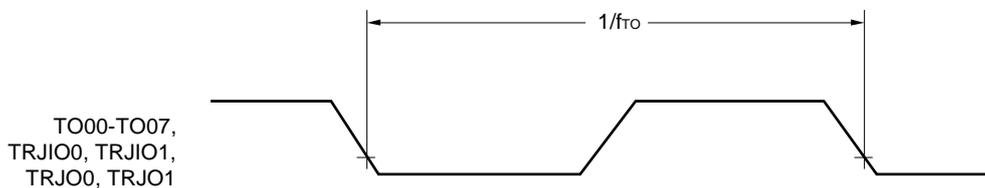
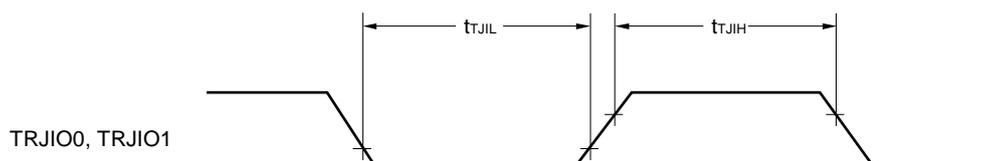
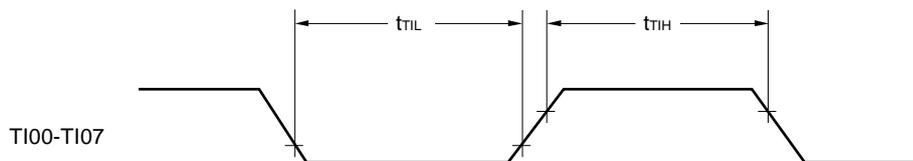
ACタイミング測定点



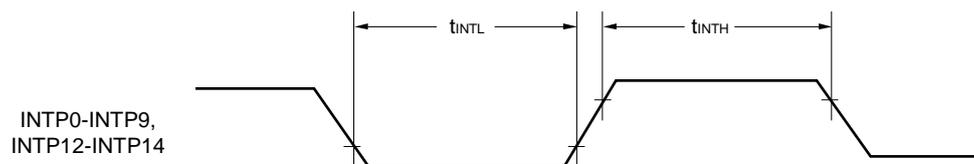
外部システム・クロック・タイミング



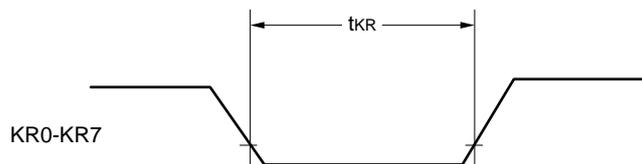
TI/TOタイミング



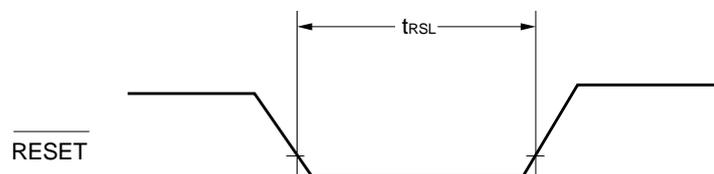
割り込み要求入力タイミング



キー割り込み入力タイミング

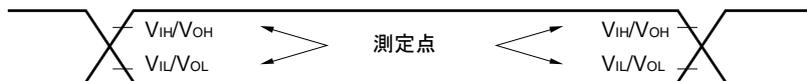


RESET入力タイミング



43.5 周辺機能特性

ACタイミング測定点



43.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

($T_A = -40 \sim +85^\circ\text{C}$, $1.6\text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート ^{注1}		$2.7\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$		$f_{MCK}/6$		$f_{MCK}/6$		$f_{MCK}/6$		$f_{MCK}/6$	bps
		最大転送レート理論値 $f_{MCK} = f_{CLK}$ ^{注2}		5.3		1.3		0.1		0.6	Mbps
		$2.4\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$		$f_{MCK}/6$		$f_{MCK}/6$		$f_{MCK}/6$		$f_{MCK}/6$	bps
		最大転送レート理論値 $f_{MCK} = f_{CLK}$ ^{注2}		4.0		1.3		0.1		0.6	Mbps
		$2.1\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$		$f_{MCK}/6$		$f_{MCK}/6$		$f_{MCK}/6$		$f_{MCK}/6$	bps
		最大転送レート理論値 $f_{MCK} = f_{CLK}$ ^{注2}		1.0		1.3		0.1		0.6	Mbps
		$1.8\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$				$f_{MCK}/6$		$f_{MCK}/6$		$f_{MCK}/6$	bps
	最大転送レート理論値 $f_{MCK} = f_{CLK}$ ^{注2}					1.3		0.1		0.6	Mbps
		$1.6\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$								$f_{MCK}/6$	bps
	最大転送レート理論値 $f_{MCK} = f_{CLK}$ ^{注2}									0.6	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 32 MHz ($2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$),
 16 MHz ($2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$),
 6 MHz ($2.1\text{ V} \leq V_{DD} \leq 5.5\text{ V}$)

LS (低速メイン) モード : 8 MHz ($1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$),

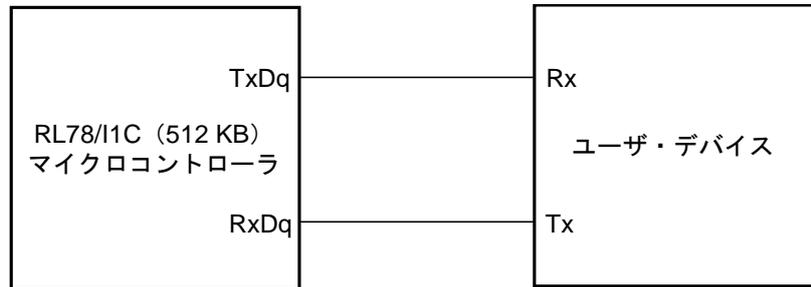
LP (低電力メイン) モード : 1 MHz ($1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$)

LV (低電圧メイン) モード : 4 MHz ($1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$)

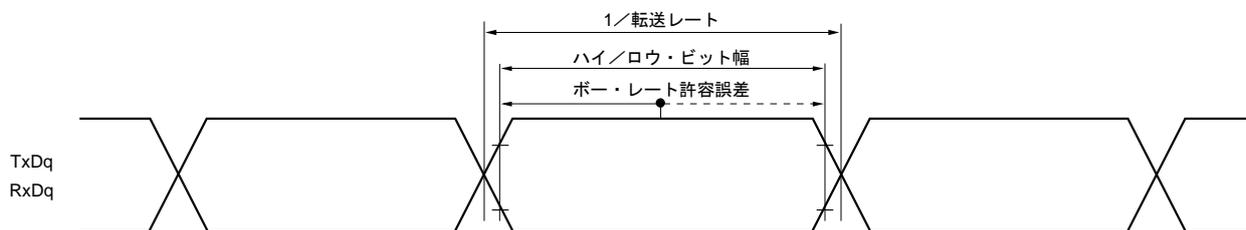
(注意, 備考は次ページにあります。)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファ、TxDq端子は通常出力モードを選択。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



備考1. q : UART番号 (q = 0-4) , g : PIM, POM番号 (g = 0, 1, 5, 8)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。)

m : ユニット番号, n : チャネル番号 (mn = 00-03, 10-13, 20, 21))

(2) 同電位通信, 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部クロック出力)

(TA = -40~+85°C, 1.6 V ≤ AVDD = EVDD = VDD ≤ 5.5 V, AVSS = VSS = EVSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	2.7 V ≤ EVDD ≤ 5.5 V		125		500		4000		1000		ns
		2.4 V ≤ EVDD ≤ 5.5 V		250		500		4000		1000		ns
		2.1 V ≤ EVDD ≤ 5.5 V		667		500		4000		1000		ns
		1.8 V ≤ EVDD ≤ 5.5 V				500		4000		1000		ns
		1.6 V ≤ EVDD ≤ 5.5 V								1000		ns
SCKpハイ・ロウ・レベル幅	tkH1,	4.0 V ≤ EVDD ≤ 5.5 V		tkCY1/2-12		tkCY1/2-50		tkCY1/2-50		tkCY1/2-50		ns
		2.7 V ≤ EVDD ≤ 5.5 V		tkCY1/2-18		tkCY1/2-50		tkCY1/2-50		tkCY1/2-50		ns
	tkL1	2.4 V ≤ EVDD ≤ 5.5 V		tkCY1/2-38		tkCY1/2-50		tkCY1/2-50		tkCY1/2-50		ns
		2.1 V ≤ EVDD ≤ 5.5 V		tkCY1/2-50		tkCY1/2-50		tkCY1/2-50		tkCY1/2-50		ns
		1.8 V ≤ EVDD ≤ 5.5 V				tkCY1/2-50		tkCY1/2-50		tkCY1/2-50		ns
		1.6 V ≤ EVDD ≤ 5.5 V								tkCY1/2-100		ns
Slpセットアップ時間 (対SCKp↑) 注1	tsIK1	4.0 V ≤ EVDD ≤ 5.5 V		44		110		110		110		ns
		2.7 V ≤ EVDD ≤ 5.5 V		44		110		110		110		ns
		2.4 V ≤ EVDD ≤ 5.5 V		75		110		110		110		ns
		2.1 V ≤ EVDD ≤ 5.5 V		110		110		110		110		ns
		1.8 V ≤ EVDD ≤ 5.5 V				110		110		110		ns
		1.6 V ≤ EVDD ≤ 5.5 V								220		ns
Slpホールド時間 (対SCKp↑) 注1	tkSI1	1.8 V ≤ EVDD ≤ 5.5 V		19		19		19		19		ns
		1.6 V ≤ EVDD ≤ 5.5 V								19		ns
SCKp ↓ → SOP出力遅延時間 注2	tkSO1	C = 30 pF 注3	1.8 V ≤ EVDD ≤ 5.5 V			25		25		25		ns
			1.6 V ≤ EVDD ≤ 5.5 V								25	

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

3. Cは, SCKp, SOP出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子は通常入力バッファ, SOP端子とSCKp端子は通常出力モードを選択。

備考 1. p : CSI番号 (p = 00, 10, 30), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 2), g : PIM, POM番号 (g = 0, 1, 5, 8)

2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数 (シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。

m : ユニット番号, n : チャネル番号 (mn = 00, 02, 12))

(3) 同電位通信, 簡易SPI (CSI)モード時 (スレーブ・モード, SCKp…外部クロック入力)

($T_A = -40 \sim +85^\circ\text{C}$, $1.6\text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位	
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCKpサイクル・タイム ^{注4}	t _{KCY2}	4.0 V ≤ EV _{DD} ≤ 5.5 V	20 MHz < f _{MCK}	8/f _{MCK}		–		–		–		ns	
			f _{MCK} ≤ 20 MHz	6/f _{MCK}		6/f _{MCK}		6/f _{MCK}		6/f _{MCK}		ns	
		2.7 V ≤ EV _{DD} ≤ 5.5 V	16 MHz < f _{MCK}	8/f _{MCK}		–		–		–		ns	
			f _{MCK} ≤ 16 MHz	6/f _{MCK}		6/f _{MCK}		6/f _{MCK}		6/f _{MCK}		ns	
		2.4 V ≤ EV _{DD} ≤ 5.5 V			6/f _{MCK} かつ500		6/f _{MCK} かつ500		6/f _{MCK} かつ500		6/f _{MCK} かつ500		ns
		2.1 V ≤ EV _{DD} ≤ 5.5 V			6/f _{MCK} かつ750		6/f _{MCK} かつ750		6/f _{MCK} かつ750		6/f _{MCK} かつ750		ns
		1.8 V ≤ EV _{DD} ≤ 5.5 V					6/f _{MCK} かつ750		6/f _{MCK} かつ750		6/f _{MCK} かつ750		ns
		1.6 V ≤ EV _{DD} ≤ 5.5 V									6/f _{MCK} かつ1500		ns
SCKpハイ・ロウ・レベル幅	t _{KH2} , t _{KL2}	4.0 V ≤ EV _{DD} ≤ 5.5 V		t _{KCY2} /2–7		t _{KCY2} /2–7		t _{KCY2} /2–7		t _{KCY2} /2–7		ns	
		2.7 V ≤ EV _{DD} ≤ 5.5 V		t _{KCY2} /2–8		t _{KCY2} /2–8		t _{KCY2} /2–8		t _{KCY2} /2–8		ns	
		2.1 V ≤ EV _{DD} ≤ 5.5 V		t _{KCY2} /2–18		t _{KCY2} /2–18		t _{KCY2} /2–18		t _{KCY2} /2–18		ns	
		1.8 V ≤ EV _{DD} ≤ 5.5 V				t _{KCY2} /2–18		t _{KCY2} /2–18		t _{KCY2} /2–18		ns	
		1.6 V ≤ EV _{DD} ≤ 5.5 V								t _{KCY2} /2–66		ns	
Slpセットアップ時間 (対SCKp↑) 注1	t _{SIK2}	2.7 V ≤ EV _{DD} ≤ 5.5 V		1/f _{MCK} + 20		1/f _{MCK} + 30		1/f _{MCK} + 30		1/f _{MCK} + 30		ns	
		2.1 V ≤ EV _{DD} ≤ 5.5 V		1/f _{MCK} + 30		1/f _{MCK} + 30		1/f _{MCK} + 30		1/f _{MCK} + 30		ns	
		1.8 V ≤ EV _{DD} ≤ 5.5 V				1/f _{MCK} + 30		1/f _{MCK} + 30		1/f _{MCK} + 30		ns	
		1.6 V ≤ EV _{DD} ≤ 5.5 V								1/f _{MCK} + 40		ns	
Slpホールド時間 (対SCKp↑) 注1	t _{SI2}	2.1 V ≤ EV _{DD} ≤ 5.5 V		1/f _{MCK} + 31		1/f _{MCK} + 31		1/f _{MCK} + 31		1/f _{MCK} + 31		ns	
		1.8 V ≤ EV _{DD} ≤ 5.5 V				1/f _{MCK} + 31		1/f _{MCK} + 31		1/f _{MCK} + 31		ns	
		1.6 V ≤ EV _{DD} ≤ 5.5 V								1/f _{MCK} + 250		ns	
SCKp ↓ → SOp出力遅延時間 ^{注2}	t _{SO2}	C = 30 pF ^{注3}	2.7 V ≤ EV _{DD} ≤ 5.5 V		2/f _{MCK} + 44		2/f _{MCK} + 110		2/f _{MCK} + 110		2/f _{MCK} + 110	ns	
			2.4 V ≤ EV _{DD} ≤ 5.5 V		2/f _{MCK} + 75		2/f _{MCK} + 110		2/f _{MCK} + 110		2/f _{MCK} + 110	ns	
			2.1 V ≤ EV _{DD} ≤ 5.5 V		2/f _{MCK} + 100		2/f _{MCK} + 110		2/f _{MCK} + 110		2/f _{MCK} + 110	ns	
			1.8 V ≤ EV _{DD} ≤ 5.5 V				2/f _{MCK} + 110		2/f _{MCK} + 110		2/f _{MCK} + 110	ns	
			1.6 V ≤ EV _{DD} ≤ 5.5 V								2/f _{MCK} + 220		ns

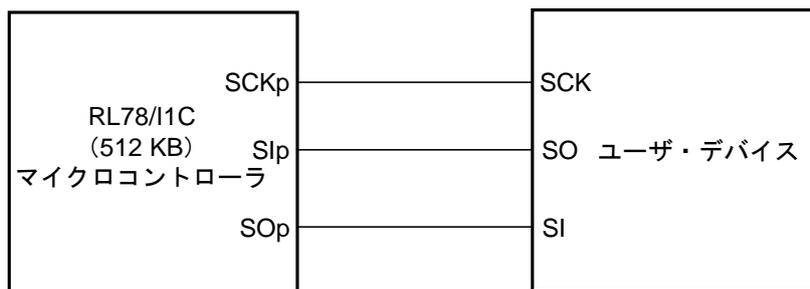
(注, 注意, 備考は次ページにあります。)

- 注1. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対SCKp↓”となります。
2. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対SCKp↑”となります。
3. Clは、SOp出カラインの負荷容量です。
4. SNOOZEモードでの転送レートは、MAX. : 1 Mbps

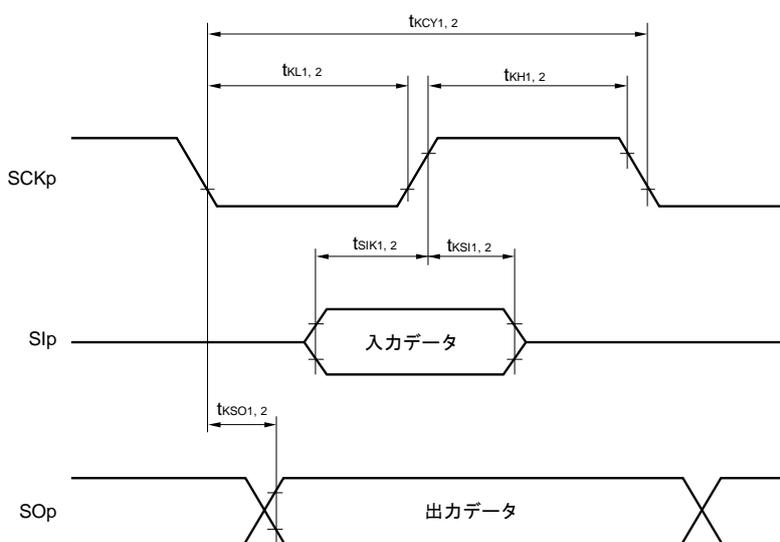
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子は通常入力バッファ、SOp端子は通常出力モードを選択。

- 備考1.** p : CSI番号 (p = 00, 10, 30) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 2) ,
g : PIM, POM番号 (g = 0, 1, 5, 8)
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。
m : ユニット番号, n : チャネル番号 (mn = 00, 02, 12))

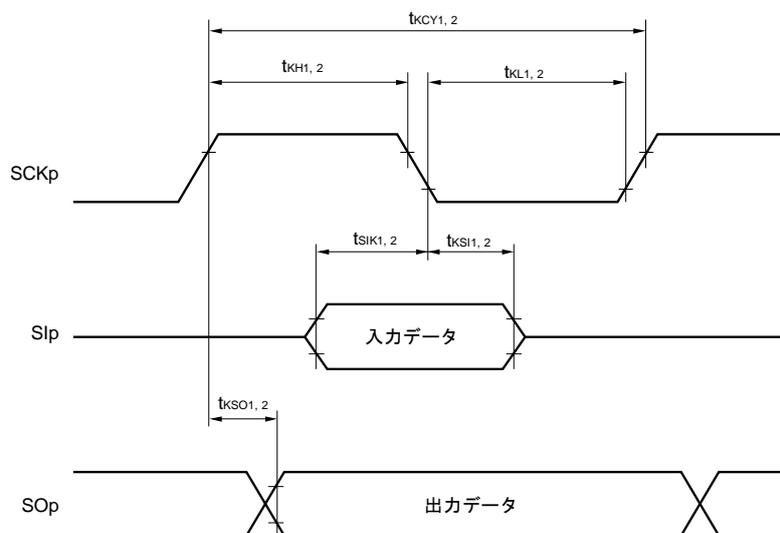
簡易SPI (CSI)モード接続図 (同電位通信時)



簡易SPI (CSI)モード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号 (p = 00, 10, 30)

2. m : ユニット番号, n : チャネル番号 (mn = 00, 02, 12)

(4) 同電位通信時 (簡易I²Cモード)(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLr クロック 周波数	f _{SCL}	2.7 V ≤ EV _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ		1000 ^{注1}		400 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ EV _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ		400 ^{注1}		400 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ EV _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ				300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.6 V ≤ EV _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ								250 ^{注1}	kHz
SCLr = "L" のホール ド・タイム	t _{LOW}	2.7 V ≤ EV _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1150		1150		1150		ns
		1.8 V ≤ EV _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1150		1150		1150		1150		ns
		1.8 V ≤ EV _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ			1550		1550		1550		ns
		1.6 V ≤ EV _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ							1850		ns
SCLr = "H"の ホール ド・タイム	t _{HIGH}	2.7 V ≤ EV _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1150		1150		1150		ns
		1.8 V ≤ EV _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1150		1150		1150		1150		ns
		1.8 V ≤ EV _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ			1550		1550		1550		ns
		1.6 V ≤ EV _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ							1850		ns
データ・ セットア ップ時間 (受信時)	t _{SU:DAT}	2.7 V ≤ EV _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 85 ^{注1,2}		1/f _{MCK} + 145 ^{注1,2}		1/f _{MCK} + 145 ^{注1,2}		1/f _{MCK} + 145 ^{注1,2}		ns
		1.8 V ≤ EV _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 145 ^{注1,2}		1/f _{MCK} + 145 ^{注1,2}		1/f _{MCK} + 145 ^{注1,2}		1/f _{MCK} + 145 ^{注1,2}		ns
		1.8 V ≤ EV _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ			1/f _{MCK} + 230 ^{注1,2}		1/f _{MCK} + 230 ^{注1,2}		1/f _{MCK} + 230 ^{注1,2}		ns
		1.6 V ≤ EV _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ							1/f _{MCK} + 290 ^{注1,2}		ns

(注, 注意, 備考は次ページにあります。)

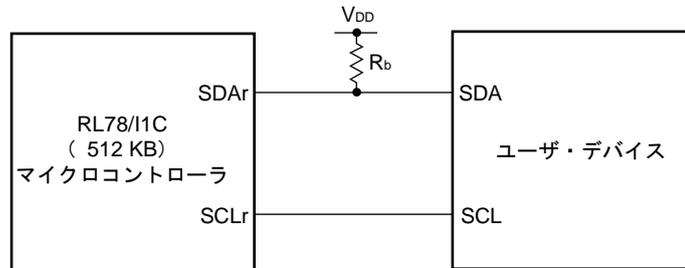
($T_A = -40 \sim +85^\circ\text{C}$, $1.6\text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$) (2/2)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LP (低電力メイン)		LV (低電圧メイン)		単位
			モード		モード		モード		モード		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・ホールド時間 (送信時)	$t_{HD:DAT}$	$2.7\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	0	305	0	305	0	305	0	305	ns
		$1.8\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 3\text{ k}\Omega$	0	355	0	355	0	355	0	355	ns
		$1.8\text{ V} \leq EV_{DD} < 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$			0	405	0	405	0	405	ns
		$1.6\text{ V} \leq EV_{DD} < 1.8\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$							0	405	ns

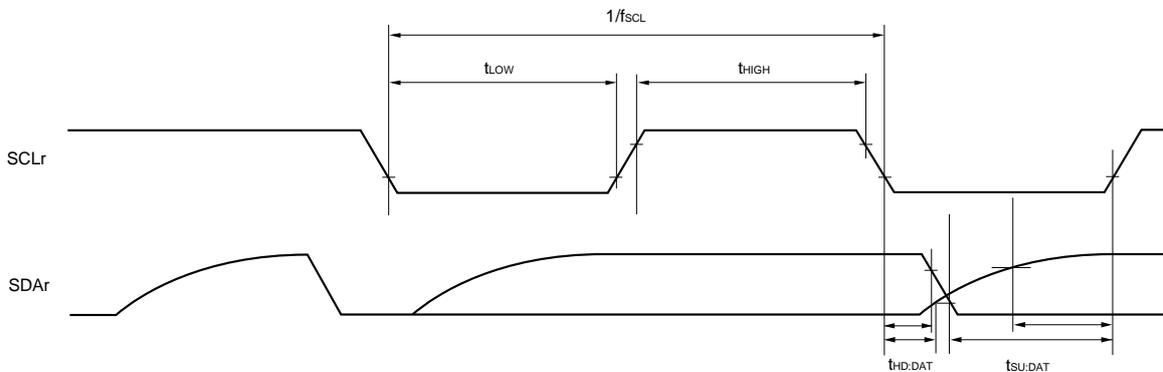
注 1. $f_{MCK}/4$ 以下に設定してください。

2. f_{MCK} 値は、 $SCLr = "L"$ と $SCLr = "H"$ のホールド・タイムを越えない値に設定してください。

簡易I²Cモード接続図 (同電位通信時)



簡易I²Cモード・シリアル転送タイミング (同電位通信時)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択、SCLrは通常出力モードを選択。

備考1. $R_b [\Omega]$: 通信ライン (SDAr) プルアップ抵抗値, $C_b [F]$: 通信ライン (SCLr, SDAr) 負荷容量値

2. r: IIC番号 (r = 00, 10, 30), g: PIM, POM番号 (g = 0, 1, 5, 8)

3. f_{MCK} : シリアル・アレィ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。

m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0, 2), mn = 00, 02, 12)

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (1/2)

 $(T_A = -40 \sim +85^\circ\text{C}, 1.8 \text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5 \text{ V}, AV_{SS} = V_{SS} = EV_{SS} = 0 \text{ V})$

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート	受信	4.0 V \leq EV _{DD} \leq 5.5 V, 2.7 V \leq V _b \leq 4.0 V		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}	bps
		最大転送レート 理論値 f _{MCK} = f _{CLK} ^{注3}		5.3		1.3		0.1		0.6	Mbps
		2.7 V \leq EV _{DD} < 4.0 V, 2.3 V \leq V _b \leq 2.7 V		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}	bps
		最大転送レート 理論値 f _{MCK} = f _{CLK} ^{注3}		5.3		1.3		0.1		0.6	Mbps
		1.8 V \leq EV _{DD} < 3.3 V, 1.6 V \leq V _b \leq 2.0 V		f _{MCK} /6 ^{注1,2}		f _{MCK} /6 ^{注1,2}		f _{MCK} /6 ^{注1,2}		f _{MCK} /6 ^{注1,2}	bps
		最大転送レート 理論値 f _{MCK} = f _{CLK} ^{注3}		5.3		1.3		0.1		0.6	Mbps

注 1. SNOOZEモードでの転送レートは, 4800 bpsのみとなります。

2. EV_{DD} \geq V_b で使用してください。3. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 32 MHz (2.7 V \leq V_{DD} \leq 5.5 V),
16 MHz (2.4 V \leq V_{DD} \leq 5.5 V),
6 MHz (2.1 V \leq V_{DD} \leq 5.5 V)

LS (低速メイン) モード : 8 MHz (1.8 V \leq V_{DD} \leq 5.5 V),LP (低電力メイン) モード : 1 MHz (1.8 V \leq V_{DD} \leq 5.5 V)LV (低電圧メイン) モード : 4 MHz (1.6 V \leq V_{DD} \leq 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, RxDq端子はTTL入力バッファ, TxDq端子はN-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]: 通信ライン電圧

2. q: UART番号 (q = 0-4), g: PIM, POM番号 (g = 0, 1, 5, 8)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。

m: ユニット番号, n: チャンネル番号 (mn = 00-03, 10-13, 20, 21))

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (2/2)

(T_A = -40~+85°C, 1.8 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			転送レート	送信	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V		注1, 2		注1, 2		
		最大転送レート 理論値 ^{注9} C _b = 50 pF, R _b = 1.4 kΩ, V _b = 2.7 V		2.8 ^{注3}		2.8 ^{注3}		2.8 ^{注3}		2.8 ^{注3}	Mbps
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V		注2, 4		注2, 4		注2, 4		注2, 4	bps
		最大転送レート 理論値 ^{注9} C _b = 50 pF, R _b = 2.7 kΩ, V _b = 2.3 V		1.2 ^{注5}		1.2 ^{注5}		1.2 ^{注5}		1.2 ^{注5}	Mbps
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V		注2, 6, 7		注2, 6, 7		注2, 6, 7		注2, 6, 7	bps
		最大転送レート 理論値 ^{注9} C _b = 50 pF, R _b = 5.5 kΩ, V _b = 1.6 V		0.43 ^{注8}		0.43 ^{注8}		0.43 ^{注8}		0.43 ^{注8}	Mbps

注1. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EV_{DD} ≤ 5.5 V, 2.7 V ≤ V_b ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

- SNOOZEモードでの転送レートは、4800 bpsのみとなります。
- この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注4. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V \leq EV_{DD} < 4.0 V, 2.3 V \leq V_b \leq 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

- この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。
- EV_{DD} \geq V_bで使用してください。
- $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
1.8 V \leq EV_{DD} < 3.3 V, 1.6 V \leq V_b \leq 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

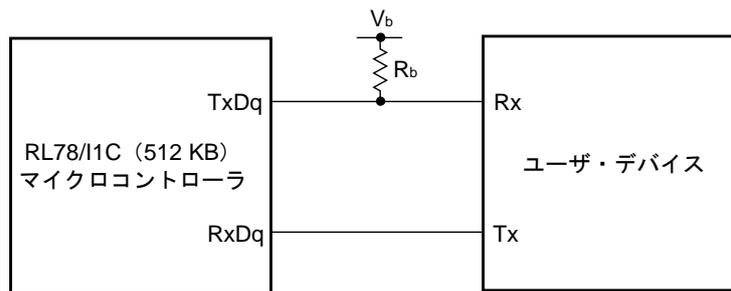
- この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注7により算出してください。
- CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード	: 32 MHz (2.7 V \leq V _{DD} \leq 5.5 V),
	16 MHz (2.4 V \leq V _{DD} \leq 5.5 V),
	6 MHz (2.1 V \leq V _{DD} \leq 5.5 V)
LS (低速メイン) モード	: 8 MHz (1.8 V \leq V _{DD} \leq 5.5 V),
LP (低電力メイン) モード	: 1 MHz (1.8 V \leq V _{DD} \leq 5.5 V)
LV (低電圧メイン) モード	: 4 MHz (1.6 V \leq V _{DD} \leq 5.5 V)

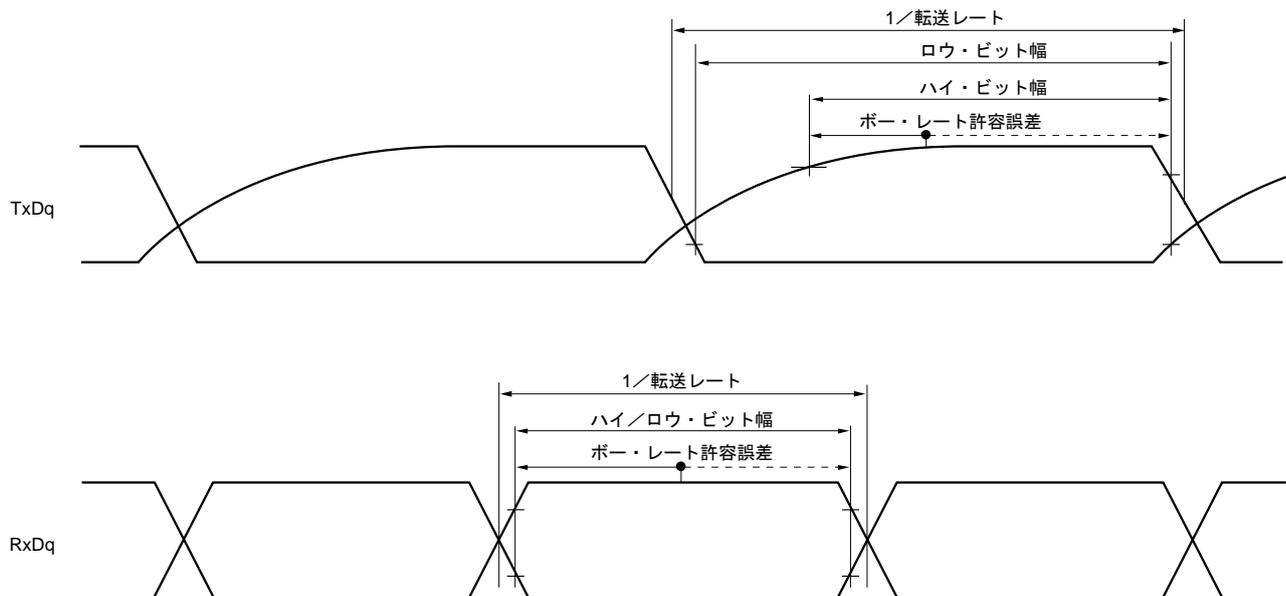
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Rx_{Dq}端子はTTL入力バッファ、Tx_{Dq}端子はN-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

- 備考1.** R_b [Ω]: 通信ライン (Tx_{Dq}) プルアップ抵抗値, C_b [F]: 通信ライン (Tx_{Dq}) 負荷容量値, V_b [V]: 通信ライン電圧
- q: UART番号 (q = 0-4), g: PIM, POM番号 (g = 0, 1, 5, 8)
 - f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。
m: ユニット番号, n: チャネル番号 (mn = 00-03, 10-13, 20, 21))

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファ、TxDq端子はN-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

- 備考1.** R_b [Ω]: 通信ライン (TxDq) プルアップ抵抗値, V_b [V]: 通信ライン電圧
2. q: UART番号 (q = 0-4), g: PIM, POM番号 (g = 0, 1, 5, 8)

(6) 異電位 (2.5 V系, 3 V系) 通信 ($f_{MCK}/2$) 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部クロック出力, CSI00のみ対応) (1/2)

($T_A = -40 \sim +85^\circ\text{C}$, $2.7\text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
				モード		モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	$t_{KCY1} \geq 2/f_{CLK}$	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	200		1150		1150		1150		ns
			$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	300		1150		1150		1150		ns
SCKpハイ・レベル幅	t_{KH1}	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	$t_{KCY1}/2 - 50$		$t_{KCY1}/2 - 50$		$t_{KCY1}/2 - 50$		$t_{KCY1}/2 - 50$			ns
			$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	$t_{KCY1}/2 - 120$		$t_{KCY1}/2 - 120$		$t_{KCY1}/2 - 120$		$t_{KCY1}/2 - 120$		
SCKpロウ・レベル幅	t_{KL1}	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	$t_{KCY1}/2 - 7$		$t_{KCY1}/2 - 50$		$t_{KCY1}/2 - 50$		$t_{KCY1}/2 - 50$			ns
			$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	$t_{KCY1}/2 - 10$		$t_{KCY1}/2 - 50$		$t_{KCY1}/2 - 50$		$t_{KCY1}/2 - 50$		
Slpセットアップ時間 (対SCKp↑) 注1	t_{SIK1}	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	58		479		479		479			ns
			$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	121		479		479		479		
Slpホールド時間 (対SCKp↑) 注1	t_{KSI1}	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	10		10		10		10			ns
			$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	10		10		10		10		
SCKp↓→SOp出力遅延時間 注1	t_{KSO1}	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$		60		60		60		60		ns
			$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$		130		130		130		130	

(注, 注意, 備考は次ページにあります。)

(6) 異電位 (2.5 V系, 3 V系) 通信 ($f_{MCK}/2$) 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部クロック出力, CSI00のみ対応) (2/2)

($T_A = -40 \sim +85^\circ\text{C}$, $2.7\text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

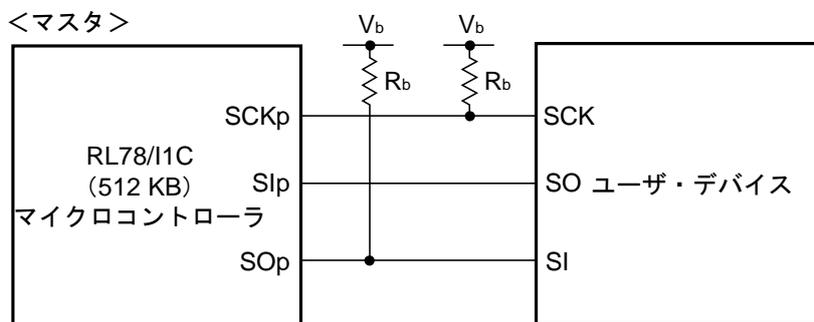
項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対 SCKp ↓) 注2	t_{SIK1}	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	23		110		110		110		ns
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	33		110		110		110		ns
Slpホールド時間 (対 SCKp ↓) 注2	t_{KSI1}	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	10		10		10		10		ns
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	10		10		10		10		ns
SCKp ↑ → SOp出力遅延時間注2	t_{KSO1}	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$		10		10		10		10	ns
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$		10		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子はTTL入力バッファ, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (EV_{DD} 耐圧) モードを選択。なお V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI (CSI)モード接続図 (異電位通信時)



備考1. R_b [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SCKp, SOp) 負荷容量値,

V_b [V]: 通信ライン電圧

2. p: CSI番号 (p = 00, 10, 30), m: ユニット番号, n: チャネル番号 (mn = 00, 02, 12),

g: PIM, POM番号 (g = 0, 1, 5, 8)

- 備考3.** f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定された動作クロック。
 m : ユニット番号, n : チャネル番号 ($mn = 00, 02, 12$))
4. このスペックは, CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信 (fmck/4) 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部
クロック出力) (1/3)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8 \text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイ ン) モード		LV (低電圧メイ ン) モード		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCKpサイ クル・ タイム	tkCY1	tkCY1 \geq 4/fCLK	4.0 V \leq EV _{DD} \leq 5.5 V, 2.7 V \leq V _b \leq 4.0 V, C _b = 30 pF, R _b = 1.4 k Ω	300		1150		1150		1150		ns
			2.7 V \leq EV _{DD} < 4.0 V, 2.3 V \leq V _b \leq 2.7 V, C _b = 30 pF, R _b = 2.7 k Ω	500		1150		1150		1150		ns
			1.8 V \leq EV _{DD} < 3.3 V, 1.6 V \leq V _b \leq 2.0 V, C _b = 30 pF, R _b = 5.5 k Ω	1150		1150		1150		1150		ns
SCKp ハイ・ レベル幅	tkH1	4.0 V \leq EV _{DD} \leq 5.5 V, 2.7 V \leq V _b \leq 4.0 V, C _b = 30 pF, R _b = 1.4 k Ω	tkCY1/2-75		tkCY1/2-75		tkCY1/2-75		tkCY1/2-75		ns	
			2.7 V \leq EV _{DD} < 4.0 V, 2.3 V \leq V _b \leq 2.7 V, C _b = 30 pF, R _b = 2.7 k Ω	tkCY1/2- 170		tkCY1/2- 170		tkCY1/2- 170		tkCY1/2- 170		ns
			1.8 V \leq EV _{DD} < 3.3 V, 1.6 V \leq V _b \leq 2.0 V ^{注3} , C _b = 30 pF, R _b = 5.5 k Ω	tkCY1/2- 458		tkCY1/2- 458		tkCY1/2- 458		tkCY1/2- 458		ns
SCKp ロウ・ レベル幅	tkL1	4.0 V \leq EV _{DD} \leq 5.5 V, 2.7 V \leq V _b \leq 4.0 V, C _b = 30 pF, R _b = 1.4 k Ω	tkCY1/2-12		tkCY1/2-50		tkCY1/2-50		tkCY1/2-50		ns	
			2.7 V \leq EV _{DD} < 4.0 V, 2.3 V \leq V _b \leq 2.7 V, C _b = 30 pF, R _b = 2.7 k Ω	tkCY1/2-18		tkCY1/2-50		tkCY1/2-50		tkCY1/2-50		ns
			1.8 V \leq EV _{DD} < 3.3 V, 1.6 V \leq V _b \leq 2.0 V ^{注3} , C _b = 30 pF, R _b = 5.5 k Ω	tkCY1/2-50		tkCY1/2-50		tkCY1/2-50		tkCY1/2-50		ns

(注, 注意, 備考は次々ページにあります。)

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信 (f_{mck}/4) 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部
クロック出力) (2/3)

(T_A = -40~+85°C, 1.8 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			モード		モード		モード		モード		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセット アップ 時間 (対 SCKp ↑) 注1	t _{SIK1}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	81		479		479		479		ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	177		479		479		479		ns
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注3} , C _b = 30 pF, R _b = 5.5 kΩ	479		479		479		479		ns
Slpホールド時間 (対 SCKp ↑) 注1	t _{KSI1}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	19		19		19		19		ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	19		19		19		19		ns
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注3} , C _b = 30 pF, R _b = 5.5 kΩ	19		19		19		19		ns
SCKp ↓ → SO _p 出力 遅延 時間 ^{注1}	t _{KSO1}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		100		100		100		100	ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		195		195		195		195	ns
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注3} , C _b = 30 pF, R _b = 5.5 kΩ		483		483		483		483	ns

(注, 注意, 備考は次ページにあります。)

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信 (f_{mck}/4) 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部クロック出力) (3/3)

(T_A = -40~+85°C, 1.8 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			モード		モード		モード		モード		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対 SCKp ↓) 注2	t _{SIK1}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	44		110		110		110		ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	44		110		110		110		ns
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注3} , C _b = 30 pF, R _b = 5.5 kΩ	110		110		110		110		ns
Slpホールド時間 (対 SCKp ↓) 注2	t _{KSH}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	19		19		19		19		ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	19		19		19		19		ns
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注3} , C _b = 30 pF, R _b = 5.5 kΩ	19		19		19		19		ns
SCKp ↑ → SOp出力遅延時間 ^{注2}	t _{KSO1}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		25		25		25		25	ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		25		25		25		25	ns
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注3} , C _b = 30 pF, R _b = 5.5 kΩ		25		25		25		25	ns

注1. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。

2. DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のとき。

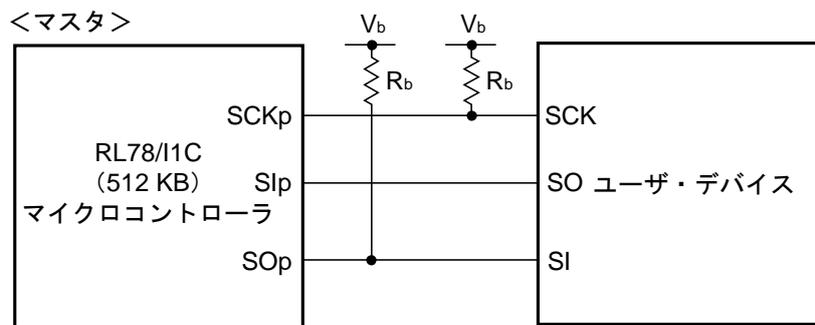
3. EV_{DD} ≥ V_bで使用してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファ、SO_p端子とSCK_p端子はN-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

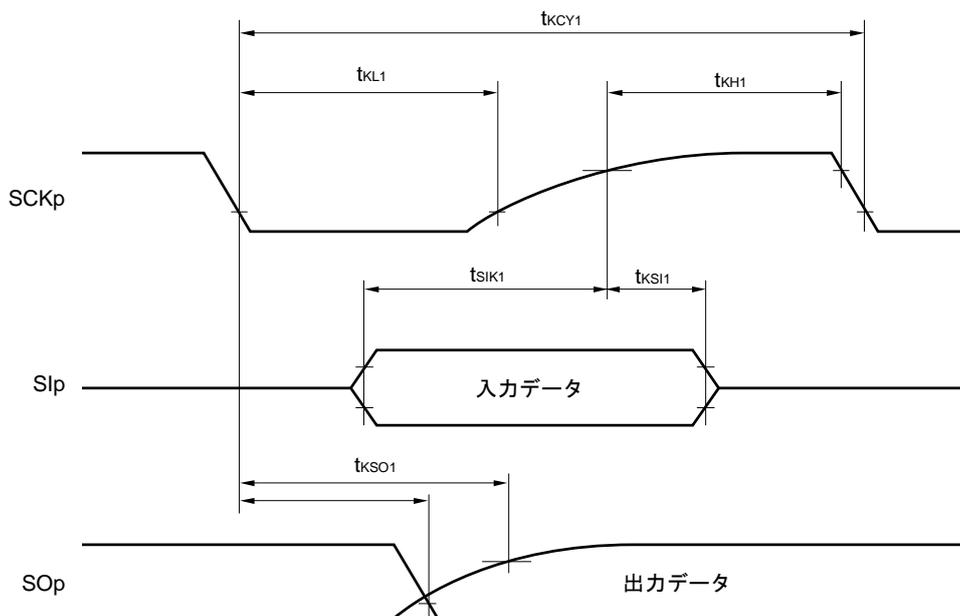
備考1. R_b [Ω]: 通信ライン (SCK_p, SO_p) プルアップ抵抗値, C_b [F]: 通信ライン (SCK_p, SO_p) 負荷容量値,
V_b [V]: 通信ライン電圧

- 備考2. p : CSI番号 ($p = 00, 10, 30$) , m : ユニット番号, n : チャネル番号 ($mn = 00, 02, 12$) ,
 g : PIM, POM番号 ($g = 0, 1, 5, 8$)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・モード・レジスタ mn (SMR mn) のCKS mn ビットで設定する動作クロック。
 m : ユニット番号, n : チャネル番号 ($mn = 00, 02, 12$))

簡易SPI (CSI)モード接続図 (異電位通信時)

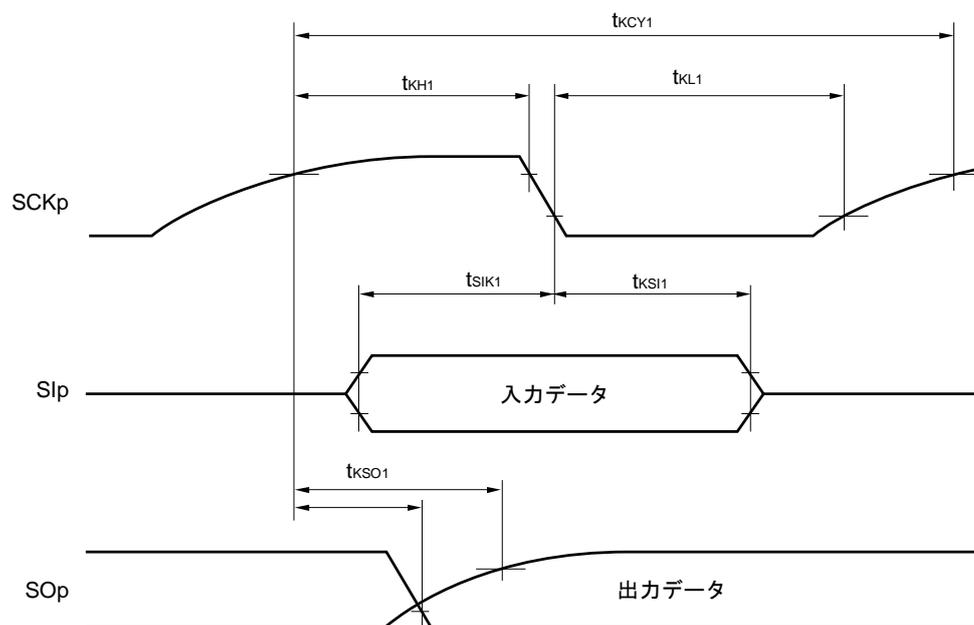


簡易SPI (CSI)モード・シリアル転送タイミング : マスタ・モード (異電位通信時)
 (DAP $mn = 0$, CKP $mn = 0$ またはDAP $mn = 1$, CKP $mn = 1$ のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファ、SOp端子とSCKp端子はN-chオープン・ドレイン出力（EV_{DD}耐圧）モードを選択。なおV_{IH}、V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

備考 p : CSI番号 (p = 00, 10, 30) , m : ユニット番号, n : チャネル番号 (mn = 00, 02, 12) ,
g : PIM, POM番号 (g = 0, 1, 5, 8)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信簡易SPI (CSI)モード時 (スレーブ・モード, SCKp…外部クロック入力)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8 \text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0 \text{ V}$) (1/2)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
				モード		モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム ^{注1}	tkCY2	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$	$24 \text{ MHz} < f_{MCK}$	$14/f_{MCK}$	—	—	—	—	—	—	—	ns
			$20 \text{ MHz} < f_{MCK} \leq 24 \text{ MHz}$	$12/f_{MCK}$	—	—	—	—	—	—	ns	
			$8 \text{ MHz} < f_{MCK} \leq 20 \text{ MHz}$	$10/f_{MCK}$	—	—	—	—	—	—	ns	
			$4 \text{ MHz} < f_{MCK} \leq 8 \text{ MHz}$	$8/f_{MCK}$	$16/f_{MCK}$	—	—	—	—	ns		
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$	$24 \text{ MHz} < f_{MCK}$	$20/f_{MCK}$	—	—	—	—	—	ns		
			$20 \text{ MHz} < f_{MCK} \leq 24 \text{ MHz}$	$16/f_{MCK}$	—	—	—	—	—	ns		
			$16 \text{ MHz} < f_{MCK} \leq 20 \text{ MHz}$	$14/f_{MCK}$	—	—	—	—	—	ns		
			$8 \text{ MHz} < f_{MCK} \leq 16 \text{ MHz}$	$12/f_{MCK}$	—	—	—	—	—	ns		
		$1.8 \text{ V} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ ^{注2}	$4 \text{ MHz} < f_{MCK} \leq 8 \text{ MHz}$	$8/f_{MCK}$	$16/f_{MCK}$	—	—	—	—	ns		
			$f_{MCK} \leq 4 \text{ MHz}$	$6/f_{MCK}$	$10/f_{MCK}$	$10/f_{MCK}$	$10/f_{MCK}$	$10/f_{MCK}$	$10/f_{MCK}$	ns		
			$24 \text{ MHz} < f_{MCK}$	$48/f_{MCK}$	—	—	—	—	—	ns		
			$20 \text{ MHz} < f_{MCK} \leq 24 \text{ MHz}$	$36/f_{MCK}$	—	—	—	—	—	ns		
			$16 \text{ MHz} < f_{MCK} \leq 20 \text{ MHz}$	$32/f_{MCK}$	—	—	—	—	—	ns		
			$8 \text{ MHz} < f_{MCK} \leq 16 \text{ MHz}$	$26/f_{MCK}$	—	—	—	—	—	ns		
			$4 \text{ MHz} < f_{MCK} \leq 8 \text{ MHz}$	$16/f_{MCK}$	$16/f_{MCK}$	—	—	—	—	ns		
			$f_{MCK} \leq 4 \text{ MHz}$	$10/f_{MCK}$	$10/f_{MCK}$	$10/f_{MCK}$	$10/f_{MCK}$	$10/f_{MCK}$	$10/f_{MCK}$	ns		

(注, 注意, 備考は次ページにあります。)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信簡易SPI (CSI)モード時 (スレーブ・モード, SCKp…外部クロック入力)

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq AV_{DD} = EV_{DD} = V_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$) (2/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpハイ、ロウ・レベル幅	t_{KH2} ,	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$,	$t_{CY2}/2-12$		$t_{CY2}/2-50$		$t_{CY2}/2-50$		$t_{CY2}/2-50$		ns
	t_{KL2}	$2.7\text{ V} \leq V_b \leq 4.0\text{ V}$									
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$,	$t_{CY2}/2-18$		$t_{CY2}/2-50$		$t_{CY2}/2-50$		$t_{CY2}/2-50$		ns
		$2.3\text{ V} \leq V_b \leq 2.7\text{ V}$									
		$1.8\text{ V} \leq EV_{DD} < 3.3\text{ V}$,	$t_{CY2}/2-50$		$t_{CY2}/2-50$		$t_{CY2}/2-50$		$t_{CY2}/2-50$		ns
		$1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 注2									
Slpセットアップ時間 (対SCKp↑) 注3	t_{SIK2}	$2.7\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$,	$1/f_{MCK}+20$		$1/f_{MCK}+30$		$1/f_{MCK}+30$		$1/f_{MCK}+30$		ns
		$2.3\text{ V} \leq V_b \leq 4.0\text{ V}$ 注2									
		$1.8\text{ V} \leq EV_{DD} < 3.3\text{ V}$,	$1/f_{MCK}+30$		$1/f_{MCK}+30$		$1/f_{MCK}+30$		$1/f_{MCK}+30$		ns
		$1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 注2									
Slpホールド時間 (対SCKp↑) 注3	t_{SI2}	$2.7\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$,	$1/f_{MCK}+31$		$1/f_{MCK}+31$		$1/f_{MCK}+31$		$1/f_{MCK}+31$		ns
		$2.3\text{ V} \leq V_b \leq 4.0\text{ V}$ 注2									
		$1.8\text{ V} \leq EV_{DD} < 3.3\text{ V}$,	$1/f_{MCK}+31$		$1/f_{MCK}+31$		$1/f_{MCK}+31$		$1/f_{MCK}+31$		ns
		$1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 注2									
SCKp↓→ Sop出力遅延時間注4	t_{KSO2}	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$,		$2/f_{MCK}+120$		$2/f_{MCK}+573$		$2/f_{MCK}+573$		$2/f_{MCK}+573$	ns
		$2.7\text{ V} \leq V_b \leq 4.0\text{ V}$,									
		$C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$									
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$,		$2/f_{MCK}+214$		$2/f_{MCK}+573$		$2/f_{MCK}+573$		$2/f_{MCK}+573$	ns
		$2.3\text{ V} \leq V_b \leq 2.7\text{ V}$,									
		$C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$									
		$1.8\text{ V} \leq EV_{DD} < 3.3\text{ V}$,		$2/f_{MCK}+573$		$2/f_{MCK}+573$		$2/f_{MCK}+573$		$2/f_{MCK}+573$	ns
		$1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 注2,									
		$C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$									

注1. SNOOZEモードでの転送レートは, MAX.: 1 Mbps

- EV_{DD} ≥ V_bで使用してください。
- DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対SCKp↓”となります。
- DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対SCKp↑”となります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子とSCKp端子はTTL入力バッファ, Sop端子はN-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

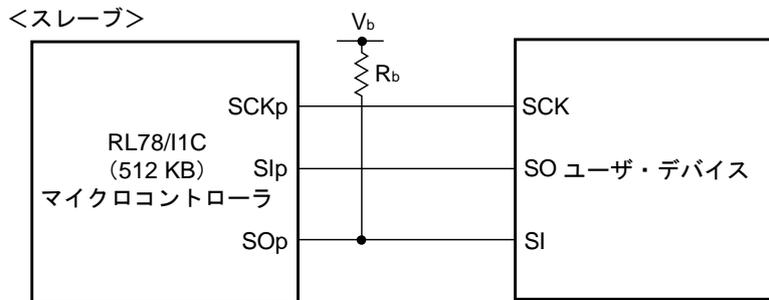
備考1. R_b [Ω]: 通信ライン (SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SOp) 負荷容量値,
V_b [V]: 通信ライン電圧

- p: CSI番号 (p = 00, 10, 30), m: ユニット番号, n: チャネル番号 (mn = 00, 02, 12),
g: PIM, POM番号 (g = 0, 1, 5, 8)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定された動作クロック。

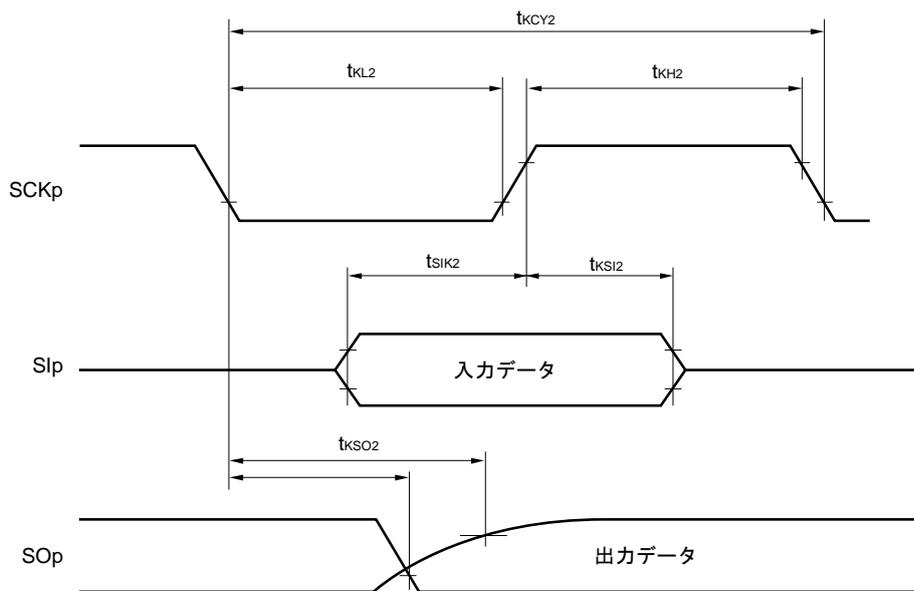
m : ユニット番号, n : チャネル番号 ($mn = 00, 02, 12$))

簡易SPI (CSI)モード接続図 (異電位通信時)



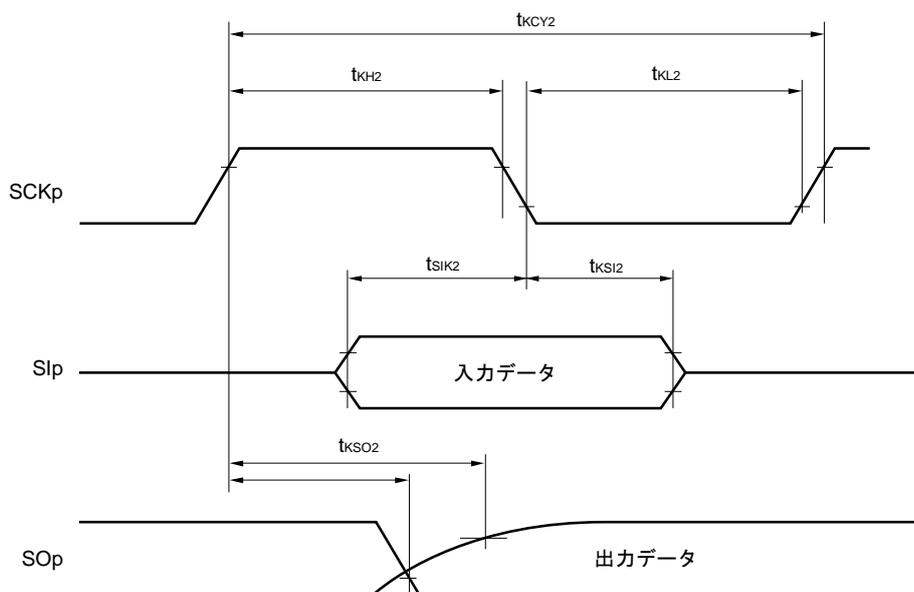
簡易SPI (CSI)モード・シリアル転送タイミング : スレーブ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子はTTL入力バッファ、SOp端子はN-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

備考 p : CSI番号 (p = 00, 10, 30) , m : ユニット番号, n : チャネル番号 (mn = 00, 02, 12) ,
g : PIM, POM番号 (g = 0, 1, 5, 8)

(9) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード) (1/2)

(T_A = -40 ~ +85°C, 1.8 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			SCLr クロック 周波数	f _{SCL}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ		1000 ^{注1}		300 ^{注1}		
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ		1000 ^{注1}		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ		400 ^{注1}		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		400 ^{注1}		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L" のホール ド・タイム	t _{LOW}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1550		1550		1550		ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1550		1550		1550		ns
		4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1150		1550		1550		1550		ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1150		1550		1550		1550		ns
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1550		1550		1550		1550		ns
SCLr = "H"の ホール ド・タイム	t _{HIGH}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	245		610		610		610		ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	200		610		610		610		ns
		4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	675		610		610		610		ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	600		610		610		610		ns
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	610		610		610		610		ns

(注, 注意は次ページ, 備考は次々ページにあります。)

(9) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード) (2/2)(T_A = -40~+85°C, 1.8 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

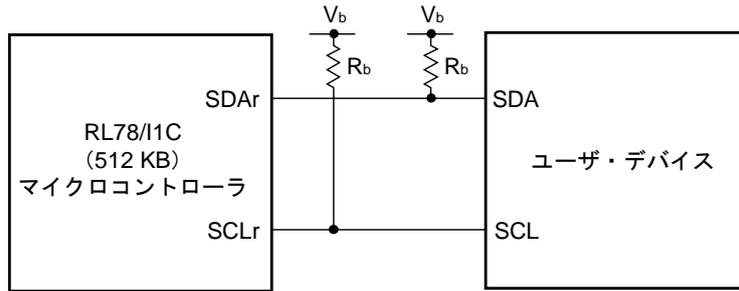
項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			データ・セットアップ時間 (受信時)	t _{SU:DAT}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} +		1/f _{MCK} +		1/f _{MCK} +	
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} +		1/f _{MCK} +		1/f _{MCK} +		1/f _{MCK} +		ns
		4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} +		1/f _{MCK} +		1/f _{MCK} +		1/f _{MCK} +		ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} +		1/f _{MCK} +		1/f _{MCK} +		1/f _{MCK} +		ns
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} +		1/f _{MCK} +		1/f _{MCK} +		1/f _{MCK} +		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	0	305	0	305	ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	0	305	0	305	ns
		4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	355	0	355	0	355	0	355	ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	355	0	355	0	355	0	355	ns
		1.8 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	0	405	0	405	0	405	0	405	ns

注 1. f_{MCK}/4以下に設定してください。2. EV_{DD} ≥ V_bで使用してください。3. f_{MCK}値は, SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

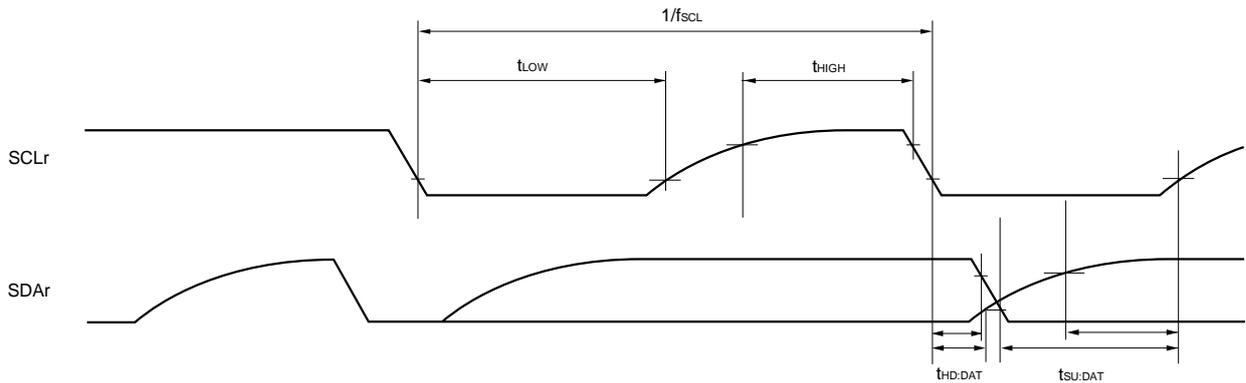
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, SDArはTTL入力バッファ, N-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択, SCLrはN-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図 (異電位通信時)



簡易I²Cモード・シリアル転送タイミング (異電位通信時)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択、SCLrはN-chオープン・ドレイン出力 (EV_{DD}耐圧) モードを選択。なおV_{IH}、V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

- 備考1.** R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値,
V_b [V]: 通信ライン電圧
2. r: IIC番号 (r = 00, 10, 30) , g: PIM, POM番号 (g = 0, 1, 5, 8)
 3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。
m: ユニット番号, n: チャネル番号 (mn = 00, 02, 12))

43.5.2 シリアル・インタフェースUARTMG

(T_A = -40 ~ +85°C, 1.8 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		f _{sx} = 38.4 kHz	200		9600	bps
		f _{sx} = 38.4 kHz (クロックダブラ使用時)	200		19200	bps

43.5.3 シリアル・インタフェースIIC/A

(1) I²C標準モード (1/2)(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LP (低電力メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック 周波数	f _{SCL}	標準モード: f _{CLK} ≥ 1 MHz	2.7 V ≤ EV _{DD} ≤ 5.5 V	0	100	0	100	0	100	0	100	kHz
			2.1 V ≤ EV _{DD} ≤ 5.5 V	0	100	0	100	0	100	0	100	kHz
			1.8 V ≤ EV _{DD} ≤ 5.5 V	-	-	0	100	0	100	0	100	kHz
			1.6 V ≤ EV _{DD} ≤ 5.5 V	-	-	-	-	-	-	0	100	kHz
			1.6 V ≤ EV _{DD} ≤ 5.5 V	-	-	-	-	-	-	0	100	kHz
リスタート・コンディションのセットアップ時間	t _{SU: STA}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7		4.7		μs	
		2.1 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7		4.7		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	-	-	4.7		4.7		4.7		μs	
		1.6 V ≤ EV _{DD} ≤ 5.5 V	-	-	-	-	-	-	4.7		μs	
ホールド時間 ^{注1}	t _{HD: STA}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0		4.0		μs	
		2.1 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0		4.0		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	-	-	4.0		4.0		4.0		μs	
		1.6 V ≤ EV _{DD} ≤ 5.5 V	-	-	-	-	-	-	4.0		μs	
SCLA0 = "L"の ホールド・ タイム	t _{LOW}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7		4.7		μs	
		2.1 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7		4.7		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	-	-	4.7		4.7		4.7		μs	
		1.6 V ≤ EV _{DD} ≤ 5.5 V	-	-	-	-	-	-	4.7		μs	
SCLA0 = "H"の ホールド・ タイム	t _{HIGH}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0		4.0		μs	
		2.1 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0		4.0		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	-	-	4.0		4.0		4.0		μs	
		1.6 V ≤ EV _{DD} ≤ 5.5 V	-	-	-	-	-	-	4.0		μs	
データ・ セットア ップ時間 (受信時)	t _{SU: DAT}	2.7 V ≤ EV _{DD} ≤ 5.5 V	250		250		250		250		μs	
		2.1 V ≤ EV _{DD} ≤ 5.5 V	250		250		250		250		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	-	-	250		250		250		μs	
		1.6 V ≤ EV _{DD} ≤ 5.5 V	-	-	-	-	-	-	250		μs	
データ・ ホールド 時間(送信 時) ^{注2}	t _{HD: DAT}	2.7 V ≤ EV _{DD} ≤ 5.5 V	0	3.45	0	3.45	0	3.45	0	3.45	μs	
		2.1 V ≤ EV _{DD} ≤ 5.5 V	0	3.45	0	3.45	0	3.45	0	3.45	μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	-	-	0	3.45	0	3.45	0	3.45	μs	
		1.6 V ≤ EV _{DD} ≤ 5.5 V	-	-	-	-	-	-	0	3.45	μs	

(注, 備考は次ページにあります。)

(1) I²C標準モード (2/2)(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイ ン) モード		LV (低電圧メイ ン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			ストップ プ・コンデ ィション のセット アップ 時間	t _{SU:STO}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0	
		2.1 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0		4.0		μs
		1.8 V ≤ EV _{DD} ≤ 5.5 V	-	-	4.0		4.0		4.0		μs
		1.6 V ≤ EV _{DD} ≤ 5.5 V	-	-	-	-	-	-	4.0		μs
パス・フリ ー時間	t _{BUF}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7		4.7		μs
		2.1 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7		4.7		μs
		1.8 V ≤ EV _{DD} ≤ 5.5 V	-	-	4.7		4.7		4.7		μs
		1.6 V ≤ EV _{DD} ≤ 5.5 V	-	-	-	-	-	-	4.7		μs

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD:DAT}の最大値 (MAX.) は, 通常転送時の数値であり, ACK (アクノリッジ) タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

標準モード : C_b = 400 pF, R_b = 2.7 kΩ

(2) I²C ファースト・モード(T_A = -40~+85°C, 1.8 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック 周波数	f _{SCL}	ファースト・モード : f _{CLK} ≥ 3.5 MHz	2.7 V ≤ EV _{DD} ≤ 5.5 V	0	400	0	400	-	-	0	400	kHz
			1.8 V ≤ EV _{DD} ≤ 5.5 V	0	400	0	400	-	-	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU:STA}	2.7 V ≤ EV _{DD} ≤ 5.5 V	0.6		0.6		-	-	0.6		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	0.6		0.6		-	-	0.6		μs	
ホールド時間 ^{注1}	t _{HD:STA}	2.7 V ≤ EV _{DD} ≤ 5.5 V	0.6		0.6		-	-	0.6		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	0.6		0.6		-	-	0.6		μs	
SCLA0 = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ EV _{DD} ≤ 5.5 V	1.3		1.3		-	-	1.3		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	1.3		1.3		-	-	1.3		μs	
SCLA0 = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ EV _{DD} ≤ 5.5 V	0.6		0.6		-	-	0.6		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	0.6		0.6		-	-	0.6		μs	
データ・セットアップ時間 (受信時)	t _{SU:DAT}	2.7 V ≤ EV _{DD} ≤ 5.5 V	100		100		-	-	100		ns	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	100		100		-	-	100		ns	
データ・ホールド時間 (送信時) ^{注2}	t _{HD:DAT}	2.7 V ≤ EV _{DD} ≤ 5.5 V	0	0.9	0	0.9	-	-	0	0.9	μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	0	0.9	0	0.9	-	-	0	0.9	μs	
ストップ・コンディションのセットアップ時間	t _{SU:STO}	2.7 V ≤ EV _{DD} ≤ 5.5 V	0.6		0.6		-	-	0.6		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	0.6		0.6		-	-	0.6		μs	
パス・フリー時間	t _{BUF}	2.7 V ≤ EV _{DD} ≤ 5.5 V	1.3		1.3		-	-	1.3		μs	
		1.8 V ≤ EV _{DD} ≤ 5.5 V	1.3		1.3		-	-	1.3		μs	

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD:DAT}の最大値 (MAX.) は, 通常転送時の数値であり, ACK (アクノリッジ) タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

ファースト・モード : C_b = 320 pF, R_b = 1.1 kΩ

(3) I²C ファースト・モード・プラス(T_A = -40~+85°C, 2.7 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LP (低電力メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード・プラス : f _{CLK} ≥ 10 MHz	2.7 V ≤ EV _{DD} ≤ 5.5 V	0	1000	-	-	-	-	-	-	kHz
リスタート・コンディションのセットアップ時間	t _{SU:STA}		2.7 V ≤ EV _{DD} ≤ 5.5 V	0.26		-	-	-	-	-	-	μs
ホールド時間 ^{注1}	t _{HD:STA}		2.7 V ≤ EV _{DD} ≤ 5.5 V	0.26		-	-	-	-	-	-	μs
SCLA0 = "L"のホールド・タイム	t _{LOW}		2.7 V ≤ EV _{DD} ≤ 5.5 V	0.5		-	-	-	-	-	-	μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}		2.7 V ≤ EV _{DD} ≤ 5.5 V	0.26		-	-	-	-	-	-	μs
データ・セットアップ時間 (受信時)	t _{SU:DAT}		2.7 V ≤ EV _{DD} ≤ 5.5 V	50		-	-	-	-	-	-	ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD:DAT}		2.7 V ≤ EV _{DD} ≤ 5.5 V	0	0.45	-	-	-	-	-	-	μs
ストップ・コンディションのセットアップ時間	t _{SU:STO}		2.7 V ≤ EV _{DD} ≤ 5.5 V	0.26		-	-	-	-	-	-	μs
パス・フリー時間	t _{BUF}		2.7 V ≤ EV _{DD} ≤ 5.5 V	0.5		-	-	-	-	-	-	μs

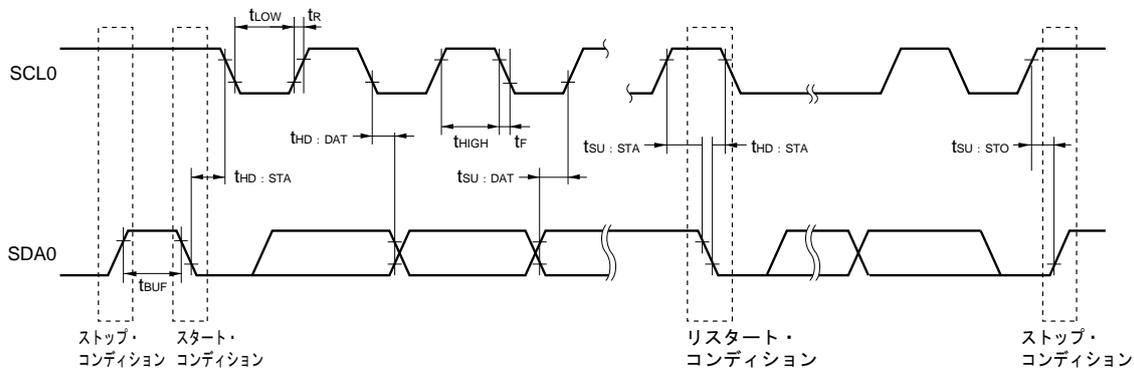
注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD:DAT}の最大値 (MAX.) は, 通常転送時の数値であり, ACK (アクノリッジ) タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおける C_b （通信ライン容量）のMAX.値と、そのときの R_b （通信ライン・プルアップ抵抗値）の値は、次のとおりです。

ファースト・モード・プラス : $C_b = 120 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$

I2Cシリアル転送タイミング



43.6 アナログ特性

43.6.1 12ビットA/Dコンバータ特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{SS1} = V_{SS} = EV_{SS} = 0\text{ V}$, 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0\text{ V}$) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		-	-	12	bit	
アナログ容量	Cs		-	-	8	pF	
アナログ入力抵抗	Rs	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	-	6.7	kΩ	
		$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	-	8.2	kΩ	
		$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	-	14.3	kΩ	
入力容量 ^{注1}	Cin	ANI0-ANI5 $V_i = AV_{DD}$	-	8	-	pF	
内部基準電圧	V _{BGR}	$2.4\text{ V} \leq AV_{DD} \leq 5.5\text{ V}$, HS (高速メインモード)	1.38	1.45	1.5	V	
周波数	ADCLK	高速モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	1	-	32	MHz
			$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	1	-	16	MHz
		通常モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	1	-	24	MHz
			$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	1	-	16	MHz
			$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	1	-	8	MHz
変換時間 ^{注2}	t _{CONV}	高速モード ADCSR.ADHSC = 0 ADSSTRn = 28 H	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$ 許容信号源インピーダンスmax = 0.5 kΩ ADCLK = 32 MHz チャンネル専用サンプル&ホールド回路未使用時	2.3	-	-	μs
			$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$ 許容信号源インピーダンスmax = 0.5 kΩ ADCLK = 32 MHz チャンネル専用サンプル&ホールド回路使用時 ^{注3}	3.3	-	-	μs
			$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$ 許容信号源インピーダンスmax = 1.3 kΩ ADCLK = 16 MHz	4.5	-	-	μs
		通常モード ADCSR.ADHSC = 1 ADSSTRn = 28 H	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$ 許容信号源インピーダンスmax = 1.1 kΩ ADCLK = 24 MHz チャンネル専用サンプル&ホールド回路未使用時	3.4	-	-	μs
			$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$ 許容信号源インピーダンスmax = 1.1 kΩ ADCLK = 24 MHz チャンネル専用サンプル&ホールド回路使用時 ^{注3}	5	-	-	μs
			$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$ 許容信号源インピーダンスmax = 2.2 kΩ ADCLK = 16 MHz	5.1	-	-	μs
			$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$ 許容信号源インピーダンスmax = 5 kΩ ADCLK = 8 MHz	10.1	-	-	μs

注1. 参考値です。

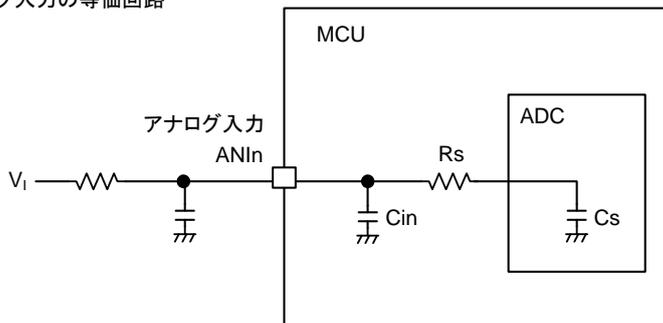
- 変換時間はサンプリング時間と比較時間の合計です。各項目は、40ADCLKサンプリングステートのときの値です。
- チャンネル専用サンプル&ホールド回路使用時、ANIn (n = 0, 1, 2) の入力電圧は、 $0.25\text{ V} \leq ANIn \leq AV_{DD} - 0.25\text{ V}$ としてください。

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{SS1} = V_{SS} = EV_{SS} = 0\text{ V}$, 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0\text{ V}$) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
総合誤差	AINL	高速モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.25	± 5.0	LSB
		ADCSR.ADHSC = 0	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.25	± 5.0	LSB
		ADSSTRn = 28 H					
		通常モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.25	± 5.0	LSB
		ADCSR.ADHSC = 1	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.25	± 5.0	LSB
		ADSSTRn = 28 H	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 3.0	± 8.0	LSB
ゼロスケール誤差	EVS	高速モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 0.5	± 4.5	LSB
		ADCSR.ADHSC = 0	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 0.5	± 4.5	LSB
		ADSSTRn = 28 H					
		通常モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 0.5	± 4.5	LSB
		ADCSR.ADHSC = 1	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 0.5	± 4.5	LSB
		ADSSTRn = 28 H	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1	± 7.5	LSB
フルスケール誤差	EFS	高速モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 0.75	± 4.5	LSB
		ADCSR.ADHSC = 0	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 0.75	± 4.5	LSB
		ADSSTRn = 28 H					
		通常モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 0.75	± 4.5	LSB
		ADCSR.ADHSC = 1	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 0.75	± 4.5	LSB
		ADSSTRn = 28 H	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.5	± 7.5	LSB
DNL微分直線性誤差	DLE	高速モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.0	-	LSB
		ADCSR.ADHSC = 0	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.0	-	LSB
		ADSSTRn = 28 H					
		通常モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.0	-	LSB
		ADCSR.ADHSC = 1	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.0	-	LSB
		ADSSTRn = 28 H	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.0	-	LSB
INL積分直線性誤差	ILE	高速モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.0	± 3.0	LSB
		ADCSR.ADHSC = 0	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.0	± 4.5	LSB
		ADSSTRn = 28 H					
		通常モード	$2.7\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.0	± 3.0	LSB
		ADCSR.ADHSC = 1	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.0	± 3.0	LSB
		ADSSTRn = 28 H	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 5.5\text{ V}$	-	± 1.25	± 3.0	LSB

注意 12ビットA/Dコンバータ以外の端子機能を使用していない場合の特性です。総合誤差, オフセット誤差, フルスケール誤差, DNL微分非直線誤差, INL積分非直線誤差は, 量子化誤差を含みません。

アナログ入力の等価回路



43.6.2 ボルテージ・リファレンス特性

(T_A = -40~+85°C, 1.8 V ≤ AV_{DD} = V_{DD} = EV_{DD} ≤ 5.5 V, AV_{SS1} = V_{SS} = EV_{SS} = 0 V)

項目	条件	MIN.	TYP.	MAX.	単位
出力電圧範囲	VREFAMPCNT.VREFADCG[1:0] = 0xb, AV _{DD} ≥ 1.8V ^{注3}	1.41	1.5	1.59	V
	VREFAMPCNT.VREFADCG[1:0] = 10b, AV _{DD} ≥ 2.2V ^{注4}	1.88	2.0	2.12	
	VREFAMPCNT.VREFADCG[1:0] = 11b, AV _{DD} ≥ 2.7V ^{注5}	2.35	2.5	2.65	
VREFOUTの温度係数 ^{注1}	1.8 V ≤ AV _{DD} = V _{DD} ≤ 5.5 V	-	50	-	ppm/°C
BGR安定時間 ^{注2} (BGR有効後)	VREFAMPCNT.BGREN = 1	-	-	150	μs
VREFAMP安定時間 ^{注2} (VREFAMP有効後)	VREFAMPCNT.VREFADCEN = 1	-	-	1500	μs
過電流検出 ^{注2}	VREFAMPCNT.OLDETEN = 1	-	20	40	mA
負荷容量 ^{注1}	-	0.75	1	1.25	μF

注1. ボルテージ・リファレンス (VREFADC) 使用時, AV_{REFP}/VREFOUT端子とAV_{REFM}端子間に安定容量としてコンデンサを接続してください。

- これらの値はシミュレーションに基づきます。出荷検査は行っていません。
- 12ビットA/Dコンバータの高電位側基準電圧としては使用できません。
- 12ビットA/Dコンバータの高電位側基準電圧として使用する場合
通常モード: 2.2 V ≤ AV_{DD} ≤ 5.5 V, ADCLK: 1 MHz~8 MHz としてください。
- 12ビットA/Dコンバータの高電位側基準電圧として使用する場合
通常モード: 2.7 V ≤ AV_{DD} ≤ 5.5 V, ADCLK: 1 MHz~24 MHz
高速モード: 2.7 V ≤ AV_{DD} ≤ 5.5 V, ADCLK: 1 MHz~32 MHz としてください。

43.6.3 24ビット $\Delta\Sigma$ A/Dコンバータ特性

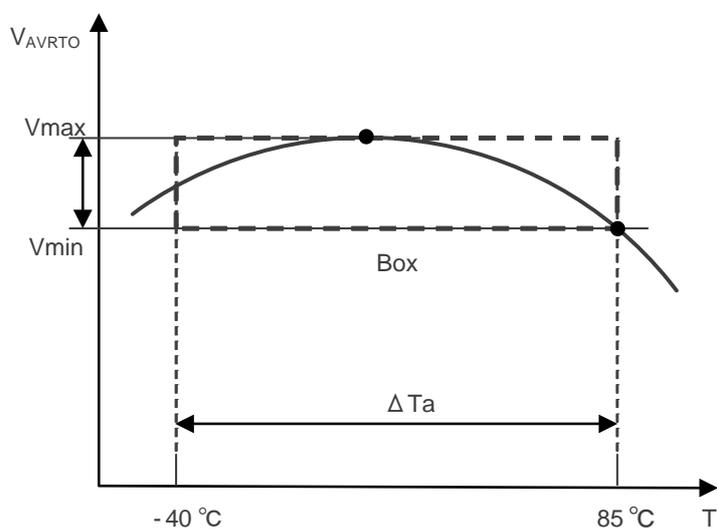
(1) 基準電圧

($T_A = -40 \sim +85^\circ\text{C}$, $2.4\text{ V} \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{SS0} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部基準電圧	V_{AVRTO}			0.8		V
内部基準電圧の温度係数 ^注	TC_{BOX}	AREGC, AVRT, AVCM端子接続の0.47 μF コンデンサ		10		ppm/ $^\circ\text{C}$

注 BOX法での規定。

$$TC_{BOX} = \frac{1}{V_{min}} \cdot \frac{V_{max} - V_{min}}{\Delta T_a}$$



(2) アナログ入力

(T_A = -40~+85°C, 2.4 V ≤ AV_{DD} = V_{DD} = EV_{DD} ≤ 5.5 V, AV_{SS0} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲 (差動)	V _{AIN}	×1 ゲイン	-500		500	mV
		×2 ゲイン	-250		250	
		×4 ゲイン	-125		125	
		×8 ゲイン	-62.5		62.5	
		×16 ゲイン	-31.25		31.25	
		×32 ゲイン	-15.625		15.625	
入力ゲイン	ainGAIN	×1 ゲイン		1		倍
		×2 ゲイン		2		
		×4 ゲイン		4		
		×8 ゲイン		8		
		×16 ゲイン		16		
		×32 ゲイン		32		
入力インピーダンス	ainRIN	差動	150	360		kΩ
		シングルエンド	100	240		

(3) 4 kHzサンプリング・モード

(TA = -40~+85°C, 2.4 V ≤ AVDD = VDD = EVDD ≤ 5.5 V, AVSS0 = VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作クロック	f _{DSAD}	f _x 発振クロック/外部入力クロック/高速オンチップ・オシレータ・クロック使用		12		MHz
サンプリング周波数	f _s			3906.25		Hz
オーバーサンプリング周波数	f _{OS}			1.5		MHz
出力データ・レート	T _{DATA}			256		μs
データ幅	RES			24		bit
SNDR	SNDR	x1ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)		80		dB
		x16ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	69	74		
		x32ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	65	69		
通過域 (低域側)	f _{Chpf}	@-3 dB (HPF内位相調整off) DSADHPFCRレジスタのビット7, 6 (DSADCOF1, DSADCOF0) = 00		0.607		Hz
		@-3 dB (HPF内位相調整off) DSADHPFCRレジスタのビット7, 6 (DSADCOF1, DSADCOF0) = 01		1.214		Hz
		@-3 dB (HPF内位相調整off) DSADHPFCRレジスタのビット7, 6 (DSADCOF1, DSADCOF0) = 10		2.429		Hz
		@-3 dB (HPF内位相調整off) DSADHPFCRレジスタのビット7, 6 (DSADCOF1, DSADCOF0) = 11		4.857		Hz
帯域内ripple 1	rp1	45 Hz-55 Hz @50 Hz	-0.01		0.01	dB
		54 Hz-66 Hz @60 Hz				
帯域内ripple 2	rp2	45 Hz-275 Hz @50 Hz	-0.1		0.1	
		54 Hz-330 Hz @60 Hz				
帯域内ripple 3	rp3	45 Hz-1100 Hz @50 Hz	-0.1		0.1	
		54 Hz-1320 Hz @60 Hz				
通過域 (高域側)	f _{Cipf}	-3 dB		1672		Hz
阻止域 (高域側)	f _{att}	-80 dB		2545		Hz
帯域外減衰量	ATT1	f _s	-80			dB
	ATT2	2 f _s	-80			dB

(4) 2 kHzサンプリング・モード

(T_A = -40~+85°C, 2.4 V ≤ AV_{DD} = V_{DD} = EV_{DD} ≤ 5.5 V, AV_{SS0} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作クロック	f _{DSAD}	f _x 発振クロック/外部入力クロック/高速オンチップ・オシレータ・クロック使用		12		MHz
サンプリング周波数	f _s			1953.125		Hz
オーバーサンプリング周波数	f _{OS}			0.75		MHz
出力データ・レート	T _{DATA}			512		μs
データ幅	RES			24		bit
SNDR	SNDR	x1 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)		80		dB
		x16 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	69	74		
		x32 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	65	69		
通過域 (低域側)	f _{Chpf}	@ -3 dB (HPF内位相調整off)		0.303		Hz
帯域内ripple 1	rp1	45 Hz-55 Hz @50 Hz	-0.01		0.01	dB
		54 Hz-66 Hz @60 Hz				
帯域内ripple 2	rp2	45 Hz-275 Hz @50 Hz	-0.1		0.1	dB
		54 Hz-330 Hz @60 Hz				
帯域内ripple 3	rp3	45 Hz-660 Hz @50 Hz	-0.1		0.1	dB
		54 Hz-550 Hz @60 Hz				
通過域 (高域側)	f _{Cipf}	-3 dB		836		Hz
阻止域 (高域側)	f _{att}	-80 dB		1273		Hz
帯域外減衰量	ATT1	f _s	-80			dB
	ATT2	2 f _s	-80			dB

43.6.4 温度センサ2特性

($T_A = -40 \sim +85^\circ\text{C}$, $2.4\text{ V} \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{SS1} = V_{SS} = EV_{SS} = 0\text{ V}$, HS (高速メインモード))

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ2出力電圧	V_{OUT}			0.67		V
温度係数	F_{VTMPS2}	温度センサ電圧の温度依存	-11.7	-10.7	-9.7	mV/°C
動作安定待ち時間	t_{TMPON}	動作可能		15	50	μs
	t_{TMPCHG}	モード切り替え		5	15	μs
サンプリング時間	-		5			μs

43.6.5 POR回路特性

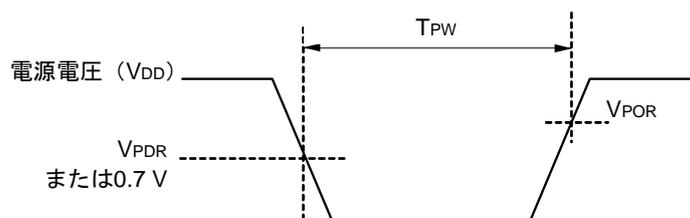
($T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	電源立ち上がり時 ^{注1}	1.47	1.51	1.55	V
	V_{PDR}	電源立ち下がり時 ^{注2}	1.46	1.50	1.54	V
最小パルス幅 ^{注3}	T_{PW}		300			μs

注1. V_{DD} が43.4 AC特性に示す動作電圧範囲の V_{DD} (MIN.) を超えるまで、電圧検出機能か外部リセット端子でリセット状態を保ってください。

2. ただし、LVDオフの条件で電源電圧降下時は、電源電圧が43.4 AC特性に示す動作電圧範囲の最小値を下回る前に、STOPモードに移行、または電圧検出機能か外部リセット端子で、リセット状態にしてください。

3. V_{DD} が V_{PDR} を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は、 V_{DD} が0.7 Vを下回ってから、 V_{POR} を上回るまでのPORによるリセット動作に必要な時間です。



43.6.6 LVD回路特性

リセット・モード、割り込みモードのLVD検出電圧

(TA = -40~+85°C, VPDR ≤ AVDD = VDD = EVDD ≤ 5.5 V, AVSS = VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VLVD0	電源立ち上がり時	3.98	4.06	4.24	V
		電源立ち下がり時	3.90	3.98	4.16	V
	VLVD1	電源立ち上がり時	3.68	3.75	3.92	V
		電源立ち下がり時	3.60	3.67	3.84	V
	VLVD2	電源立ち上がり時	3.07	3.13	3.29	V
		電源立ち下がり時	3.00	3.06	3.22	V
	VLVD3	電源立ち上がり時	2.96	3.02	3.18	V
		電源立ち下がり時	2.90	2.96	3.12	V
	VLVD4	電源立ち上がり時	2.86	2.92	3.07	V
		電源立ち下がり時	2.80	2.86	3.01	V
	VLVD5	電源立ち上がり時	2.76	2.81	2.97	V
		電源立ち下がり時	2.70	2.75	2.91	V
	VLVD6	電源立ち上がり時	2.66	2.71	2.86	V
		電源立ち下がり時	2.60	2.65	2.80	V
	VLVD7	電源立ち上がり時	2.56	2.61	2.76	V
		電源立ち下がり時	2.50	2.55	2.70	V
	VLVD8	電源立ち上がり時	2.45	2.50	2.65	V
		電源立ち下がり時	2.40	2.45	2.60	V
	VLVD9	電源立ち上がり時	2.05	2.09	2.23	V
		電源立ち下がり時	2.00	2.04	2.18	V
	VLVD10	電源立ち上がり時	1.94	1.98	2.12	V
		電源立ち下がり時	1.90	1.94	2.08	V
	VLVD11	電源立ち上がり時	1.84	1.88	2.01	V
		電源立ち下がり時	1.80	1.84	1.97	V
VLVD12	電源立ち上がり時	1.74	1.77	1.81	V	
	電源立ち下がり時	1.70	1.73	1.77	V	
VLVD13	電源立ち上がり時	1.64	1.67	1.70	V	
	電源立ち下がり時	1.60	1.63	1.66	V	
最小パルス幅	tLW		300			μs
検出遅延					300	μs

割り込み&リセット・モードのLVD検出電圧

(TA = -40~+85°C, VPDR ≤ AVDD = VDD = EVDD ≤ 5.5 V, AVSS = VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	VLVD13	VPOC2, VPOC1, VPOC0 = 0, 0, 0, 立ち下がりリセット電圧	1.60	1.63	1.66	V	
	VLVD12	LVIS1, LVIS0 = 1, 0 (+0.1 V)	立ち上がりリセット解除電圧	1.74	1.77	1.81	V
			立ち下がり割り込み電圧	1.70	1.73	1.91	V
	VLVD11	LVIS1, LVIS0 = 0, 1 (+0.2 V)	立ち上がりリセット解除電圧	1.84	1.88	1.87	V
			立ち下がり割り込み電圧	1.80	1.84	2.97	V
	VLVD4	LVIS1, LVIS0 = 0, 0 (+1.2 V)	立ち上がりリセット解除電圧	2.86	2.92	2.91	V
			立ち下がり割り込み電圧	2.80	2.86	3.22	V
	VLVD11	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がりリセット電圧	1.80	1.84	1.97	V	
	VLVD10	LVIS1, LVIS0 = 1, 0 (+0.1 V)	立ち上がりリセット解除電圧	1.94	1.98	2.12	V
			立ち下がり割り込み電圧	1.90	1.94	2.08	V
	VLVD9	LVIS1, LVIS0 = 0, 1 (+0.2 V)	立ち上がりリセット解除電圧	2.05	2.09	2.23	V
			立ち下がり割り込み電圧	2.00	2.04	2.18	V
	VLVD2	LVIS1, LVIS0 = 0, 0 (+1.2 V)	立ち上がりリセット解除電圧	3.07	3.13	3.29	V
			立ち下がり割り込み電圧	3.00	3.06	3.22	V
	VLVD8	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧	2.40	2.45	2.60	V	
	VLVD7	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.76	V
			立ち下がり割り込み電圧	2.50	2.55	2.70	V
	VLVD6	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.86	V
			立ち下がり割り込み電圧	2.60	2.65	2.80	V
	VLVD1	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.92	V
			立ち下がり割り込み電圧	3.60	3.67	3.84	V
	VLVD5	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.70	2.75	2.91	V	
	VLVD4	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	3.07	V
			立ち下がり割り込み電圧	2.80	2.86	3.01	V
VLVD3	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.18	V	
		立ち下がり割り込み電圧	2.90	2.96	3.12	V	
VLVD0	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.24	V	
		立ち下がり割り込み電圧	3.90	3.98	4.16	V	

43.6.7 電源電圧立ち上がり傾き特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SV _{DDR}				54	V/ms
	SV _{RTCR}					

注意1. V_{DD} が43.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

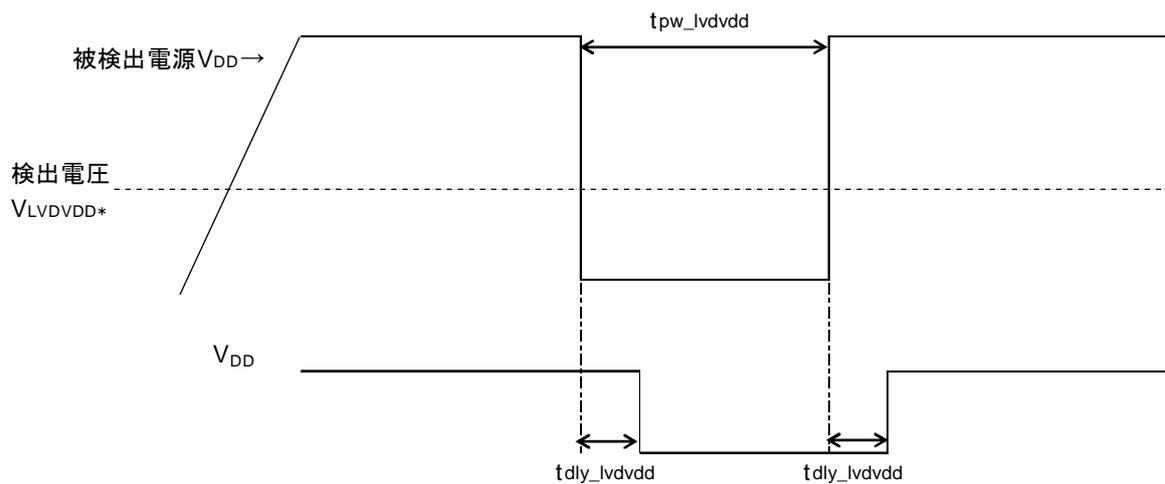
2. V_{DD} と AV_{DD} が異電位で、電源電圧立ち上がり傾きが異なる場合、パワーオン・リセット回路（POR）による内部リセットが解除されたときに AV_{DD} が0.8 Vを下回っていると、正常に起動しないことがあります。

その場合、次のいずれかの処理をしてください。

- $V_{DD} \geq 1.47\text{ V}$ になるまでに、 $AV_{DD} \geq 0.8\text{ V}$ としてください。
- $V_{DD} \geq 1.47\text{ V}$ かつ $AV_{DD} \geq 0.8\text{ V}$ となるまで、RESET端子にロウ・レベルを入力してください。

43.6.8 V_{DD}端子電圧検出特性(T_A = -40~+85°C, 1.8 V ≤ AV_{DD} = V_{DD} = EV_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

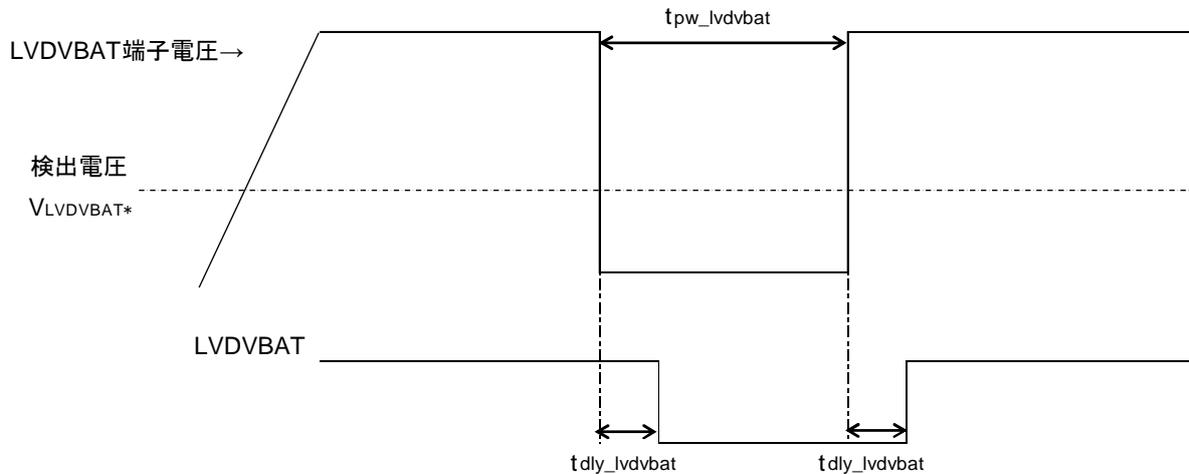
項目	略号	LVDVDD[2:0]	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{LVDVDD0}	000	立ち上がり	2.40	2.53	2.65	V
			立ち下がり	2.33	2.46	2.58	V
	V _{LVDVDD1}	001	立ち上がり	2.60	2.74	2.86	V
			立ち下がり	2.53	2.67	2.79	V
	V _{LVDVDD2}	010	立ち上がり	2.79	2.94	3.07	V
			立ち下がり	2.73	2.87	2.99	V
	V _{LVDVDD3}	011	立ち上がり	3.00	3.15	3.28	V
			立ち下がり	2.93	3.08	3.21	V
V _{LVDVDD4}	100	立ち上がり	3.30	3.46	3.60	V	
		立ち下がり	3.23	3.39	3.52	V	
V _{LVDVDD5}	101	立ち上がり	3.59	3.77	3.91	V	
		立ち下がり	3.53	3.70	3.84	V	
最小パルス幅	t _{pw_lvdvdd}	—	—	300			μs
検出遅延	t _{dly_lvdvdd}	—	—			300	μs



43.6.9 LVDVBAT端子電圧検出特性

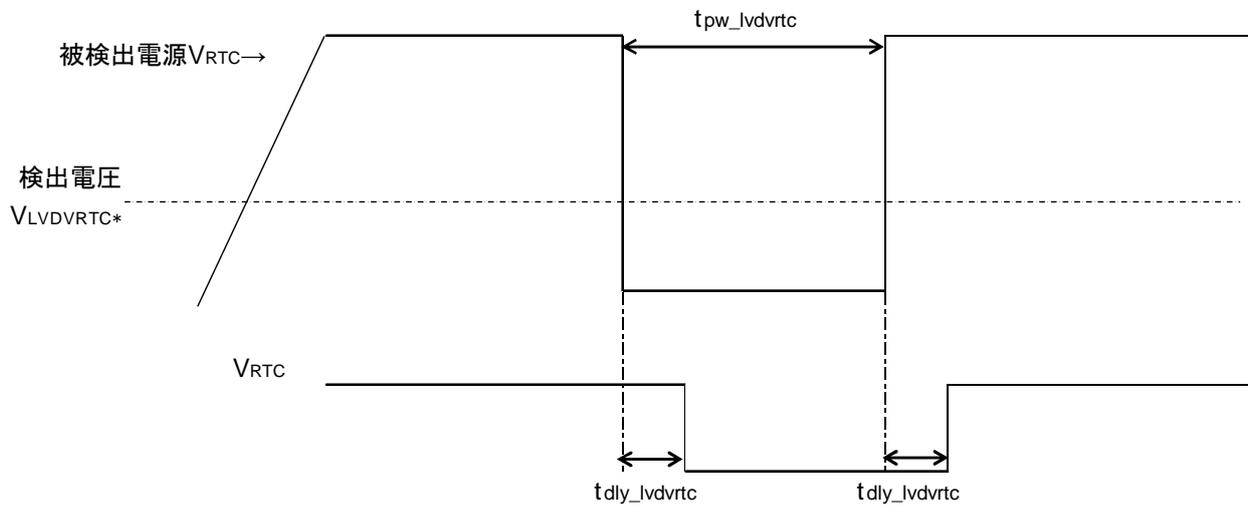
($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	LVDVBAT[2:0]	条件	MIN.	TYP.	MAX.	単位
検出電圧	VLVDVBAT0	000	立ち上がり	2.11	2.23	2.34	V
			立ち下がり	2.06	2.17	2.28	V
	VLVDVBAT1	001	立ち上がり	2.31	2.43	2.54	V
			立ち下がり	2.25	2.37	2.48	V
	VLVDVBAT2	010	立ち上がり	2.51	2.63	2.74	V
			立ち下がり	2.45	2.57	2.68	V
	VLVDVBAT3	011	立ち上がり	2.60	2.73	2.84	V
			立ち下がり	2.54	2.67	2.78	V
	VLVDVBAT4	100	立ち上がり	2.69	2.83	2.95	V
			立ち下がり	2.64	2.77	2.89	V
	VLVDVBAT5	101	立ち上がり	2.79	2.93	3.05	V
			立ち下がり	2.73	2.87	2.99	V
VLVDVBAT6	110	立ち上がり	2.99	3.13	3.26	V	
		立ち下がり	2.93	3.07	3.19	V	
最小パルス幅	$t_{pw_lvdvbat}$	—	—	300			μs
検出遅延	$t_{dly_lvdvbat}$	—	—			300	μs
端子抵抗	$r_{in_lvdvbat}$	—	LVDVBATEN = 1		109		$\text{M}\Omega$



43.6.10 V_{RTC} 端子電圧検出特性(TA = -40~+85°C, 1.8 V ≤ AV_{DD} = V_{DD} = EV_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

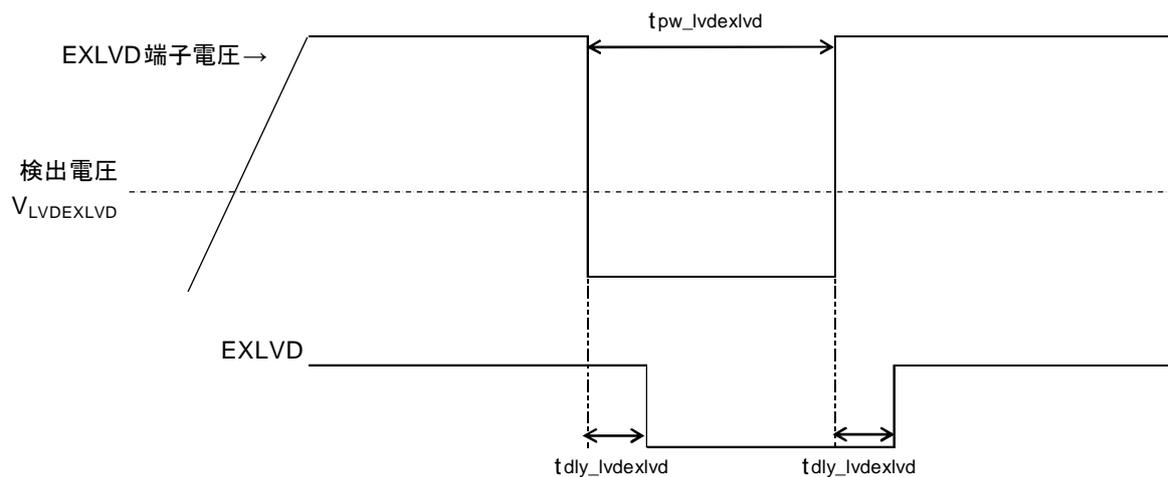
項目	略号	LVDVRTC[1:0]	条件	MIN.	TYP.	MAX.	単位
検出電圧	VLVDVRTC0	00	立ち上がり	2.16	2.22	2.28	V
			立ち下がり	2.10	2.16	2.22	V
	VLVDVRTC1	01	立ち上がり	2.36	2.43	2.50	V
			立ち下がり	2.30	2.37	2.44	V
	VLVDVRTC2	10	立ち上がり	2.56	2.63	2.70	V
			立ち下がり	2.50	2.57	2.64	V
VLVDVRTC3	11	立ち上がり	2.76	2.84	2.92	V	
		立ち下がり	2.70	2.78	2.86	V	
最小パルス幅	t _{pw_lvdvrtc}	-	-	300			μs
検出遅延	t _{dly_lvdvrtc}	-	-			300	μs



43.6.11 EXLVD端子電圧検出特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{LVDEXLVD}	立ち上がり	1.25	1.33	1.41	V
		立ち下がり	1.20	1.28	1.36	V
最小パルス幅	t _{pw_lvdexlvd}	—	300			μs
検出遅延	t _{dly_lvdexlvd}	—			300	μs
端子抵抗	r _{in_exlvd}	LVDEXLVDEN = 1		34		MΩ



43.7 LCD特性

43.7.1 外部抵抗分割方式

(1) スタティック・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.0		V_{DD}	V

(2) 1/2バイアス, 1/4バイアス

($T_A = -40 \sim +85^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.7		V_{DD}	V

(3) 1/3バイアス

($T_A = -40 \sim +85^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.5		V_{DD}	V

43.7.2 内部昇圧方式

(1) 1/3バイアス

(TA = -40~+85°C, 1.8 V ≤ AVDD = VDD = EVDD ≤ 5.5 V, AVSS = VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4 ^{注1} = 0.47 μF	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H ^{注4}	1.65	1.75	1.83	V			
ダブル出力電圧	VL2	C1-C4 ^{注1} = 0.47 μF	2 VL1 - 0.10	2 VL1	2 VL1	V	
トリプル出力電圧	VL4	C1-C4 ^{注1} = 0.47 μF	3 VL1 - 0.15	3 VL1	3 VL1	V	
基準電圧セットアップ時間 ^{注2}	tVWAIT1		5			ms	
昇圧ウエイト時間 ^{注3}	tVWAIT2	C1-C4 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ± 30%

- VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから）、昇圧を開始する（VLCON = 1）までに必要なウエイト時間です。
- 昇圧を開始してから（VLCON = 1）、表示が可能になる（LCDON = 1）までのウエイト時間です。
- VDD ≥ VL1のみ設定可能です。

(2) 1/4バイアス

(TA = -40~+85°C, 1.8 V ≤ AVDD = VDD = EVDD ≤ 5.5 V, AVSS = VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C5 ^{注1} = 0.47 μF	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
ダブル出力電圧	VL2	C1-C5 ^{注1} = 0.47 μF	2 VL1 - 0.08	2 VL1	2 VL1	V	
トリプル出力電圧	VL3	C1-C5 ^{注1} = 0.47 μF	3 VL1 - 0.12	3 VL1	3 VL1	V	
クアドロプル出力電圧	VL4	C1-C5 ^{注1} = 0.47 μF	4 VL1 - 0.16	4 VL1	4 VL1	V	
基準電圧セットアップ時間 ^{注2}	t _{WAIT1}		5			ms	
昇圧ウエイト時間 ^{注3}	t _{WAIT2}	C1-C5 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL3-GND間に接続するコンデンサです。

C5 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = C5 = 0.47 μF ± 30%

2. VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0 = 01B）してから）、昇圧を開始する（VLCON = 1）までに必要なウエイト時間です。

3. 昇圧を開始してから（VLCON = 1）、表示が可能になる（LCDON = 1）までのウエイト時間です。

43.7.3 容量分割方式

(1) 1/3バイアス

($T_A = -40 \sim +85^\circ\text{C}$, $2.2\text{ V} \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{L4} 電圧	V_{L4}	$C1-C4 = 0.47\ \mu\text{F}$ ^{注2}		V_{DD}		V
V_{L2} 電圧	V_{L2}	$C1-C4 = 0.47\ \mu\text{F}$ ^{注2}	$\frac{2}{3} V_{L4} - 0.1$	$\frac{2}{3} V_{L4}$	$\frac{2}{3} V_{L4} + 0.1$	V
V_{L1} 電圧	V_{L1}	$C1-C4 = 0.47\ \mu\text{F}$ ^{注2}	$\frac{1}{3} V_{L4} - 0.1$	$\frac{1}{3} V_{L4}$	$\frac{1}{3} V_{L4} + 0.1$	V
容量分割ウェイト時間 ^{注1}	t_{WAIT}		100			ms

注1. 降圧を開始してから ($V_{LCON} = 1$) , 表示が可能になる ($LCDON = 1$) までのウェイト時間です。

2. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : V_{L1} -GND間に接続するコンデンサです。

C3 : V_{L2} -GND間に接続するコンデンサです。

C4 : V_{L4} -GND間に接続するコンデンサです。

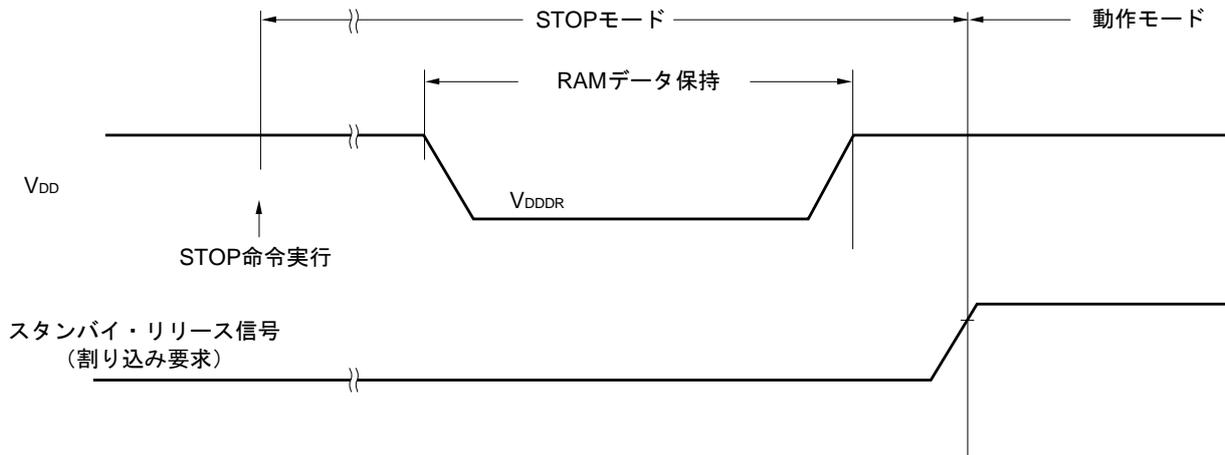
$C1 = C2 = C3 = C4 = 0.47\ \mu\text{F} \pm 30\%$

43.8 RAMデータ保持特性

($T_A = -40 \sim +85^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



43.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5\text{ V}$ ^{注4}, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f _{CLK}	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ^{注4}	1		32	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	C _{enwr}	保持年数：20年 $T_A = 85^\circ\text{C}$	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数：1年 $T_A = 25^\circ\text{C}$		1,000,000		
		保持年数：5年 $T_A = 85^\circ\text{C}$	100,000			
		保持年数：20年 $T_A = 85^\circ\text{C}$	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。
4. バンクプログラミングは以下の条件で実行してください。

① $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$

② HS (高速メイン) モードおよびLS (低速メイン) モードのみ

※ LP (低電力メイン) モード/LV (低電圧メイン) モードではバンクプログラミングは禁止

ただし、セルフプログラミングは $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ で可能です。

43.10 専用フラッシュ・メモリ・プログラマ通信 (UART)

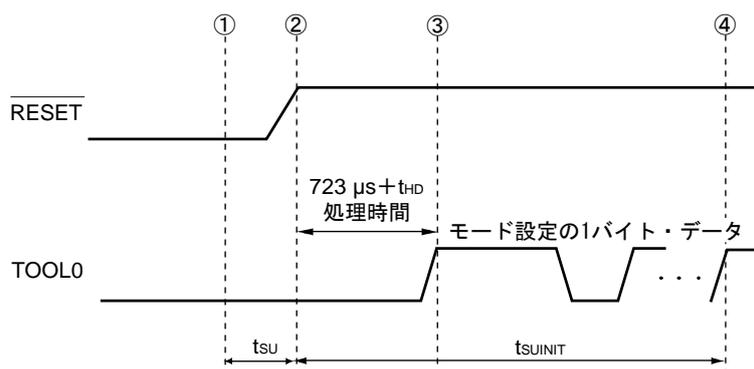
($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

43.11 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq AV_{DD} = V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $AV_{SS} = V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 t_{SUINIT} : この区間では、リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、端子リセットを解除するまでの時間

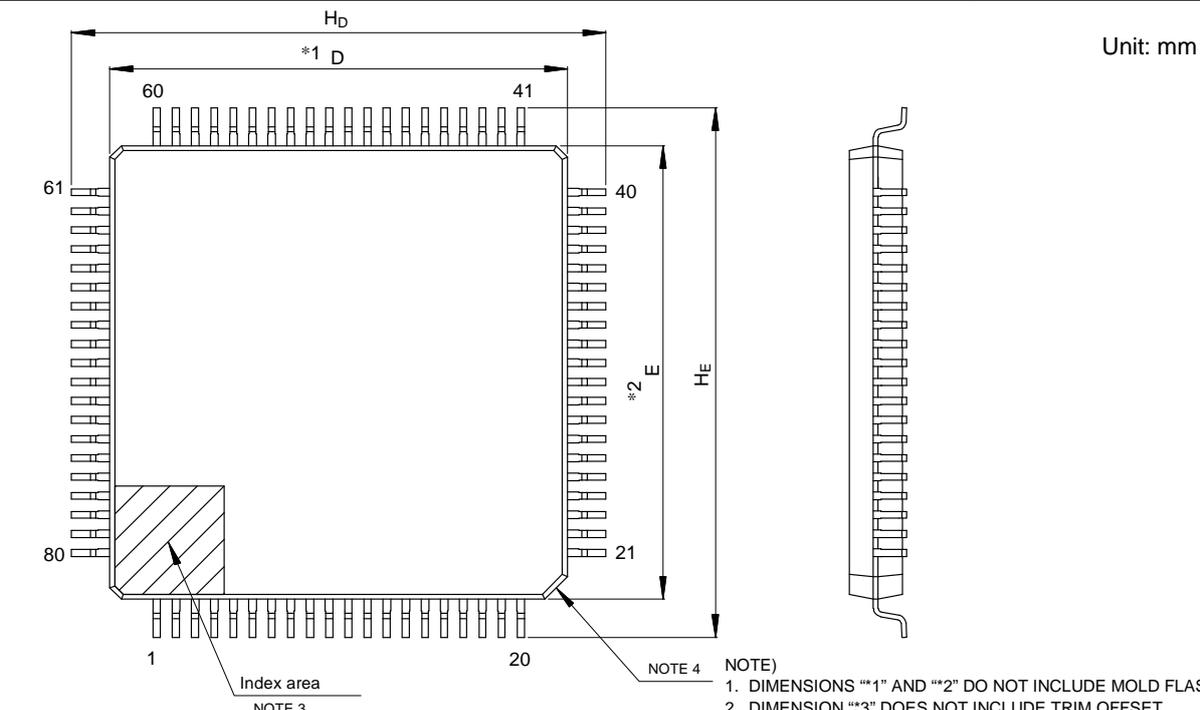
t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間 (フラッシュ・ファーム処理時間を除く)

第44章 外形図

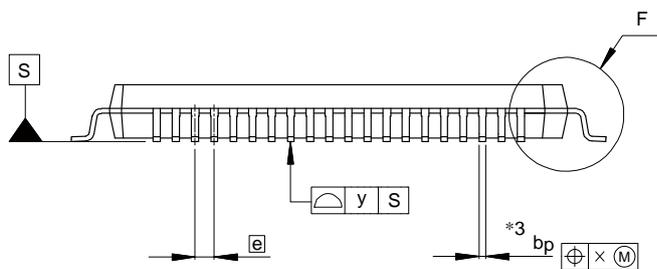
44.1 80ピン製品

R5F10NMLDFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



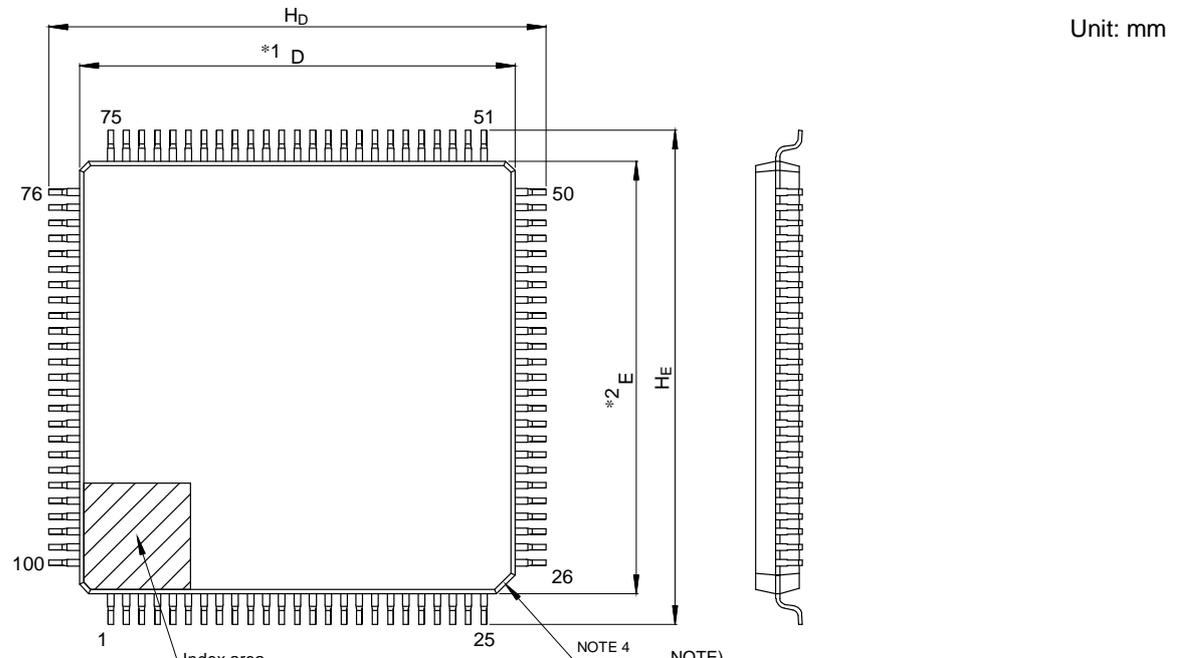
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
ⓔ	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

Detail F

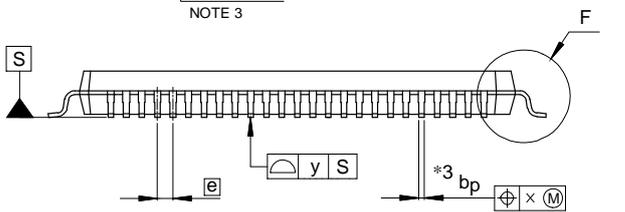
44.2 100ピン製品

R5F10NPLDFB

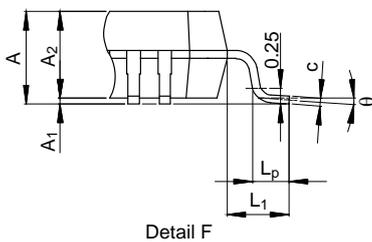
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6



Unit: mm



- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

付録A 改版履歴

A.1 本版で改訂された主な箇所

箇所	内容	分類
第1章 概説		
p.4	図1-1 RL78/I1C (512 KB) の型名とメモリ・サイズ, パッケージ 説明を変更	(d)
p.4	表1-1 発注型名一覧 説明を変更	(d)
p.5	1.3.1 80ピン製品 注意3を追加	(c)
p.6	1.3.2 100ピン製品 注意5を追加	(c)
第2章 端子機能		
p.27	表2-3 各端子の未使用端子処理 (2/2) 説明を変更	(c)
p.44	図2-17 端子タイプ12-1-6の端子ブロック図 注意1, 2および備考1を追加	(c)
第4章 ポート機能		
p.107	4.2.13 ポート15 説明を変更	(c)
p.143	表4-8 端子機能使用時のレジスタ, 出力ラッチの設定例 (12/12) 説明を追加	(c)
p.148	4.6.3 P150-P152に関する注意事項 項を追加	(c)
第34章 安全機能		
p.1091	34.1 安全機能の概要 説明を変更	(c)
p.1096	34.3.2 CRC演算機能 (汎用CRC) 説明を変更	(c)
p.1099	34.3.4 RAMガード機能 説明を変更	(c)
p.1100	34.3.5 SFRガード機能 説明を変更	(c)
第43章 電気的特性		
p.1210	43.3.1 端子特性 表に説明を追加, 注を追加	(b)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	内 容	適用箇所
Rev.1.00	初版発行	
Rev.1.01	3線シリアルI/O、3線シリアルを簡易SPIに変更	全体
	CSIを簡易SPIに変更	
	IICAのウエイトをクロック・ストレッチに変更	
	1.1 特徴 注を追加	第1章 概説
	4.4.4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応 (1) 注を追加	第4章 ポート機能
	第20章 シリアル・アレイ・ユニット 注を追加	第20章 シリアル・アレイ・ユニット
Rev.1.10	43.3.2 電源電流特性の注1, 注4を変更	第43章 電气的特性
	43.3.2 電源電流特性の注9を注5に変更	
	43.3.2 電源電流特性の注5を注6に変更	
	43.3.2 電源電流特性の注6を削除	
	43.3.2 電源電流特性の注1, 注5を変更、注6を削除	
	43.3.2 電源電流特性の注5を追加	
	43.3.2 電源電流特性の注5を注6に変更	

RL78/I1C (512 KB) ユーザーズマニュアル
ハードウェア編

発行年月日 2020年12月25日 Rev.1.00
2024年3月22日 Rev.1.11

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)

RL78/I1C (512 KB)