

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A0134A/J	Rev.	第2版
題名	誤記訂正通知 RL78/G22 ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報	
適用製品	RL78/G22 グループ	対象ロット等	関連資料	RL78/G22 ユーザーズマニュアル ハードウェア編 Rev.1.00 R01UH0978JJ0100 (Dec.2022)	
		全ロット			

RL78/G22 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0978JJ0100) において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
3.1 メモリ空間	p.99, p.100, p.105	誤記訂正
30.6.1 セルフ・プログラミング手順	p.1118	誤記訂正
30.10.1 データ・フラッシュの概要	p.1169	誤記訂正
31.3 オンチップ・デバッグのセキュリティ設定	p.1172	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0978JJ0100	
1	26.3.3	シーケンサ・インストラクション・レジスタp (SMSIp) (p = 0-31)	p.1015, p.1016	p.3, p.4
2	26.4	SNOOZEモード・シーケンサの動作	p.1025	p.5
3	26.4.1	SNOOZEモード・シーケンサの内部の動作	p.1022	p.6
4	26.4.4	SNOOZEモード・シーケンサの操作手順	p.1026	p.7
5	26.4.5	SNOOZEモード・シーケンサの状態	p.1028	p.8
6	26.5.20	割り込み&終了処理	p.1050	p.9
7	26.6	スタンバイ・モード時の動作	p.1052	p.10
8	34.4	AC特性	p.1219	p.11
9	3.1	メモリ空間	p.99, p.100, p.105	p.12~p.14
10	30.6.1	セルフ・プログラミング手順	p.1118	p.15
11	30.10.1	データ・フラッシュの概要	p.1169	p.16
12	31.3	オンチップ・デバッグのセキュリティ設定	p.1172	p.17

誤記訂正の該当箇所は、誤) 太字下線、正) グレー・ハッチングで記載します。

発行文書履歴

RL78/G22 ユーザーズマニュアル Rev.1.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A0131A/J	2023年12月19日	初版発行 訂正一覧の No.1 ~ No.8 の誤記訂正
TN-RL*-A0134A/J	2024年4月26日	2版発行 訂正一覧の No.9 ~ No.12 の誤記訂正 (本通知です。)

1. 26.3.3 シーケンサ・インストラクション・レジスタ p (SMSIp) (p = 0-31) (p.1015, p.1016)

誤)

(p.1015)

表 26 - 1 SMSIp レジスタのメモリ・アドレスと SMSCV[4:0]ビットの関係

SMSIp	アドレス	SMSCV[4:0]	SMSIp	アドレス	SMSCV[4:0]
SMSI15	F039EH, F039FH	01111B	SMSI31	F03BEH, F03BFH	11111B
SMSI14	F039CH, F039DH	01110B	SMSI30	F03BCH, F03BDH	11110B
SMSI13	F039AH, F039BH	01101B	SMSI29	F03BAH, F03BBH	11101B
SMSI12	F0398H, F0399H	01100B	SMSI28	F03B8H, F03B9H	11100B
SMSI11	F0396H, F0397H	01011B	SMSI27	F03B6H, F03B7H	11011B
SMSI10	F0394H, F0395H	01010B	SMSI26	F03B4H, F03B5H	11010B
SMSI9	F0392H, F0393H	01001B	SMSI25	F03B2H, F03B3H	11001B
SMSI8	F0390H, F0391H	01000B	SMSI24	F03B0H, F03B1H	11000B
SMSI7	F038EH, F038FH	00111B	SMSI23	F03AEH, F03AFH	10111B
SMSI6	F038CH, F038DH	00110B	SMSI22	F03ACH, F03ADH	10110B
SMSI5	F038AH, F038BH	00101B	SMSI21	F03AAH, F03ABH	10101B
SMSI4	F0388H, F0389H	00100B	SMSI20	F03A8H, F03A9H	10100B
SMSI3	F0386H, F0387H	00011B	SMSI19	F03A6H, F03A7H	10011B
SMSI2	F0384H, F0385H	00010B	SMSI18	F03A4H, F03A5H	10010B
SMSI1	F0382H, F0383H	00001B	SMSI17	F03A2H, F03A3H	10001B
SMSI0	F0380H, F0381H	00000B	SMSI16	F03A0H, F03A1H	10000B

注意 1. SMSIp レジスタは、シーケンサが停止している状態で設定してください。シーケンサが処理を実行している SMSIp レジスタを書き換えるとシーケンサの動作が不定となるためです。

注意 2. SMSI31 レジスタの処理の実行後は次に続く SMSIp レジスタはありません。このため SMSI31 レジスタには終了処理または割り込み&終了処理を記述してシーケンサの処理を停止するか、分岐処理で別の処理に分岐させてください。

正)

表 26 - 1 SMSIp レジスタのメモリ・アドレスと SMSCV[4:0]ビットの関係

SMSIp	アドレス	SMSCV[4:0]	SMSIp	アドレス	SMSCV[4:0]
SMSI15	F039EH, F039FH	01111B	SMSI31	F03BEH, F03BFH	11111B
SMSI14	F039CH, F039DH	01110B	SMSI30	F03BCH, F03BDH	11110B
SMSI13	F039AH, F039BH	01101B	SMSI29	F03BAH, F03BBH	11101B
SMSI12	F0398H, F0399H	01100B	SMSI28	F03B8H, F03B9H	11100B
SMSI11	F0396H, F0397H	01011B	SMSI27	F03B6H, F03B7H	11011B
SMSI10	F0394H, F0395H	01010B	SMSI26	F03B4H, F03B5H	11010B
SMSI9	F0392H, F0393H	01001B	SMSI25	F03B2H, F03B3H	11001B
SMSI8	F0390H, F0391H	01000B	SMSI24	F03B0H, F03B1H	11000B
SMSI7	F038EH, F038FH	00111B	SMSI23	F03AEH, F03AFH	10111B
SMSI6	F038CH, F038DH	00110B	SMSI22	F03ACH, F03ADH	10110B
SMSI5	F038AH, F038BH	00101B	SMSI21	F03AAH, F03ABH	10101B
SMSI4	F0388H, F0389H	00100B	SMSI20	F03A8H, F03A9H	10100B
SMSI3	F0386H, F0387H	00011B	SMSI19	F03A6H, F03A7H	10011B
SMSI2	F0384H, F0385H	00010B	SMSI18	F03A4H, F03A5H	10010B
SMSI1	F0382H, F0383H	00001B	SMSI17	F03A2H, F03A3H	10001B
SMSI0	F0380H, F0381H	00000B	SMSI16	F03A0H, F03A1H	10000B

注意 1. SMSIp レジスタは、シーケンサが停止している状態で設定してください。シーケンサが処理を実行している SMSIp レジスタを書き換えるとシーケンサの動作が不定となるためです。

注意 2. SMSI31 レジスタの処理の実行後は次に続く SMSIp レジスタはありません。SMSI31 レジスタに終了処理が記述されていない場合または分岐処理を記載していない場合は、SMSI31 レジスタの処理の実行後に終了処理が自動的に実行されます。

(p.1016)

表 26-2 SMSIp レジスタに設定できる処理の一覧

処理名	オペレーション ^{注4}	シーケンサ・コード	第1オペランド (4ビット)	第2オペランド (4ビット)	付加バイト (4ビット)
8ビット・データ転送処理1	[SMSSn+Byte] ← SMSSm	0000	SMSSnのn ^{注1}	SMSSmのm ^{注1}	byte ^{注2}
8ビット・データ転送処理2	SMSSm ← [SMSSn+Byte]	0001	SMSSnのn ^{注1}	SMSSmのm ^{注1}	byte ^{注2}
16ビット・データ転送処理1	[SMSSn+Byte] ← SMSSm	0010	SMSSnのn ^{注1}	SMSSmのm ^{注1}	byte ^{注2}
16ビット・データ転送処理2	SMSSm ← [SMSSn+Byte]	0011	SMSSnのn ^{注1}	SMSSmのm ^{注1}	byte ^{注2}
1ビット・データ・セット処理	[SMSSn+Byte].bit ← 1	0100	SMSSnのn ^{注1}	bit ^{注2}	byte ^{注2}
1ビット・データ・クリア処理	[SMSSn+Byte].bit ← 0	0101	SMSSnのn ^{注1}	bit ^{注2}	byte ^{注2}
1ビット・データ転送処理	SCY ← [SMSSn+Byte].bit	0110	SMSSnのn ^{注1}	bit ^{注2}	byte ^{注2}
ワード・データ加算処理	SMSSn, SCY ← SMSSn + SMSSm	0111	SMSSnのn ^{注1}	SMSSmのm ^{注1}	0000
ワード・データ減算処理	SMSSn, SCY ← SMSSn - SMSSm	0111	SMSSnのn ^{注1}	SMSSmのm ^{注1}	0001
ワード・データ比較処理	SMSSn - SMSSm	0111	SMSSnのn ^{注1}	SMSSmのm ^{注1}	0010
右方向論理シフト処理	SCY ← SMSSn.0, SMSSm.15 ← 0, SMSSn.m-1 ← SMSSn.m	0111	SMSSnのn ^{注1}	0000	0011
分岐処理1 (SCY = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 1	1000	\$addr5 ^{注3}		0000
分岐処理2 (SCY = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 0	1000	\$addr5 ^{注3}		0001
分岐処理3 (SZ = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 1	1000	\$addr5 ^{注3}		0010
分岐処理4 (SZ = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 0	1000	\$addr5 ^{注3}		0011
ウェイト処理	一定期間の処理の保留	1001	IM1		IM2
条件付きウェイト処理1 (bit = 1)	SMSS[4:0] ← SMSS[4:0] if [SMSSn+Byte].bit = 1	1010	SMSSnのn ^{注1}	bit ^{注2}	byte ^{注2}
条件付きウェイト処理2 (bit = 0)	SMSS[4:0] ← SMSS[4:0] if [SMSSn+Byte].bit = 0	1011	SMSSnのn ^{注1}	bit ^{注2}	byte ^{注2}
終了処理	SMSS[4:0] ← 0、シーケンサの動作停止	1111	0000	0000	0000
割り込み&終了処理	SMSS[4:0] ← 0、 割り込み発生後にシーケンサの動作停止	1111	0000	0000	0001
DTC起動処理	DTC起動要因を出力	1111	0000	0000	0010

注 1. n, m = 0-15 (0000B-1111B) を指定してください。

注 2. byte = 0-7 (0000B-0111B) を指定してください。

注 3. 8ビットのディスプレースメント値で-31~-1, 1~31の相対アドレス (0000 0001B-0001 1111B, 1111 1111B-1110 0001B) を指定してください。

注 4. 用語の詳細は、26.5 シーケンサ処理コマンドを参照してください。

表 26-2 SMSIp レジスタに設定できる処理の一覧

処理名	オペレーション ^{注4}	シーケンサ・コード	第1オペランド (4ビット)	第2オペランド (4ビット)	付加バイト (4ビット)
8ビット・データ転送処理1	[SMSSn+Byte] ← SMSSm	0000	SMSSnのn ^{注1}	SMSSmのm ^{注1}	byte ^{注2}
8ビット・データ転送処理2	SMSSm ← [SMSSn+Byte]	0001	SMSSnのn ^{注1}	SMSSmのm ^{注1}	byte ^{注2}
16ビット・データ転送処理1	[SMSSn+Byte] ← SMSSm	0010	SMSSnのn ^{注1}	SMSSmのm ^{注1}	byte ^{注2}
16ビット・データ転送処理2	SMSSm ← [SMSSn+Byte]	0011	SMSSnのn ^{注1}	SMSSmのm ^{注1}	byte ^{注2}
1ビット・データ・セット処理	[SMSSn+Byte].bit ← 1	0100	SMSSnのn ^{注1}	bit ^{注2}	byte ^{注2}
1ビット・データ・クリア処理	[SMSSn+Byte].bit ← 0	0101	SMSSnのn ^{注1}	bit ^{注2}	byte ^{注2}
1ビット・データ転送処理	SCY ← [SMSSn+Byte].bit	0110	SMSSnのn ^{注1}	bit ^{注2}	byte ^{注2}
ワード・データ加算処理	SMSSn, SCY ← SMSSn + SMSSm	0111	SMSSnのn ^{注1}	SMSSmのm ^{注1}	0000
ワード・データ減算処理	SMSSn, SCY ← SMSSn - SMSSm	0111	SMSSnのn ^{注1}	SMSSmのm ^{注1}	0001
ワード・データ比較処理	SMSSn - SMSSm	0111	SMSSnのn ^{注1}	SMSSmのm ^{注1}	0010
右方向論理シフト処理	SCY ← SMSSn.0, SMSSm.15 ← 0, SMSSn.m-1 ← SMSSn.m	0111	SMSSnのn ^{注1}	0000	0011
分岐処理1 (SCY = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 1	1000	\$addr5 ^{注3}		0000
分岐処理2 (SCY = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 0	1000	\$addr5 ^{注3}		0001
分岐処理3 (SZ = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 1	1000	\$addr5 ^{注3}		0010
分岐処理4 (SZ = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 0	1000	\$addr5 ^{注3}		0011
ウェイト処理	一定期間の処理の保留	1001	IM1		IM2
条件付きウェイト処理1 (bit = 1)	SMSS[4:0] ← SMSS[4:0] if [SMSSn+Byte].bit = 1	1010	SMSSnのn ^{注1}	bit ^{注2}	byte ^{注2}
条件付きウェイト処理2 (bit = 0)	SMSS[4:0] ← SMSS[4:0] if [SMSSn+Byte].bit = 0	1011	SMSSnのn ^{注1}	bit ^{注2}	byte ^{注2}
終了処理	SMSS[4:0] ← 0、シーケンサの動作停止	1111	0000	0000	0000
DTC起動処理	DTC起動要因を出力	1111	0000	0000	0010

注 1. n, m = 0-15 (0000B-1111B) を指定してください。

注 2. byte = 0-7 (0000B-0111B) を指定してください。

注 3. 8ビットのディスプレースメント値で-31~-1, 1~31の相対アドレス (0000 0001B-0001 1111B, 1111 1111B-1110 0001B) を指定してください。

注 4. 用語の詳細は、26.5 シーケンサ処理コマンドを参照してください。

2. 26.4 SNOOZE モード・シーケンサの動作 (p.1025)

誤)

26.4.3 シーケンサ・フラグ

シーケンサは演算処理の結果によってセットまたはリセットするフラグを搭載しています。

(a) シーケンサ・ゼロ・フラグ (SZ)

加算処理、減算処理、比較処理で結果が 0 に等しいときにセット(1)され、それ以外ではクリア(0)されるシーケンサの内部フラグです。シーケンサ内部の処理に使用できます。

詳細は 26.5 シーケンサ処理コマンドを参照してください。

(b) シーケンサ・キャリー・フラグ (SCY)

加算処理、減算処理を実行したときのオーバーフローおよびアンダフローの内容、論理シフト処理でシフトアウトされたビット、1 ビット・データ転送処理の結果が反映されるフラグです。シーケンサ内部の処理に使用できます。

詳細は 26.5 シーケンサ処理コマンドを参照してください。

シーケンサの SZ フラグ、SCY フラグは、SMSS レジスタのビットとして読み出すことができます。

26.3.6 シーケンサ・ステータス・レジスタ (SMSS) を参照してください。

正)

26.4.3 シーケンサ・フラグ

シーケンサは演算処理の結果によってセットまたはリセットするフラグを搭載しています。

(a) シーケンサ・ゼロ・フラグ (SZ)

加算処理、減算処理、比較処理で結果が 0 に等しいときにセット(1)され、それ以外ではクリア(0)されるシーケンサの内部フラグです。シーケンサ内部の処理に使用できます。

詳細は 26.5 シーケンサ処理コマンドを参照してください。

(b) シーケンサ・キャリー・フラグ (SCY)

加算処理、減算処理を実行したときのオーバーフローおよびアンダフローの内容、論理シフト処理でシフトアウトされたビット、1 ビット・データ転送処理の結果が反映されるフラグです。シーケンサ内部の処理に使用できます。

詳細は 26.5 シーケンサ処理コマンドを参照してください。

シーケンサの SZ フラグ、SCY フラグは、SMSS レジスタのビットとして読み出すことができます。

26.3.6 シーケンサ・ステータス・レジスタ (SMSS) を参照してください。

26.4.4 SNOOZE モード・シーケンサの割り込み

SNOOZE モード・シーケンサの INTSMSE 割り込みは、SMSEMK ビットを制御することで発生させます。

SNOOZE モード・シーケンサの動作を開始 (SMSSTART=1) する前に、CPU の処理で SMSEMK=1、SMSEIF=1 を設定してください。SNOOZE モード・シーケンサの処理にて、SMSEMK ビットを 0 に変更することで、SMSEIF=1、SMSEMK=0 の状態となり、INTSMSE 割り込みが発生します。

また、割り込み禁止状態 (DI) のときは、SMSEMK ビットが 0 になったことでシーケンサの処理終了を判定してください。

注意 1 SMSC レジスタの SMSSTART ビットが 1 のときは、CPU 命令で MK0H レジスタの SMSEMK ビットと IF0H レジスタの SMSEIF ビットを 0 に設定しないでください。

注意 2 SNOOZE モード・シーケンサの処理と INTSMSE 割り込みの処理で、SFR や RAM の同じ領域をアクセスする場合は、SNOOZE モード・シーケンサの処理と INTSMSE 割り込みの処理を同時に実行しないようにしてください。

3. 26.4.1 SNOOZE モード・シーケンサの内部の動作 (p.1022)

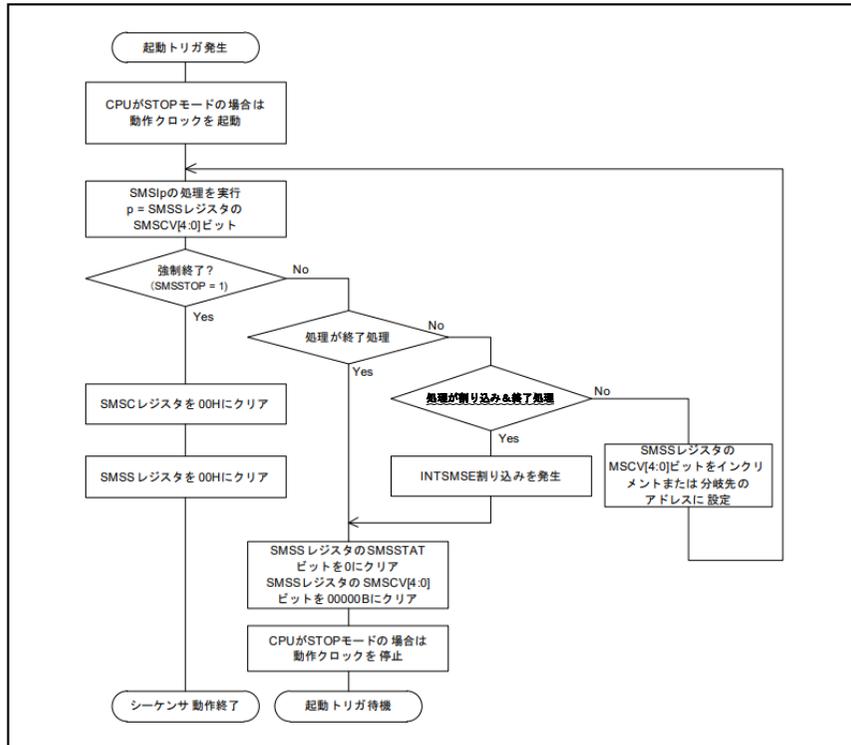
誤)

26.4.1 SNOOZE モード・シーケンサの内部の動作

SNOOZE モード・シーケンサのシーケンサは、SMSC レジスタの SMSTRGSEL[3:0] ビットで選択した起動トリガが発生すると起動します。起動直後は SMSI0 レジスタの処理を実行し、その後は SMSS レジスタの SMSCV[4:0] ビットに対応する SMSIp レジスタの処理を実行します。終了処理の実行または割り込み&終了処理の実行によりシーケンサは一連の動作を終了し、起動トリガ待ちになります。また、SMSC レジスタの SMSSTOP ビットの強制停止トリガによりシーケンサの動作を停止します。

図 26 - 8 に SNOOZE モード・シーケンサの内部動作のフローを示します。

図 26 - 8 シーケンサの内部動作フロー



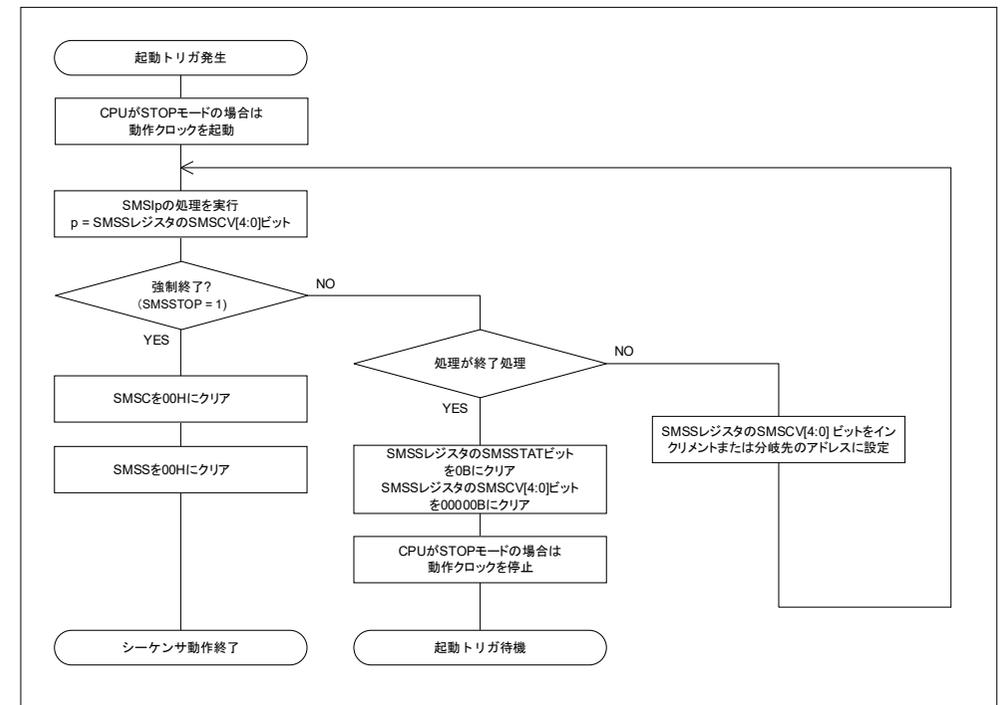
正)

26.4.1 SNOOZE モード・シーケンサの内部の動作

SNOOZE モード・シーケンサのシーケンサは、SMSC レジスタの SMSTRGSEL0-SMSTRGSEL4 ビットで選択した起動トリガが発生すると起動します。起動直後は SMSI0 レジスタの処理を実行し、その後は SMSS レジスタの SMSCV0 - SMSCV4 ビットに対応する SMSIp レジスタの処理を実行します。終了処理の実行によりシーケンサは一連の動作を終了し、起動トリガ待ちになります。また、SMSC レジスタの SMSSTOP ビットの強制停止トリガによりシーケンサの動作を停止します。

図 26 - 8 に SNOOZE モード・シーケンサの内部動作のフローを示します。

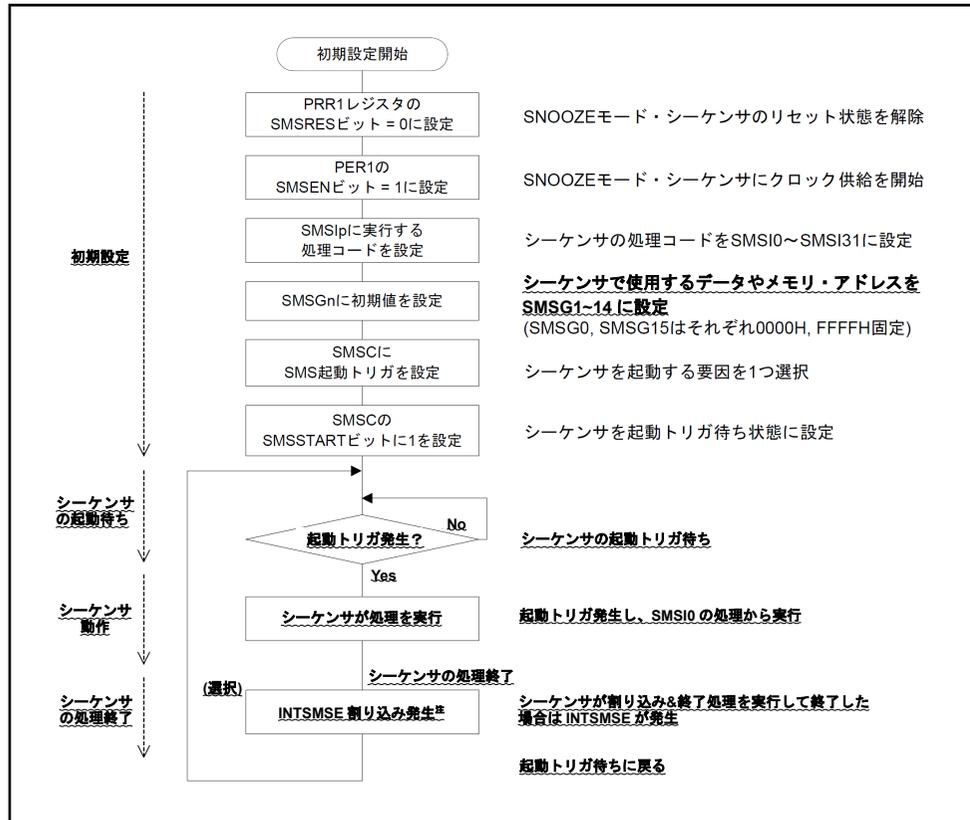
図 26 - 8 シーケンサの内部動作フロー



4. 26.4.4 SNOOZE モード・シーケンサの操作手順 (p.1026)

誤)

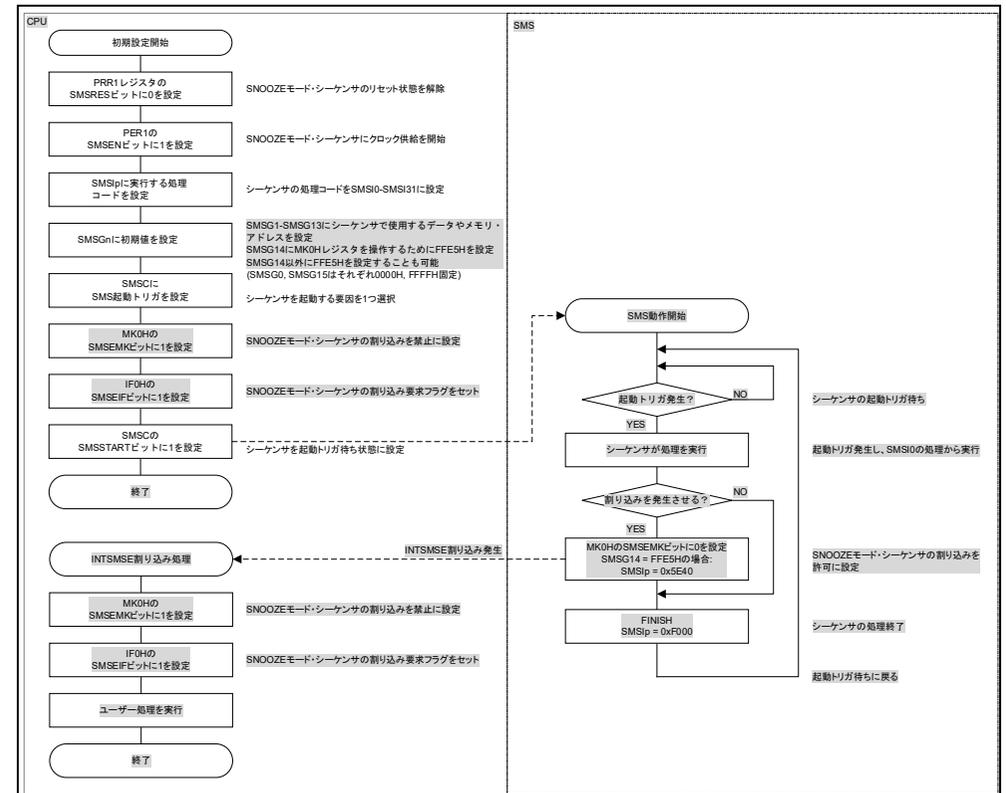
図 26 - 11 SNOOZE モード・シーケンサの起動のフロー



注 終了処理の実行時とSMSCレジスタのSMSSTOPビットによる強制終了トリガによってシーケンサの処理が終了した場合は、INTSMSE 割り込みは発生しません。SMSCレジスタのSMSSTOPビットによる強制終了トリガによってシーケンサの処理が終了した場合は、SMSCレジスタ自体が初期化されますので、シーケンサ処理を再開する場合は再度初期設定のSMSC設定から実施してください。(SMSIp, SMSGnレジスタはリセットされません)

正)

図 26 - 11 SNOOZE モード・シーケンサの起動のフロー



注意 1 SMSC レジスタの SMSSTOP ビットによる強制終了トリガによってシーケンサの処理が終了した場合は、SMSC レジスタ自体が初期化されますので、シーケンサ処理を再開する場合は再度初期設定の SMSC 設定から実施してください。(SMSIp, SMSGn レジスタはリセットされません)
 注意 2 SMSC レジスタの SMSSTART ビットが 1 のときは、CPU 命令で MK0H レジスタの SMSEMK ビットと IF0H レジスタの SMSEIF ビットを 0 に設定しないでください。

5. 26.4.5 SNOOZE モード・シーケンサの状態 (p.1028)

誤)

【シーケンサ動作状態】

シーケンサ動作状態とはシーケンサが動作しており SMSIp レジスタに設定した処理を実行している状態です。

終了処理または割り込み終了処理を実行した場合は起動トリガ待ち状態になります。SMSC レジスタの SMSSTOP ビットをセット(1)して強制終了した場合はシーケンサ停止状態になります。

正)

【シーケンサ動作状態】

シーケンサ動作状態とはシーケンサが動作しており SMSIp レジスタに設定した処理を実行している状態です。

終了処理を実行した場合は起動トリガ待ち状態になります。SMSC レジスタの SMSSTOP ビットをセット(1)して強制終了した場合はシーケンサ停止状態になります。

6. 26.5.20 割り込み&終了処理 (p.1050)

誤)

26.5.20 割り込み&終了処理

割り込み&終了処理は割り込み信号を発行し SNOOZE モード・シーケンサの動作を終了する処理です。割り込み信号を発行することにより、スタンバイ状態の CPU を起動することが可能です。処理を実行すると割り込み信号を発行後に SNOOZE モード・シーケンサの処理を終了し、SMSS レジスタの SMSSTAT ビットと SMSCV[4:0] を 0 にクリアし、次の起動トリガ待ちとなります。

付加バイトは 0001B を設定してください。第 1 オペランド、第 2 オペランドは全て 0 に設定してください。

シーケンサ・コード：1111B (付加バイト：0001B)

処理クロック数：fCLK × 1

フラグ：SZ フラグは保持、SCY フラグは保持

CPU 相当命令：WAKEUP

CPU 相当オペレーション：SMSS[4:0] ← 0、割り込み発行後にシーケンサの動作停止

略号	15	14	13	12	11	10	9	8
SMSlp	1	1	1	1	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	1

記述例：1111 0000 0000 0001 B

CPU の相当命令は、WAKEUP

INTSMSE 割り込み発行後にシーケンサの動作を停止し、SMSS レジスタの SMSSTAT ビットと SMSCV[4:0] を 0 にクリアして起動トリガ待ちになります。

正)

7. 26.6 スタンバイ・モード時の動作 (p.1052)

誤)

状態	SNOOZEモード・シーケンサ動作
HALTモード	動作可能注1
STOPモード	SNOOZEモード・シーケンサ起動要因受付可能注3
SNOOZEモード	動作可能注2, 4, 5, 6

- 注 1. fCLK にサブシステム・クロックを選択しているとき、OSMC レジスタの RTCLPC ビットが 1 の場合は動作禁止です。
- 注 2. SNOOZE モードは、fCLK に高速オンチップ・オシレータ・クロックおよび中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
- 注 3. STOP モード時に SMS 起動要因の検出により SNOOZE モードに遷移して、SNOOZE モード・シーケンサが動作可能となります。また動作完了後は STOP モードに戻ります。ただし、SNOOZE モード中でアクセスできないメモリ領域があるため注意してください。詳細は 26.4.2 シーケンサのメモリ空間を参照してください。
- 注 4. CSIp の SNOOZE モード機能から転送完了割り込みを SNOOZE モード・シーケンサ起動要因とした場合、割り込み&終了処理で SNOOZE モードを解除し CPU 処理を開始するか、終了処理の前に CSIp の受信再設定(STm0 ビットに 1 を書き込み、SWCm ビットに 0 を書き込み、SSCm レジスタ設定、SSm0 ビットに 1 を書き込み)を行ってください。
- 注 5. UARTq の SNOOZE モード機能から転送完了割り込みを SNOOZE モード・シーケンサ起動要因とした場合、割り込み&終了処理で SNOOZE モードを解除し CPU 処理を開始するか、終了処理の前に UARTq の受信再設定(STm1 ビットに 1 を書き込み、SWCm ビットに 0 を書き込み、SSCm レジスタ設定、SSm1 ビットに 1 を書き込み)を行ってください。
- 注 6. A/D コンバータの SNOOZE モード機能から A/D 変換終了割り込みを SNOOZE モード・シーケンサ起動要因とした場合、割り込み&終了処理で SNOOZE モードを解除し CPU 処理を開始するか、終了処理の前に A/D コンバータの SNOOZE モード機能の再設定(AWC ビットに 0 を書き込み、AWC ビットに 1 を書き込む)を行ってください。

正)

状態	SNOOZEモード・シーケンサ動作
HALTモード	動作可能注1
STOPモード	SNOOZEモード・シーケンサ起動要因受付可能注3
SNOOZEモード	動作可能注2, 4, 5, 6

- 注 1. fCLK にサブシステム・クロックを選択しているとき、OSMC レジスタの RTCLPC ビットが 1 の場合は動作禁止です。
- 注 2. SNOOZE モードは、fCLK に高速オンチップ・オシレータ・クロックおよび中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
- 注 3. STOP モード時に SMS 起動要因の検出により SNOOZE モードに遷移して、SNOOZE モード・シーケンサが動作可能となります。また動作完了後は STOP モードに戻ります。ただし、SNOOZE モード中でアクセスできないメモリ領域があるため注意してください。詳細は 26.4.2 シーケンサのメモリ空間を参照してください。
- 注 4. CSI00 の転送完了割り込みを SNOOZE モード・シーケンサの起動要因に設定、かつ転送完了割り込みを禁止 (CSIMK=1) に設定した場合は、次の処理を実施してください。
SNOOZE モード・シーケンサで終了処理の前に MK0H レジスタの SMSEMK ビットに 0 を書き込み、SNOOZE モードを解除し CPU 処理を開始してください。または SNOOZE モード・シーケンサで終了処理の前に CSI00 の受信再設定(ST00 ビットに 1 を書き込み、SWC0 ビットに 0 を書き込み、SSC0 レジスタ設定、SS00 ビットに 1 を書き込み)を行ってください。
- 注 5. UART0 の受信完了割り込みを SNOOZE モード・シーケンサの起動要因に設定、かつ受信完了割り込みを禁止 (SRMK0=1) に設定した場合は、次の処理を実施してください。
SNOOZE モード・シーケンサで終了処理の前に MK0H レジスタの SMSEMK ビットに 0 を書き込み、SNOOZE モードを解除し CPU 処理を開始してください。または SNOOZE モード・シーケンサで終了処理の前に UART0 の受信再設定(ST01 ビットに 1 を書き込み、SWC0 ビットに 0 を書き込み、SSC0 レジスタ設定、SS01 ビットに 1 を書き込み)を行ってください。
- 注 6. A/D コンバータの A/D 変換終了割り込みを SNOOZE モード・シーケンサの起動要因に設定、かつ A/D 変換終了割り込みを禁止 (ADMK=1) に設定した場合は、次の処理を実施してください。
SNOOZE モード・シーケンサで終了処理の前に MK0H レジスタの SMSEMK ビットに 0 を書き込み、SNOOZE モードを解除し CPU 処理を開始してください。または SNOOZE モード・シーケンサで終了処理の前に A/D コンバータの SNOOZE モード機能の再設定(AWC ビットに 0 を書き込み、AWC ビットに 1 を書き込む)を行ってください。

8. 34.4 AC 特性 (p.1219)

誤)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		Min.	Typ.	Max.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs
			LP (低電力メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.5		1	μs
		サブシステム・クロック (fSUB) 動作	1.6 V ≤ VDD ≤ 5.5 V	26.041	30.5	31.3	μs	
		セルフ・プログラミング時	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs
外部システム・クロック 周波数	fEX	1.8 V ≤ VDD ≤ 5.5 V		1.0		20.0	MHz	
		1.6 V ≤ VDD < 1.8 V		1.0		4.0	MHz	
	fEXS			32		38.4	kHz	
外部システム・クロック 入力 ハイ、ロウ・レベル幅	tEXH, tEXL	1.8 V ≤ VDD ≤ 5.5 V		15			ns	
		1.6 V ≤ VDD < 1.8 V		120			ns	
	tEXHS, tEXLS			13.7			μs	

正)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		Min.	Typ.	Max.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs
			LP (低電力メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.5		1	μs
		サブシステム・クロック (fSUB) 動作	1.6 V ≤ VDD ≤ 5.5 V	26.041	30.5	31.3	μs	
		セルフ・プログラミング時	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs
外部システム・クロック 周波数	fEX	1.8 V ≤ VDD ≤ 5.5 V		1.0		20.0	MHz	
		1.6 V ≤ VDD < 1.8 V		1.0		4.0	MHz	
	fEXS			32		38.4	kHz	
外部システム・クロック 入力 ハイ、ロウ・レベル幅	tEXH, tEXL	1.8 V ≤ VDD ≤ 5.5 V		24			ns	
		1.6 V ≤ VDD < 1.8 V		120			ns	
	tEXHS, tEXLS			13.7			μs	

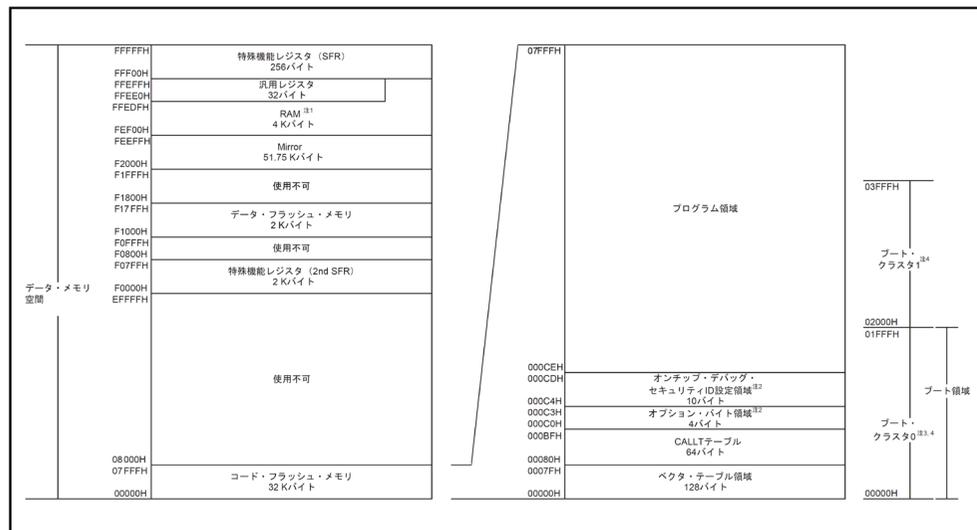
9. 3.1 メモリ空間 (p.99,p100,p105)

誤)

(p.99)

RL78/G22 は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1、図 3 - 2 に、メモリ・マップを示します。

図 3 - 1 メモリ・マップ (R7F102GxC (x = 4, 6, 7, 8, A, B, C, E, F, G))



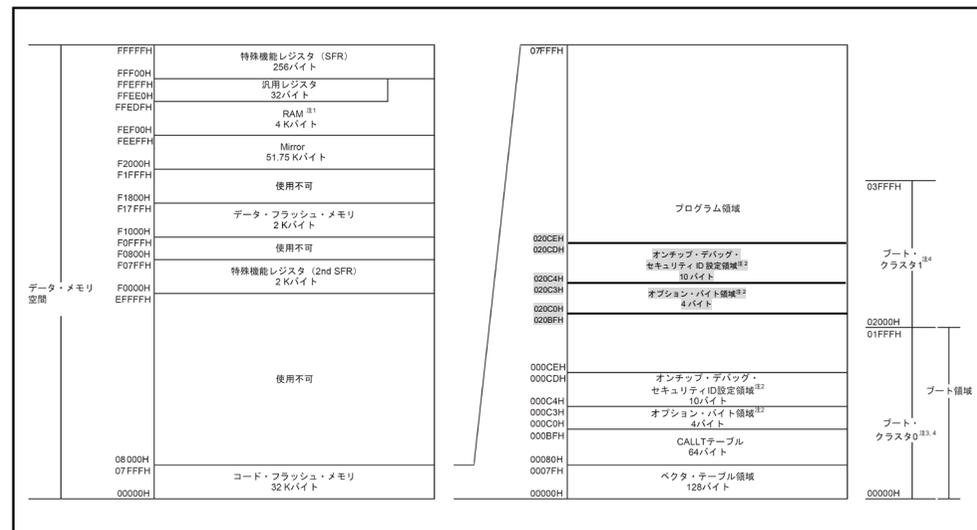
- 注1. 汎用レジスタを除いた RAM 領域から命令実行をすることができます。
- 注2. **ブート・スワップ未使用時**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定
ブート・スワップ使用時：000C0H-000C3H、020C0H-020C3H にオプション・バイト、000C4H-000CDH、020C4H-020CDH にオンチップ・デバッグ・セキュリティ ID 設定

(略)

正)

RL78/G22 は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1、図 3 - 2 に、メモリ・マップを示します。

図 3 - 1 メモリ・マップ (R7F102GxC (x = 4, 6, 7, 8, A, B, C, E, F, G))

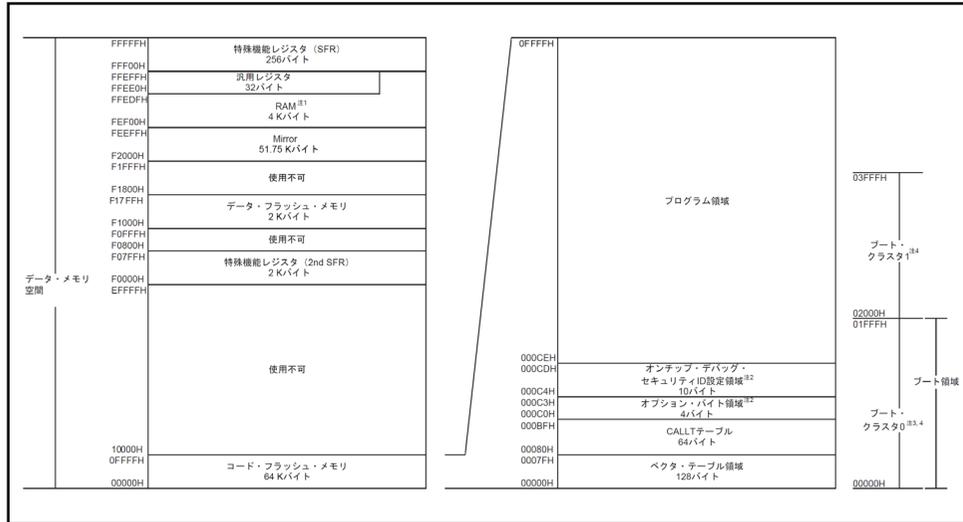


- 注1. 汎用レジスタを除いた RAM 領域から命令実行をすることができます。
- 注2. **ブート・スワップ未使用時 (FLSEC レジスタの BTFLG ビットが 1 の状態)**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定
ブート・スワップ使用時および FLSEC レジスタの BTFLG ビットが 0 の状態のとき：000C0H-000C3H、020C0H-020C3H にオプション・バイト、000C4H-000CDH、020C4H-020CDH にオンチップ・デバッグ・セキュリティ ID 設定

(略)

(p.100)

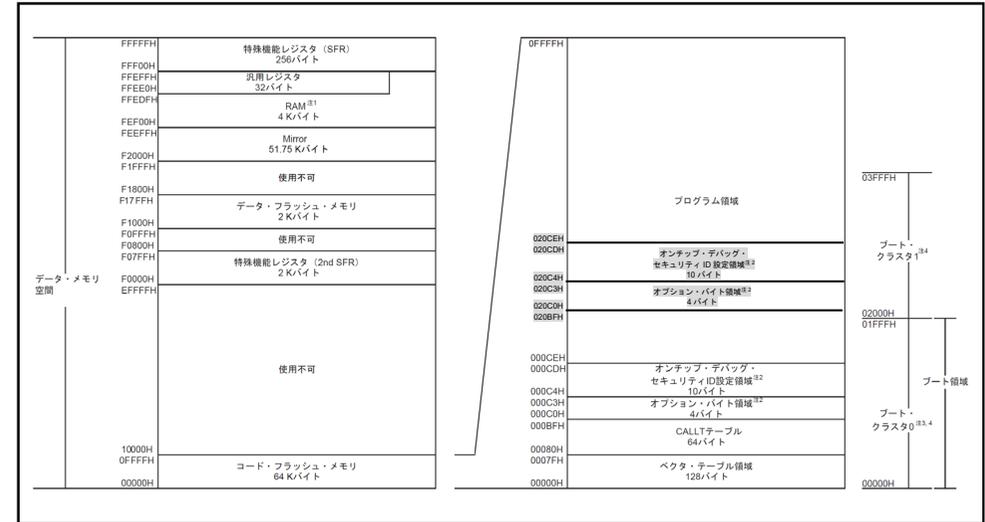
図 3-2 メモリ・マップ (R7F102GxE (x = 4, 6, 7, 8, A, B, C, E, F, G))



- 注1. 汎用レジスタを除いた RAM 領域から命令実行をすることができます。
- 注2. **ブート・スワップ未使用時**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定
ブート・スワップ使用時：000C0H-000C3H、020C0H-020C3H にオプション・バイト、000C4H-000CDH、020C4H-020CDH にオンチップ・デバッグ・セキュリティ ID 設定

(略)

図 3-2 メモリ・マップ (R7F102GxE (x = 4, 6, 7, 8, A, B, C, E, F, G))



- 注1. 汎用レジスタを除いた RAM 領域から命令実行をすることができます。
- 注2. **ブート・スワップ未使用時** (FLSEC レジスタの BTFLG ビットが 1 の状態)：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定
ブート・スワップ使用時および FLSEC レジスタの BTFLG ビットが 0 の状態のとき：000C0H-000C3H、020C0H-020C3H にオプション・バイト、000C4H-000CDH、020C4H-020CDH にオンチップ・デバッグ・セキュリティ ID 設定

(略)

(p.105)

(略)

(3) オプション・バイト領域

000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には020C0H-020C3H にもオプション・バイトを設定してください。詳細は第29章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH、020C4H-020CDH の10 バイト領域にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDH に、ブート・スワップ使用時には000C4H-000CDHと020C4H-020CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第31章 オンチップ・デバッグ機能を参照してください。

(略)

(3) オプション・バイト領域

000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには020C0H-020C3H にもオプション・バイトを設定してください。詳細は第29章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

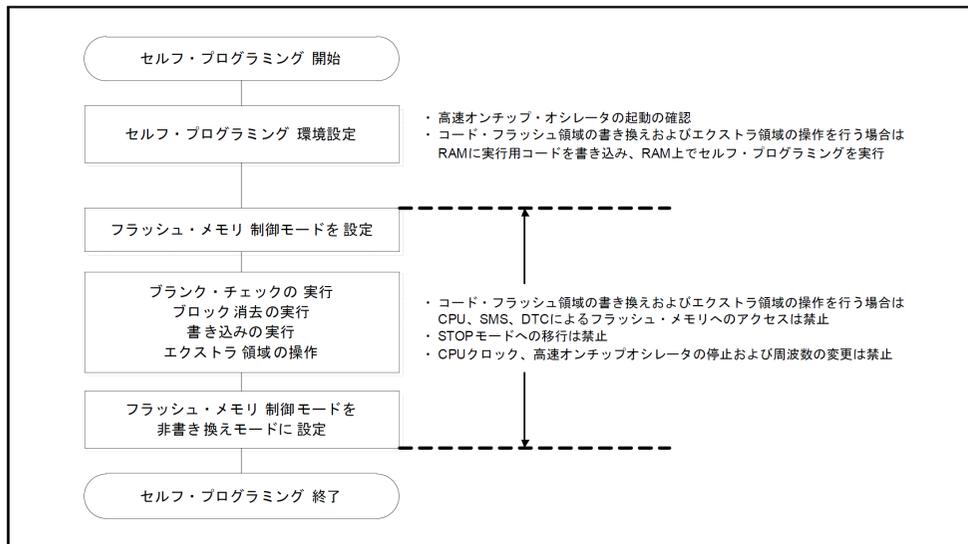
000C4H-000CDH、020C4H-020CDH の10 バイト領域にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)には000C4H-000CDHに、ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと020C4H-020CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第31章 オンチップ・デバッグ機能を参照してください。

10. 30.6.1 セルフ・プログラミング手順 (p.1118)

誤)

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。
 セルフ・プログラミングで使用するレジスタの詳細は、30.6.2 フラッシュ・メモリを制御するレジスタを参照してください。

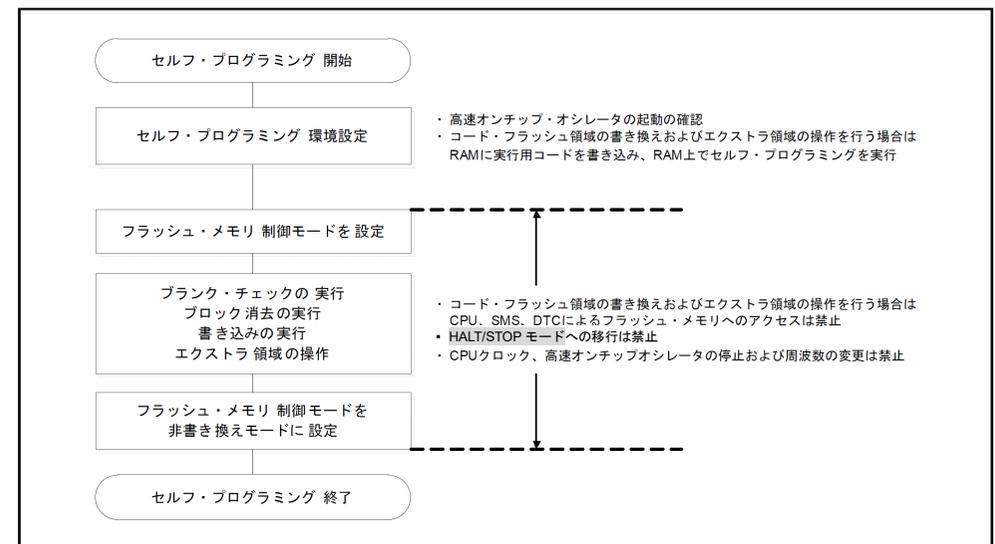
図 30 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



正)

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。
 セルフ・プログラミングで使用するレジスタの詳細は、30.6.2 フラッシュ・メモリを制御するレジスタを参照してください。

図 30 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



11. 30.10.1 データ・フラッシュの概要 (p.1169)

誤)

データ・フラッシュの概要は次のとおりです。

(略)

- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、STOP モード状態に遷移することは禁止

(略)

正)

データ・フラッシュの概要は次のとおりです。

(略)

- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、**HALT/STOP モード**状態に遷移することは禁止

(略)

12. 31.3 オンチップ・デバッグのセキュリティ設定 (p.1172)

誤)

第三者からのメモリの内容を読み取られないようにするために、オンチップ・デバッグ機能は、プログラマ・オンチップ・デバッグ接続禁止設定（第30章 フラッシュ・メモリ 30.9 セキュリティ設定参照）と、フラッシュ・メモリの000C3H にオンチップ・デバッグ動作制御ビット（第29章 オプション・バイトを参照）と、000C4H-000CDH^{注1} にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。

表 31 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10 バイトの任意の ID コード ^{注2}
020C4H-020CDH	

注1. オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

注2. “FFFFFFFFFFFFFFFFFFFFH”は設定できません。

正)

第三者からのメモリの内容を読み取られないようにするために、オンチップ・デバッグ機能は、プログラマ・オンチップ・デバッグ接続禁止設定（第30章 フラッシュ・メモリ 30.9 セキュリティ設定参照）と、フラッシュ・メモリの000C3H にオンチップ・デバッグ動作制御ビット（第29章 オプション・バイトを参照）と、000C4H-000CDH^注 にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。

注. オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

表 31 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10 バイトの任意の ID コード ^{注1,2}
020C4H-020CDH	

注1. “FFFFFFFFFFFFFFFFFFFFH”は設定できません。

注2. ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと020C4H-020CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。

以上